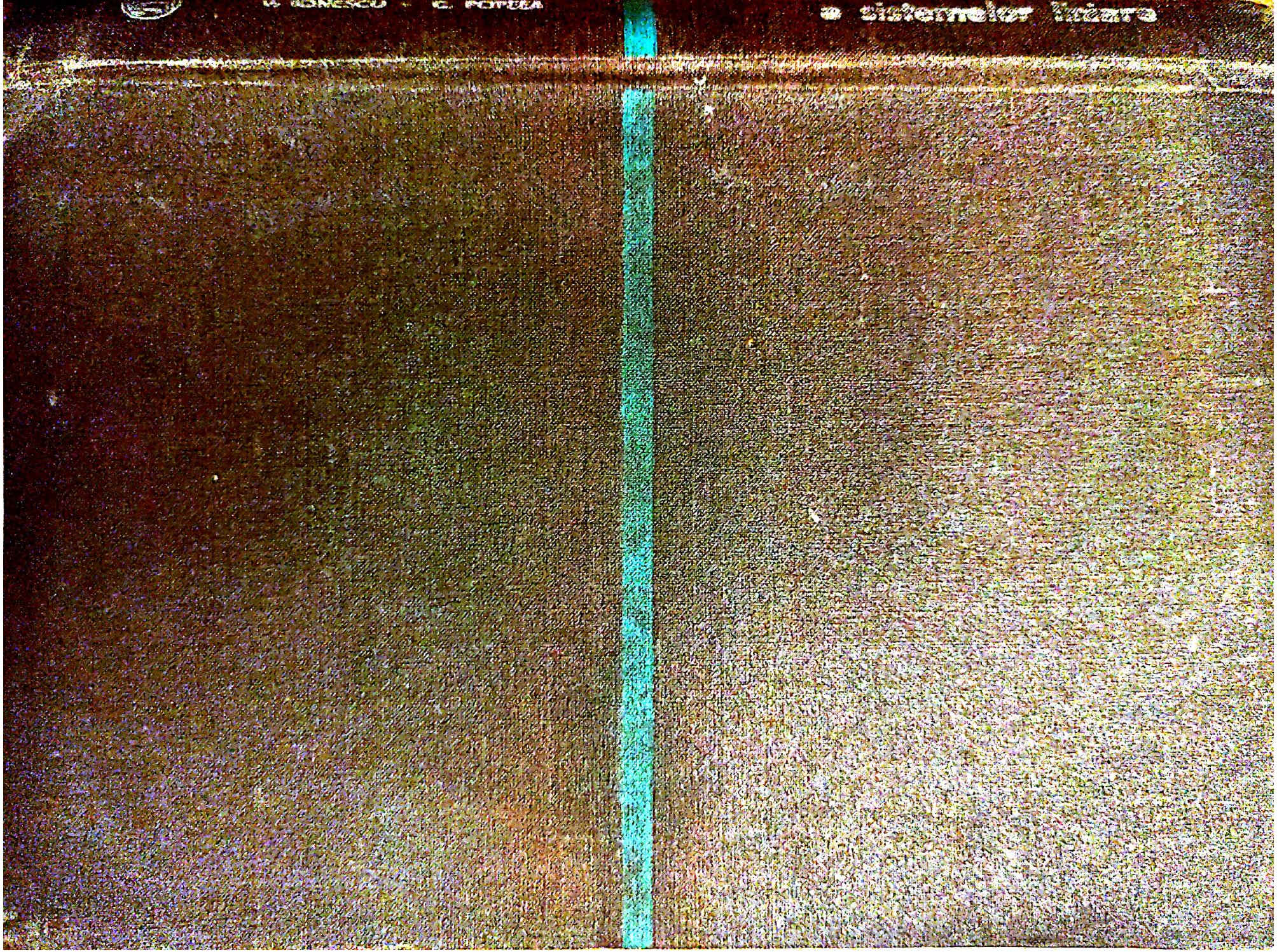


Scanned with OKEN Scanner

I. SPÂNULESCU
S. I. SPÂNULESCU

CIRCUITE INTEGRATE

EDITURA ȘTIINȚIFICĂ
BUCUREȘTI — 1991

Scanned with OKEN Scanner

CUPRINS

Capitolul 1. **CIRCUITE ELECTRONICE FUNDAMENTALE. ANALIZA SEMNALELOR** . . . 9

1.1. Principiile proiectării circuitelor electronice cu componente semiconductoare 9
1.1.1. Considerații generale 9
1.1.2. Polarizarea etajelor cu tranzistori 11
1.1.3. Circuite electronice de semnal mic cu tranzistori 18
1.1.4. Amplificatoare elementare cu tranzistori 20
1.1.5. Reacția negativă 22
1.1.6. Oscilatoare 24

1.2. Analiza circuitelor electronice 27
1.2.1. Considerații generale 27
1.2.2. Analiza spectrală a semnalelor 29
1.2.3. Analiza impulsurilor. Transformări integrale 36
1.2.4. Răspunsul circuitelor la semnale 43

Capitolul 2. **CIRCUITE INTEGRATE ANALOGICE** 50

2.1. Considerații generale asupra circuitelor integrate analogice 50

2.2. Etaje diferențiale de amplificare 55
2.2.1. Caracteristicile de transfer 55
2.2.2. Factorul de rejecție pe mod comun 59

2.3. Etaje constituente de bază în structura circuitelor integrate analogice 62
2.3.1. Circuite de intrare de impedanță ridicată 62
2.3.2. Surse de curent constant. Sarcini active cu surse de curent 66
2.3.3. Etaje de deplasare a nivelului de curent continuu 69
2.3.4. Etaje de ieșire (finale) 71

2.4. Structura generală a unor amplificatoare operaționale (integrate) 72

2.5. Amplificatoare operaționale cu reacție. Analiză generală 77
2.5.1. Funcția de transfer pentru amplificatoare operaționale cu reacție 77
2.5.2. Calculul impedanțelor de intrare și de ieșire ale *AO* integrate 81
2.5.3. Abateri de la modelul ideal în *AO* reale 82

2.6. Stabilitatea amplificatoarelor operaționale. Compensarea caracteristicii de frecvență (a erorilor dinamice) 90

2.7. Circuite cu amplificatoare operaționale și alte circuite integrate analogice 107
2.7.1. Circuite liniare și neliniare 107
2.7.2. Filtre active 115

Capitolul 3. **CIRCUITE INTEGRATE LOGICE COMBINAȚIONALE** 121

3.1. Elemente de algebră Boole. Circuite logice cu componente discrete 121

3.2. Circuite integrate combinaționale. Porți logice *TTL* standard 128

3.3. Porți logice cu colector în gol și porți logice cu trei stări. Magistrale 134

3.4. Porți logice rapide realizate în tehnologia bipolară 143

3.5. Porți logice integrate realizate în tehnologia *MOS* 147

Scanned with OKEN Scanner

3.6. Minimizarea și implementarea funcțiilor logice 151
3.6.1. Reprezentarea algebrică în forme canonice a funcțiilor logice 151
3.6.2. Metode algebrice de minimizare a funcțiilor logice 156
3.6.3. Minimizarea funcțiilor logice cu ajutorul diagramei Veitch-Karnaugh 158

3.7. Circuite logice combinaționale complexe 166
3.7.1. Decodificatoare și demultiplexoare 166
3.7.2. Codificatoare și multiplexoare 171
3.7.3. Sumatoare 175

Capitolul 4. CIRCUITE LOGICE SECVENȚIALE 178

4.1. Considerații generale 178

4.2. Circuite basculante bistabile de tip $R-S$ 181
4.2.1. Bistabilul $R-S$ simplu 181
4.2.2. Circuite basculante de tip D realizate cu latch simplu 184
4.2.3. Structuri master-slave cu bistabili $R-S$ 185

4.3. Circuite basculante bistabile de tip $J-K$ și T 186

4.4. Numărătoare electronice asincrone 189

4.5. Numărătoare electronice sincrone. Registre de deplasare 194
4.5.1. Numărătoare sincrone. Generalități 194
4.5.2. Tipuri reprezentative de numărătoare sincrone integrate 197
4.5.3. Registre de deplasare. Numărătoare electronice în inel 199

4.6. Memorii semiconductoare 204
4.6.1. Considerații generale asupra sistemelor de memorie 204
4.6.2. Memorii integrate *RAM* cu tranzistori bipolari. 205
4.6.3. Memorii integrate *RAM* în tehnologia *MOS* 208
4.6.4. Circuite logice combinaționale cu funcțiuni de memorie permanentă 210
4.6.5. Structuri (matrici) logice programabile 213

4.7. Unități de comandă și control (*UCC*) 215

4.8. Proiectarea *UCC* ca automate cu stări finite prin metoda mașinii algoritmice de stare-*ASM* (Algorithmic State Machine) 217
4.8.1. Considerații generale 217
4.8.2. Proiectarea automatelor cu stări finite și implementarea cu ajutorul bistabililor de tip D 219
4.8.3. Proiectarea automatelor cu stări finite și implementarea cu bistabili de tip $J-K$. 222
4.8.4. Sinteza funcției de excitație secundară și funcției de intrare-ieșire (funcției de excitație primară) 227
4.8.5. Proiectarea automatelor cu stări finite folosind memorii programabile. 232

Capitolul 5. SISTEME CU MICROPROCESOARE 237

5.1. Generalități 237

5.2. Elemente constitutive ale sistemelor cu microprocesoare (μP) și rolul lor 238

5.3. Memoria de program 244

5.4. Structura și funcționarea unității centrale 247

5.5. Cicluri și stări mașină în funcționarea microprocesorului 249

5.6. Ramificații în program 252

5.7. Întreruperi externe 257

5.8. Accesul direct la memorie (*DMA*) 259

5.9. Proiectarea hardware a sistemelor cu microprocesor 260
5.9.1. Considerații generale 260
5.9.2. Exemplu de proiectare 262

5.10. Concluzii. 272

Scanned with OKEN Scanner

Capitolul 6. **CIRCUITE INTEGRATE ŞI SISTEME MICROELECTRONICE SPECIALE. NOI DIRECŢII DE DEZVOLTARE** 273

6.1. Logica integrată de injecţie (Integrated Injection Logic—*I²L*) 273

6.2. Circuite integrate cu dispozitive cuplate prin sarcină (*CCD*-Charge Coupled Devices) 280
6.2.1. Structura şi principiul de funcţionare a dispozitivelor cuplate prin sarcină (*DCS*) . 280
6.2.2. Tipuri de structuri integrate cu *DCS*. Caracteristici generale 285

6.3. Realizări şi tendinţe în tehnologia circuitelor integrate cu tranzistori cu efect de cîmp . . 292
6.3.1. Tranzistori Schottky cu efect de cîmp (*MESFET*-*M*etal-*S*emiconductor *F*ield-*-E*ffect-*T*ransistor) 292
6.3.2. Variante de tranzistori *MOS*. Perfecţionări tehnologice 297
6.3.3. Tranzistori cu efect de cîmp cu dopare modulată—*MODFET* 304

6.4. Circuite integrate pe scară foarte mare. Noi direcţii de dezvoltare 315
6.4.1. Consideraţii generale privind tehnologia circuitelor integrate şi a dispozitivelor microelectronice 315
6.4.2. Prelucrarea cu plasmă a plachetelor semiconductoare în cadrul tehnologiei planare 318
6.4.3. Procedee litografice compatibile cu *VLSI* 322
6.4.4. Integrarea în trei dimensiuni (3*D*-Integrated Circuits) 330

Anexa *1* 334

Anexa *2* 336

Anexa *3* 337

Bibliografie 339

Scanned with OKEN Scanner

Capitolul 1. CIRCUITE ELECTRONICE FUNDAMENTALE. ANALIZA SEMNALELOR

1.1. Principiile proiectării circuitelor electronice cu componente semiconductoare

1.1.1. Considerații generale

Circuitele electronice reprezintă rețele de componente pasive (rezistori, condensatori, inductanțe) și active (tranzistoare, diode, etc.) interconectate și cuplate la una sau mai multe surse de alimentare, capabile să efectueze o funcție utilă.

Funcțiile circuitelor electronice operează asupra *semnalelor* electrice care constituie variații ale tensiunii sau intensității curentului electric, conținînd o anumită informație. Circuitele electronice pot *genera* sau *prelucra* astfel de semnale. În mod normal un circuit electronic efectuează o singură funcție, ceea ce asigură performanțe maxime, acesta fiind criteriul actual dominant în proiectare, chiar în detrimentul prețului de cost. Prin interconectarea mai multor circuite electronice fundamentale adaptate din punct de vedere electronic, în conformitate cu o schemă-bloc se obține un *aparat* sau *echipament* electronic.

Teoria circuitelor electronice cuprinde două aspecte principale: *sinteza* (sau proiectarea) și *analiza* (sau identificarea). În general aceste două aspecte se tratează inegal în lucrările de specialitate, insistîndu-se în principal asupra unuia sau celuilalt în funcție de domeniul în care se încadrează lucrarea: electronica aplicată, respectiv electronica teoretică.

În acest capitol încercăm să cuprindem aspectele introductive, cu un grad mai mare de generalitate, ale acestor probleme. Pornind de la principiile generale prezentate aici, aspectele particulare pot fi consultate în lucrările de specialitate, cu caracter tehnic indicate în bibliografia de la sfîrșitul cărții.

Primul aspect al proiectării unui echipament sau aparat electronic îl constituie precizarea funcțiilor pe care acesta trebuie să le efectueze. Pe lîngă latura calitativă, descriptivă, această problemă presupune de cele mai multe ori și o latură cantitativă constituită din ansamblul caracteristicilor fizice ale produsului, numite *performanțe*. Descrierea obiectivului proiectării sub forma aspectelor funcționale calitative și a performanțelor constituie în general *tema de proiectare*.

Alături de aceste date inițiale se mai pot impune anumite caracteristici sau soluții în funcție de criteriile de proiectare — lista ordonată după priorități a unor obiective tehnico-economice care trebuiesc pe cît posibil optimizate. De exemplu, în cazul aparaturii de larg consum și industriale, un prim criteriu ar putea fi cel economic, în aparatura de cercetare criteriul principal este performanța propriu-zisă, iar în aparatura spațială și militară criterii importante sînt gabaritul și consumul.

Proiectarea propriu-zisă începe cu alegerea unei scheme bloc, cuprinzînd circuitele fundamentale a căror interconectare electrică și funcțională adecvată poate conduce la obținerea funcțiilor și performanțelor aparatului. Se poate spune că

Scanned with OKEN Scanner

aceasta este etapa cea mai dificilă, decisivă pentru succesul întregului proces de proiectare, în care intervine cel mai puternic capacitatea și ingeniozitatea proiectantului. De cele mai multe ori, este recomandabil studiul comparativ al unor aparate similare funcțional produse anterior, încercîndu-se înțelegerea critică a schemelor bloc respective, precum și parcurgerea unor lucrări din literatura de specialitate în domeniu. Din concluziile desprinse în urma studiului trebuie încercată găsirea unei soluții pe cît posibil îmbunătățite, originale la nivelul schemei bloc, *ținîndu-se seama de progresul teoretic și material* (dispozitive și componente electronice) în domeniul respectiv. De exemplu, decodoarele stereofonice ale receptoarelor au debutat în etapa aparaturii electronice cu componente discrete, bazîndu-se pe principiul refacerii subpurtătoarei de 19 kHz cu ajutorul circuitelor selective. Ulterior progresele teoretice și tehnologice (circuite integrate) au impus trecerea la decodoarele stereofonice cu refacerea purtătoarei prin intermediul circuitelor *PLL* (*P*hase *L*ocked *L*oop), superioare din toate punctele de vedere soluțiilor inițiale.

Prin urmare, pentru obținerea unor rezultate deosebite, proiectantul trebuie să fie pe cît posibil la curent cu progresele tehnice și științifice în domeniu, prin consultarea permanentă a apariților în literatura de specialitate.

După punerea la punct a unei posibile scheme bloc urmează descrierea calitativă și cantitativă a circuitelor (blocurilor) acesteia sub forma caracteristicilor de intrare și ieșire ale blocurilor precum și a nivelelor semnalelor în punctele respective. Se va urmări o repartizare judicioasă a sarcinilor și performanțelor astfel încît fiecare bloc în parte să poată fi fizic realizabil cu componentele existente. Dacă în urma acestui proces rezultă imposibilitatea realizării cel puțin a unui bloc la nivelul datelor impuse, trebuiesc operate modificări în schema bloc, în general în sensul extinderii și măririi complexității acesteia și reluat procesul de analiză. De exemplu, la proiectarea unui radioreceptor superheterodină s-a impus prezența unui amplificator de frecvență intermediară cu un tranzistor. Nivelul furnizat la intrarea acestuia de schimbătorul de frecvență este de 100 μV iar nivelul pe care trebuie să-l furnizeze amplificatorul către demodulator este de aproximativ 100 mV. Se constată că este necesară obținerea unei amplificări în tensiune de 1000 ori (60 dB), practic imposibilă cu un singur tranzistor. Este necesară deci adăugarea unui etaj suplimentar amplificator de frecvență intermediară și redistribuirea amplificărilor în schema bloc.

De remarcat că nu întotdeauna este posibilă obținerea unor performanțe impuse prin simpla complexificare și extindere a schemei bloc. Adăugările repetate aduc în aparat noi surse de perturbație a funcționării (zgomot, derivă termică, instabilitate etc.) pierzîndu-se caracterul util. De aceea la încercarea de ridicare peste un anumit prag a performanțelor unei scheme bloc date, trebuie schimbat însuși principiul de funcționare al schemei, lucru deseori pierdut din vedere, deși, dialectic, este evident.

În continuare se trece la proiectarea separată a fiecărui circuit (bloc) funcțional pe baza procedeelor clasice întîlnite în literatura tehnică. Numărul tipurilor principale de circuite electronice nu este prea mare, iar avansul în tehnologia dispozitivelor electronice face ca această etapă să fie din ce în ce mai comodă. Se constată în ultimii ani o tendință puternică de înlocuire a circuitelor cu componente discrete cu *circuitele integrate*, capabile de performanțe superioare, la prețuri mai scăzute. Totuși teoria circuitelor electronice cu tranzistori rămîne foarte importantă întrucît ele alcătuiesc chiar și circuitele integrate și fiind absolut necesară la proiectarea acestora. Se poate constata chiar că circuitele cu tranzistori au evoluat foarte mult datorită apariției teh-

Scanned with OKEN Scanner

nicilor integrate, care au făcut posibile soluții de circuit noi, neeconomice sau chiar imposibile în condițiile utilizării componentelor discrete.

Teoria clasică a circuitelor electronice tratează separat două probleme: polarizarea în curent continuu a dispozitivelor electronice active și asigurarea performanțelor impuse în curent alternativ. În circuitele electronice realizate sub formă integrată, după cum se va vedea în capitolele următoare, cele două aspecte sînt într-o mai mare măsură interdependente, ceea ce necesită o proiectare a lor în paralel.

1.1.2. Polarizarea etajelor cu tranzistori

După cum se știe, funcționarea normală a tranzistorului presupune polarizarea directă a joncțiunii bază-emitor, la un curent prin emitor de ordinul miliamperilor și polarizarea inversă a joncțiunii bază-colector, la tensiuni de 3÷20 V. Cea mai simplă modalitate de a asigura acest regim o constituie utilizarea a două surse de alimentare într-o schemă ca în figura 1.1,*a*.

De cele mai multe ori se preferă însă polarizarea ambelor joncțiuni dintr-o singură sursă. Așa cum se observă din figura 1.1,*a* curenții de colector și bază au același sens; prin urmare acești doi electrozi se pot cupla, prin rezistențe adecvate, la același pol al unei surse, în timp ce emitorul se cuplează la celălalt (figura 1.1,*b*). Pentru tranzistorul din figură ($n-p-n$), dacă din valorile rezistențelor se asigură $V_{CE} > V_{BE}$, deci $V_E > V_B$, (colectorul pozitiv în raport cu baza) rezultă polarizarea inversă a joncțiunii colector-bază.

De asemenea baza fiind pozitivă în raport cu emitorul, rezultă polarizarea inversă a joncțiunii bază-emitor. Se asigură astfel o pereche de valori ($I_C = I_0$, $V_{CE} = V_0$) care în planul caracteristicilor statice de ieșire se plasează în regiunea normală de funcționare (fig. 1.2.). Din legea a II-a a lui Kirchhoff pentru ochiul colector-emitor, rezultă ecuația de dependență între I_C și V_{CE}

$$I_C = -\frac{1}{R_C} V_{CC} - \frac{1}{R_C} V_{CE}. \qquad 1.1.1$$

În planul caracteristicilor statice de ieșire, această ecuație reprezintă o dreaptă avînd ordonata la origine

$$I_{C_{max}} = V_{CC}/R_C,$$

și intersecția cu abcisa

$$V_{CE\,max} = V_{CC}.$$

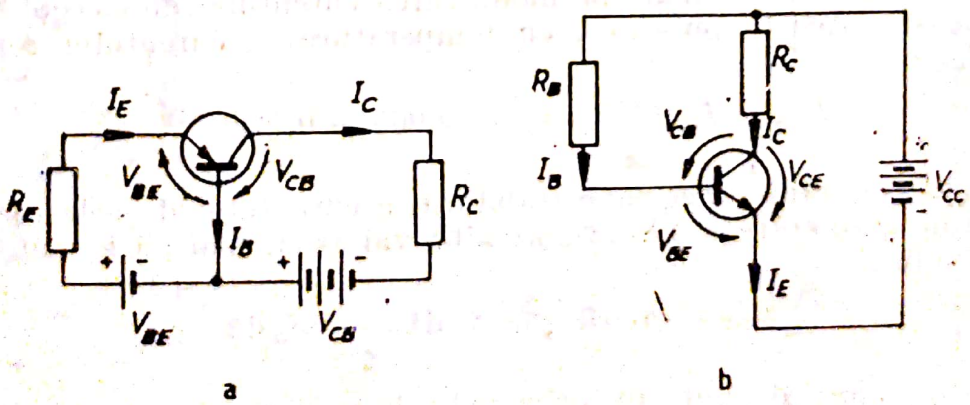


Fig. 1.1

Scanned with OKEN Scanner

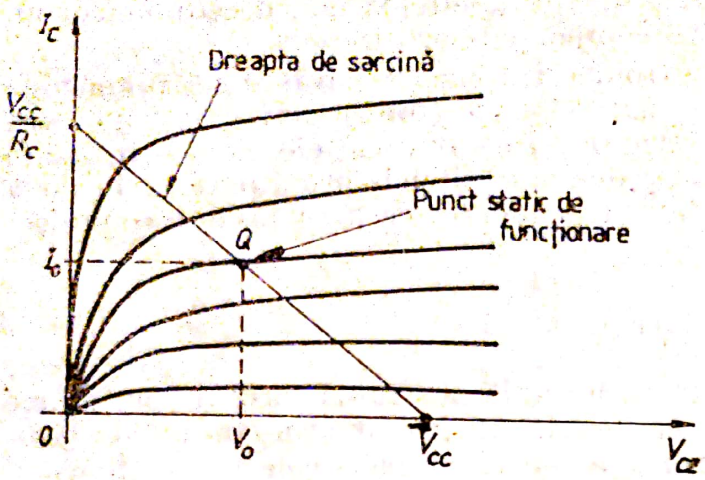


Fig. 1.2

Panta dreptei este dependentă de rezistența din colector (care de regulă constituie sarcina etajului) fiind egală cu $1/R_C$. Dreapta propriu-zisă este numită de obicei *dreptă de sarcină*. Punctul Q de coordonate I_0, V_0, care corespunde funcționării în curent continuu a tranzistorului, fără semnal, se numește punct static de funcționare. El este recomandat în catalog pentru tranzistorul ales, sau se alege convenabil într-o regiune mediană a caracteristicilor de ieșire, unde neliniaritățile curbelor sînt mai mici.

Trebuie remarcat însă că poziția acestui punct static de funcționare, chiar corectă la punerea în funcțiune a circuitului, se poate deplasa ulterior către regiuni neliniare ale caracteristicilor, datorită variației parametrilor tranzistorului (cu temperatura sau cu timpul). Astfel, curentul de colector se poate modifica datorită modificării curentului rezidual de colector, a tensiunii bază-emitor și a factorului de amplificare în curent β, deci

$$I_C = I_C(I_{CB_0},\ V_{BE},\ \beta).$$

Prin diferențiere, rezultă

$$\mathrm{d}I_C = \frac{\partial I_C}{\partial I_{CB_0}}\,\mathrm{d}I_{CB_0} + \frac{\partial I_C}{\partial V_{BE}}\,\mathrm{d}V_{BE} + \frac{\partial I_C}{\partial \beta}\,\mathrm{d}\beta. \qquad 1.1.2$$

Vom nota derivatele parțiale:

$$\frac{\partial I_C}{\partial I_{CB_0}} = S_I;\quad \frac{\partial I_C}{\partial V_{BE}} = S_V;\quad \frac{\partial I_C}{\partial \beta} = S_\beta$$

numiți factori de stabilitate ai curentului.

Contribuția cea mai mare la modificarea curentului de colector o are în general variația (foarte puternică cu temperatura) a curentului rezidual de colector I_{CB_0}:

$$I_{CB_0} = I_0\, e^{\alpha_1 \Delta T};\quad \alpha_1 = (0{,}065 \div 0{,}1)\,\mathrm{grd}^{-1}.$$

Pentru asigurarea unei bune stabilități a curentului de colector, trebuie ca factorii de stabilitate S_I, S_V, S_β să aibă valori cît mai mici, conform ecuației 1.1.2, adică

$$\mathrm{d}I_C = S_I\,\mathrm{d}I_{CB_0} + S_V\,\mathrm{d}V_{BE} + S_\beta\,\mathrm{d}\beta. \qquad 1.1.3$$

Aceste valori depind, în principal, de configurația circuitului extern de polarizare al tranzistorului.

Scanned with OKEN Scanner

De exemplu, pentru schema din figura 1.1,*a* factorul de stabilitate S_I este:

$$S_I = \frac{\partial I_C}{\partial I_{CB_0}} = 1$$

deoarece dependența lui I_C de I_{CB_0} este (menținînd constant curentul de emitor impus de sursa V_{BE})

$$I_C = \alpha I_E + I_{CB_0}.$$

În schimb, pentru schema cu o singură sursă din figura 1.1,*b* dependența este mai puternică, deoarece nu se poate menține constant curentul de emitor ci numai cel de bază:

$$I_B = \frac{V_{CC} - V_{BE}}{R_B} \approx Const.$$

$$I_C = \alpha I_E + I_{CB_0} = \alpha(I_C + I_B) + I_{CB_0}. \qquad 1.1.4$$

Rezultă,

$$I_C = \frac{\alpha}{1-\alpha} I_B + \frac{1}{1-\alpha} I_{CB_0}$$

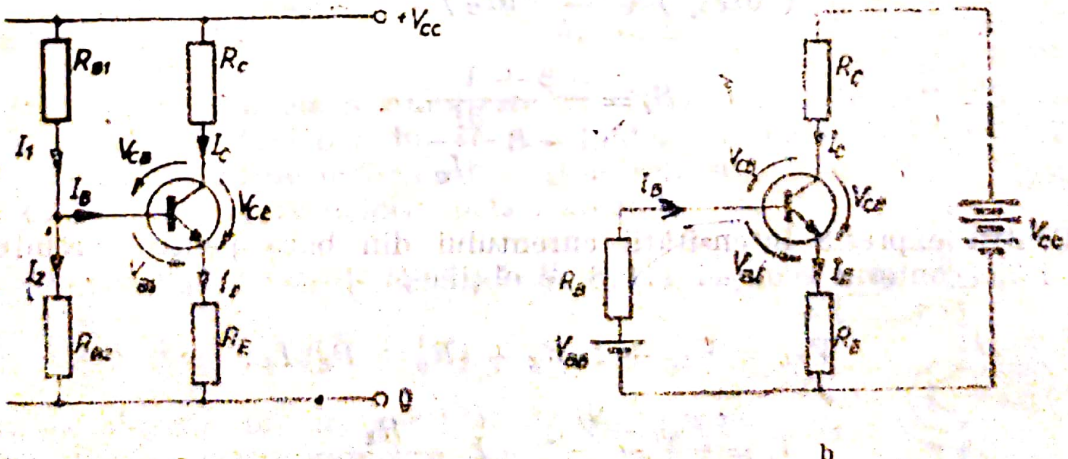
unde $\frac{\alpha}{1-\alpha} = \beta$, deci

$$I_C = \beta I_B + (\beta + 1) I_{CB_0}. \qquad 1.1.5$$

Factorul de stabilitate S_I va fi

$$S_I = \frac{\partial I_C}{\partial I_{CB_0}} = \beta + 1 \qquad 1.1.6$$

avînd deci o valoare mare, foarte dezavantajoasă. Din această cauză, schema din figura 1.1,*b* nu se folosește practic, introducîndu-se în rețeaua de polarizare noi componente care să micșoreze factorul S_I. Astfel, polarizînd baza printr-un divizor rezistiv și introducînd o rezistență în emitor, se obține schema din figura 1.3, *a* mult mai stabilă. Astfel dacă va crește curentul de



a b

Fig. 1.3

colector (și deci și cel de emitor), potențialul emitorului crește proporțional, în timp ce potențialul bazei tinde să rămînă constant menținut de divizorul rezistiv. Prin urmare diferența de potențial între bază și emitor scade, tinzînd să scadă și curentul de colector, a cărui variație este astfel parțial compensată.

Pentru calculul polarizării acestei scheme este util să se aplice teorema generatorului echivalent (Thèvenin) circuitului bazei, schema echivalentă fiind cea din figura 1.3,*b*.

Rezultă relațiile :

$$V_{CC} = V_{CE} + R_C I_C + R_E I_E \approx V_{CE} + (R_C + R_E) I_C ; \qquad 1.1.7$$

$$V_{BB} = V_{BE} + R_E I_E + R_B I_B \approx V_{BE} + \left(R_E + \frac{R_B}{\beta}\right) I_C, \qquad 1.1.8$$

unde

$$V_{EE} = \frac{R_{B_2}}{R_{B_1} + R_{B_2}} V_{CC}, \quad R_B = \frac{R_{B_1} \cdot R_{B_2}}{R_{B_1} + R_{B_2}} .$$

Cunoscînd V_{BE}=0,7 V și β, alegînd punctul static de funcționare I_C, V_{CE} și tensiunea de alimentare $V_{CC} > V_{CE}$, se pot determina valorile rezistențelor de polarizare. De observat că din ecuațiile de mai sus rezultă valorile pentru ($R_E + R_C$) și R_B, alegerea valorilor individuale ale componentelor R_{B_1}, R_{B_2}, R_E și R_C făcîndu-se pe baza unor considerente de stabilitate și de semnal.

Astfel, factorul de stabilitate S_I se poate calcula pornind de la expresia generală a curentului de colector

$$I_C = \beta I_B + (\beta + 1) I_{CB_0}.$$

Derivînd în raport cu I_{CB_0}, rezultă :

$$\frac{\partial I_C}{\partial I_{CB_0}} = \beta \left(\frac{\partial I_B}{\partial I_C}\right)\left(\frac{\partial I_C}{\partial I_{CB_0}}\right) + (\beta + 1) ;$$

$$\left(\frac{\partial I_C}{\partial I_{CB_0}}\right)\left(1 - \beta \frac{\partial I_B}{\partial I_C}\right) = \beta + 1 ;$$

$$S_I = \frac{\beta + 1}{1 - \beta \dfrac{\partial I_B}{\partial I_C}} . \qquad 1.1.9$$

Pentru expresia intensității curentului din bază pentru circuitul din figura 1.3,*b* conform ecuației 1.1.8 se obține :

$$V_{BB} = V_{BE} + I_C R_E + (R_B + R_E) I_B ;$$

$$I_B = \frac{V_{BB} - V_{BE}}{R_B + R_E} - I_C \frac{R_E}{R_B + R_E} .$$

Scanned with OKEN Scanner

Rezultă

$$\frac{\partial I_B}{\partial I_C} = -\frac{R_E}{R_B + R_E}.$$

Înlocuind în expresia generală 1.1.9 a factorului de stabilitate în curent, obținem :

$$S_I = \frac{\beta + 1}{1 + \beta \dfrac{R_E}{R_E + R_B}}. \qquad 1.1.10$$

Se observă că pentru $R_E \to 0$ se obține $S_I \to \beta + 1$ adică etajul nu are stabilitate termică. Din contră dacă $R_B \to 0$, $S_I \to 1$ deci se obține o bună stabilitate termică. În schimb impedanța de intrare a tranzistorului este scurtcircuitată puternic de rezistențele care alcătuiesc R_B, astfel încît etajul va amplifica foarte slab. De aceea trebuie realizat un compromis între factorul de stabilitate S_I și gradul de scurtcircuitare a semnalului, urmărindu-se, printr-o alegere adecvată a grupului R_{B_1}, R_{B_2} obținerea unui S_I cuprins între 2 și 5.

O variantă simplificată de stabilizare a punctului static de funcționare se obține cu polarizarea colector-bază ca în figura 1.4.

Aplicînd legea a II-a a lui Kirchhoff pentru ochiul bază-emitor rezultă

$$V_{CC} = V_{BE} + R_B I_B + R_C (I_B + I_C).$$

Derivînd în raport cu I_C se obține :

$$0 = R_B \frac{\partial I_B}{\partial I_C} + R_C \left(\frac{\partial I_B}{\partial I_C} + 1 \right);$$

$$\frac{\partial I_B}{\partial I_C} = -\frac{R_C}{R_C + R_B}.$$

Înlocuind în expresia generală 1.1.9 a factorului de stabilitate S_I rezultă

$$S_I = \frac{\beta + 1}{1 + \beta \dfrac{R_C}{R_C + R_B}}. \qquad 1.1.11$$

Se observă că avem o stabilitate cu atît mai bună cu cît R_B este mai mic față de R_C. Totuși o reducere prea puternică a lui R_B nu este posibilă atît din considerente de polarizare cît și de semnal.

Astfel din ecuațiile care descriu polarizarea :

$$V_{CC} = V_{BE} + (R_B + R_C) I_B + R_C I_C,$$

$$V_{CC} = V_{CE} + R_C (I_C + I_B),$$

rezultă că alegerea lui R_C apropiat de R_B impune mărirea, uneori neacceptabilă a lui V_{CC} pentru a compensa căderea de tensiune determinată de valoarea mare a lui R_C.

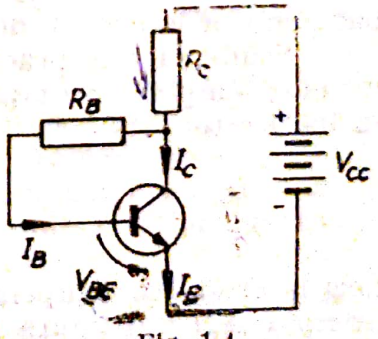


Fig. 1.4

Scanned with OKEN Scanner

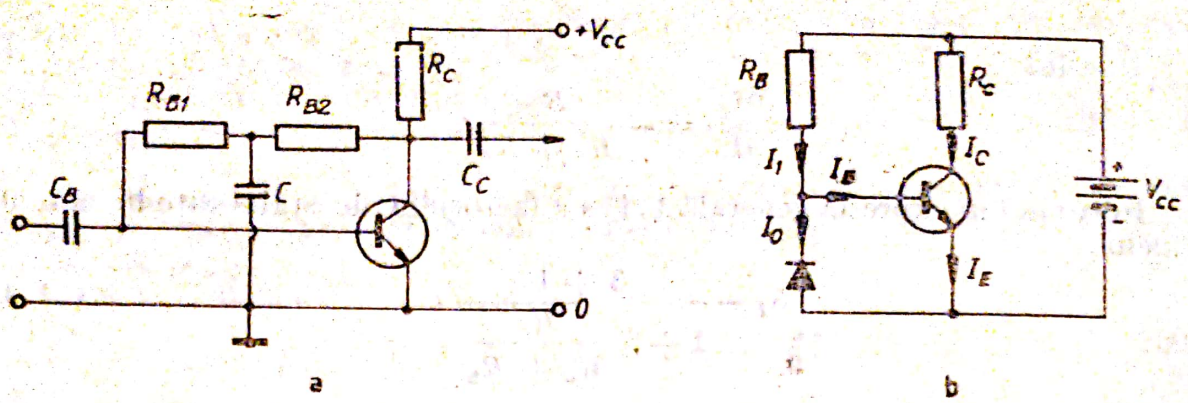


Fig. 1.5

Totodată semnalul din colectorul tranzistorului se poate întoarce prin R_B suprapunîndu-se cu cel din bază. Deoarece, așa cum se va demonstra, cele două semnale sînt în antifază, ele se scad la intrare, micșorînd mult amplificarea efectivă a etajului (fenomen de reacție negativă). Acest neajuns se poate înlătura prin împărțirea în două a lui R_B și scurtcircuitarea la masă a componentei de semnal (alternativă) printr-un condensator, ca în figura 1.5,*a*.

La calculul valorilor acestei rețele se va impune condiția

$$X_C|_{f\,minim} \ll R_{B_2}.$$

De asemenea trebuie observat că R_{B_2} se află în paralel cu impedanța de intrare a tranzistorului, $Z_{i\,etaj} = R_{B_2} \| Z_{i\,tranz.}$, deci nu trebuie să aibă o valoare prea mică.

O altă modalitate de compensare a influenței curentului rezidual de colector I_{CB_0} constă în interpunerea unei diode cu caracteristici identice cu ale joncțiunii bază-colector între baza și emitorul tranzistorului, ca în figura 1.5,*b*.

Ținînd seama de expresia intensității curentului de colector $I_C = \beta I_B + (\beta + 1) I_{CB_0}$ și de faptul că (v. fig. 1.5, *b*) $I_B = I_1 - I_0$, rezultă

$$I_C = \beta I_1 - \beta I_0 + (\beta + 1) I_{CB_0}. \qquad 1.1.12$$

Dacă dioda are caracteristici identice cu cele ale joncțiunii bază-colector deci curentul invers $I_0 = I_{CB_0}$, ultimii doi termeni din relația 1.1.12 practic se anulează reciproc, nemaiinfluențînd curentul de colector.

O sursă de derivă termică a punctului static de funcționare o constituie și variația tensiunii bază-emitor a tranzistorului. Într-adevăr caracteristica de intrare se deplasează cu temperatura în sensul scăderii tensiunii bază-emitor la curent de bază constant ca în figura 1.6,*a*.

Scăderea este practic liniară, cu o pantă de $-2 \div -2{,}5$ mV/°C. Pentru un etaj simplu, necompensat, ca cel din figura 1.1,*b*, intensitatea curentului în bază este

$$I_B = \frac{V_{CC} - V_{BE}}{R_B},$$

deci la creșterea temperaturii, datorită scăderii tensiunii V_{BE} va crește I_B (pe dreapta AB din figura 1.6,*a*) și implicit va crește și I_C.

Scanned with OKEN Scanner

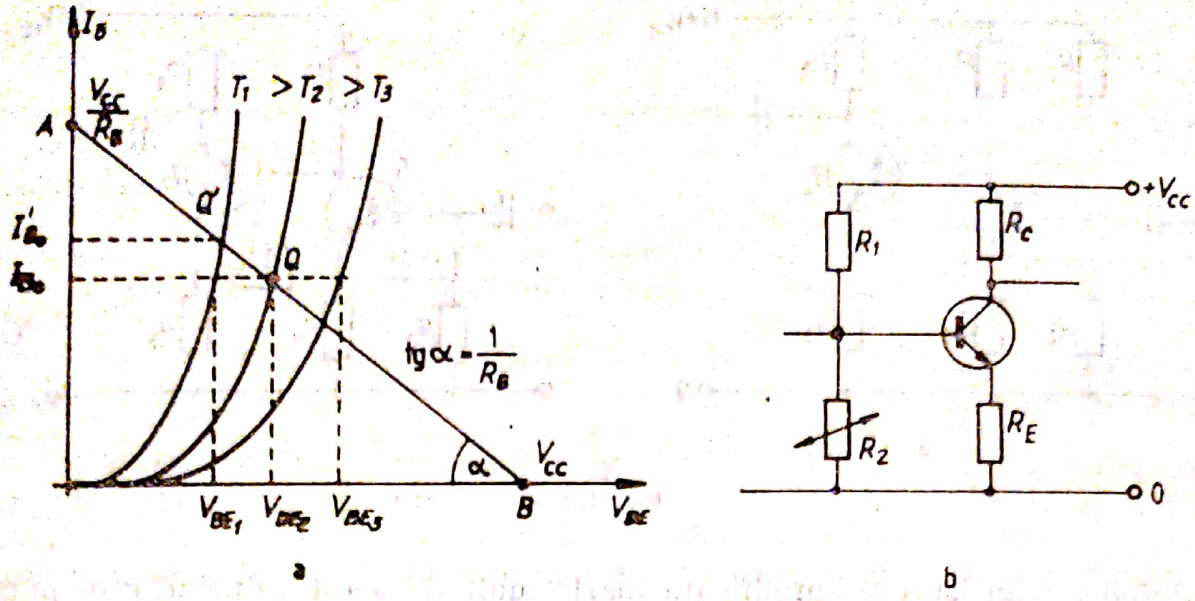


Fig. 1.6

O metodă posibilă constă în polarizarea bazei printr-un divizor avînd între bază și emitorul tranzistorului un termistor (figura 1.6,*b*).

Prin scăderea rezistenței termistorului R_2 la creșterea temperaturii, joncțiunea bază-emitor a tranzistorului va fi polarizată mai slab, compensînd tendința de creștere a curentului de colector. Soluția este mai rar utilizată fiind mai scumpă și implicînd calcule de proiectare mai laborioase.

În general, derivele termice ale tranzistoarelor moderne cu siliciu sînt mici datorită valorilor foarte reduse ale lui I_{CB_0} (nanoamperi). De aceea, de cele mai multe ori schema de polarizare compensată din figura 1.3,*a*, proiectată pentru $S_I = 2 \div 5$, se consideră satisfăcătoare la etaje cu un singur tranzistor. Astfel de etaje se cuplează de obicei prin condensatori, deci derivele termice de curent continuu ale unui etaj nu se pot transmite, pentru a fi amplificate, la etajele următoare.

Electronica modernă tinde însă să evite din ce în ce mai mult cuplajul și decuplajul prin condensator al etajelor. Condensatoarele electrolitice sînt scumpe, voluminoase și au imperfecțiuni importante: fiabilitate scăzută curenți de pierderi mari, îmbătrînire mult mai rapidă decît alte componente. În plus nu pot fi folosite la construcția circuitelor integrate spre a căror extindere se tinde în prezent.

De aceea trebuie folosite metode deosebit de eficiente de termostabilizare pentru a împiedica deriva cumulativă a etajelor cuplate direct (în curent continuu) folosite în etapa actuală. Există două metode principale: stabilizarea prin reacție negativă de curent continuu și compensarea reciprocă a derivelor etajelor.

Astfel, se va arăta că într-o schemă cu reacție negativă caracteristicile electrice tind să nu mai depindă decît de parametrii componentelor din bucla de reacție. Alegînd în buclă componente foarte stabile (de exemplu rezistențe) este stabilizată corespunzător întreaga schemă. Un exemplu calitativ este ilustrat de amplificatoarele cu cuplaj direct (numit și cuplaj galvanic) din figurile 1.7, *a*, *b*.

Se observă la amplificatorul din figura 1.7,*a* că o derivă termică a punctului static de funcționare al primului tranzistor este transmisă la cel

Scanned with OKEN Scanner

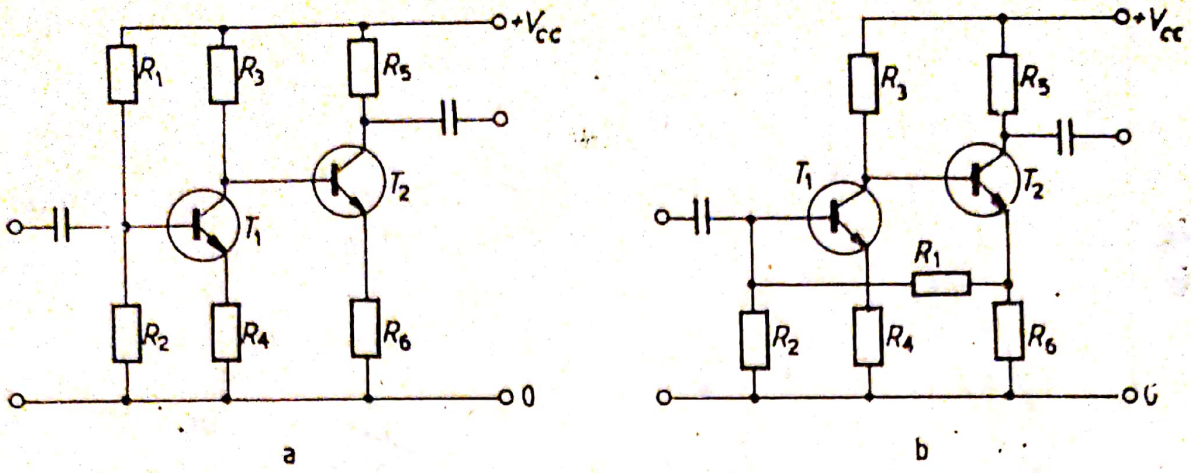


Fig. 1.7

de-al doilea tranzistor și amplificată foarte mult de acesta, ducînd ușor punctul de funcționare al acestuia în regiunea neliniară a caracteristicilor.

De aceea se folosește întotdeauna varianta din figura 1,7,*b* a acestei scheme, obținută prin polarizarea bazei tranzistorului T_1, din emitorul tranzistorului T_2, variantă bine stabilizată termic. Într-adevăr, presupunînd că datorită creșterii temperaturii intensitatea curentului de colector al lui T_1 tinde să crească, tensiunea sa de colector va scădea deci baza lui T_2 va fi mai slab polarizată. Prin urmare curentul prin T_2 va scădea iar tensiunea din emitorul său scade de asemenea, polarizînd mai slab baza lui T_1. Aceasta face ca și intensitatea curentului de colector să tindă să scadă, compensînd creșterea inițială. Prin urmare variațiile curentului la ieșire *se întorc și se scad* din variațiile curentului la intrare — reacție negativă.

O a doua metodă de compensare a derivelor termice la etaje cuplate galvanic este larg utilizată în circuitele integrate analogice, unde numărul acestor etaje este important. Metoda constă în compensarea reciprocă a derivelor termice a componentelor active prin scădere. O situație tipică se întîlnește, cum se va vedea, la amplificatorul diferențial unde derivele termice a două tranzistoare identice se scad reciproc, anulîndu-se la ieșire. Acolo unde nu este posibilă utilizarea etajului diferențial se prevăd joncțiuni sau tranzistoare folosite ca elemente de polarizare, care, printr-o amplasare adecvată anulează derivele tranzistoarelor amplificatoare. Datorită faptului că prin tehnologiile integrate se pot obține pe o pastilă de siliciu structuri de tranzistori cu un înalt grad de identitate, derivele termice se anulează într-o mare măsură, lucru favorizat de temperaturile practic egale ale joncțiunilor datorită distanțelor foarte mici între ele. Soluțiile practice de circuit sînt foarte diversificate și nu vor fi tratate în această lucrare, putînd fi întîlnite în diferite cărți de specialitate [4, 30, 58].

1.1.3. Circuite electronice de semnal mic cu tranzistori

După asigurarea polarizării în curent continuu a tranzistoarelor se poate rezolva problema funcționării în regim de semnal a circuitelor. Se va ține seama că la amplificarea semnalului (variații ale tensiunii sau intensității curentului) acesta se va suprapune peste componenta de curent continuu. Folosind notațiile curente din electronică se poate scrie de exemplu intensi-

Scanned with OKEN Scanner

tatea curentului în baza tranzistorului ca suma

$$i_B = I_B + i_b$$

unde I_B este componenta de curent continuu (de polarizare), i_b este componenta de curent alternativ (de semnal), iar i_B este intensitatea totală (valoarea instantanee).

Componenta de curent alternativ deplasează punctul de funcţionare în jurul poziţiei statice (în absenţa semnalului) variaţiile respective ale curentului ($i_c \approx \beta i_b$) conducînd la variaţii de tensiune pe rezistenţa de sarcină $v_c \approx R_s i_c$ (figura 1.8, *a*).

Considerînd montajul din figura 1.8,*b*, în care s-a introdus o sursă e_i de semnal în circuitul bazei, se observă că tensiunea între bază şi emitor are forma $V_{be} = V_{BE} + v_{be}$ figurată în cadranul IV, din figura 1.8, *a*.

Această tensiune „reflectată" pe caracteristica de intrare generează variaţiile intensităţii curentului de bază ca în cadranul III din figura 1.8,*a*, care prin intermediul caracteristicii de transfer direct dau variaţiile intensităţii curentului de colector ca în cadranul II. În fine, aceste variaţii ale lui I_c, reflectate pe dreapta de sarcină generează variaţiile tensiunii de colector (ieşire) ca în cadranul IV. Se observă că ele sînt de aceeaşi formă cu cele de intrare, dar amplificate şi în antifază (datorită pantei negative a dreptei de sarcină),

$$v_c = -|A_v| v_i$$

unde A_v este amplificarea în tensiune a etajului.

Pentru o reproducere corectă la ieşire a formei semnalului de intrare trebuie ca variaţiile tensiunilor şi intensităţii curenţilor să se plaseze în regiuni liniare ale caracteristicilor. De cele mai multe ori aceste caracteristici *se*

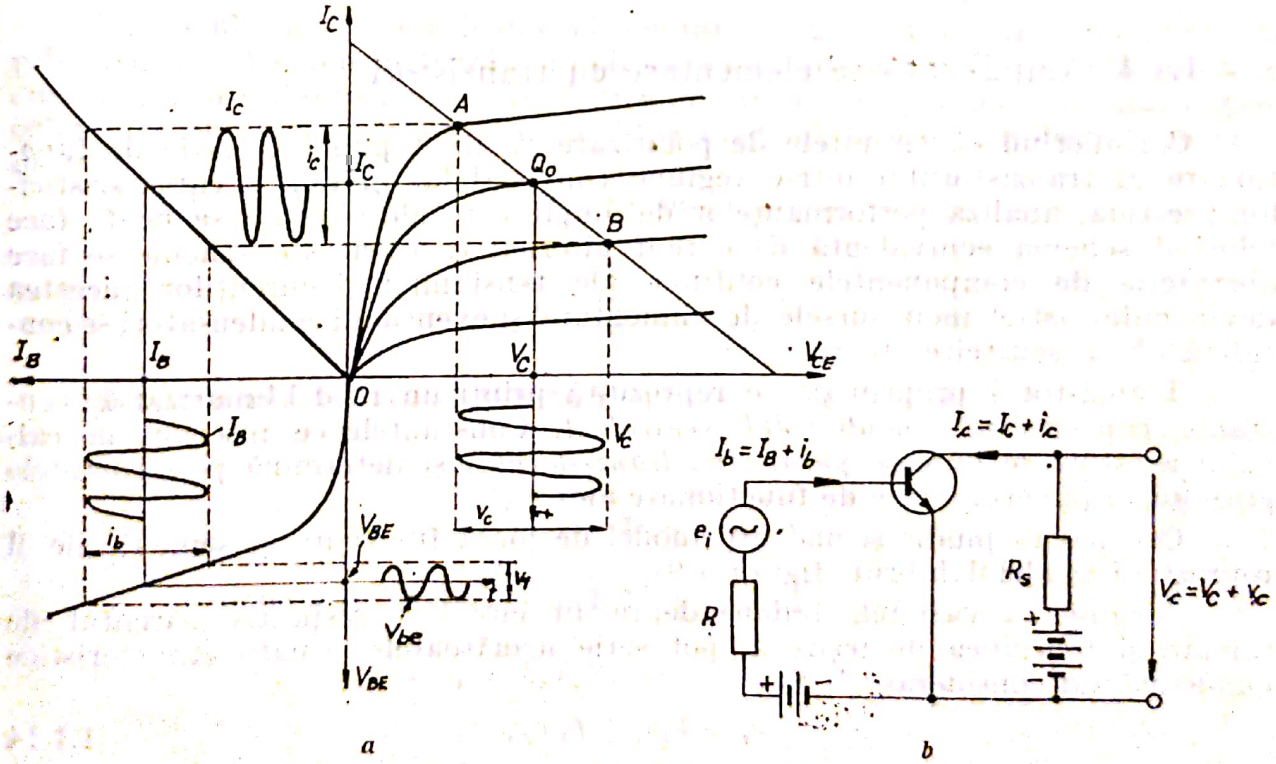


Fig. 1.8

Scanned with OKEN Scanner

pot considera liniare pe porțiuni mici în jurul punctului static de funcționare adică dacă sînt îndeplinite condiții de tipul :

$$i_c \ll I_C, \quad i_b \ll I_B, \quad v_{ce} \ll V_{CE} \quad \text{etc.}$$

Acest regim în care variațiile mărimilor electrice din circuit sînt mult mai mici decît valorile de curent continuu se numește *regim de nivel (semnal) mic*. În cazul în care componentele alternative sînt comparabile sau depășesc pe cele continue, etajul lucrează în regim de nivel mare.

Ipoteza liniarității caracteristicilor (pentru nivel mic) simplifică destul de mult proiectarea prin mijloace analitice a circuitelor electronice. Într-adevăr, odată fixate elementele de polarizare, mărimile continue nu mai interesează. Astfel considerînd proprietatea de liniaritate a caracteristicii de transfer rezultă

$$I_c = \beta(I_B + i_B) = \underbrace{\beta I_B}_{\substack{\text{componentă}\\ \text{continuă}}} + \underbrace{\beta i_B}_{\substack{\text{componentă}\\ \text{de semnal}}} = I_C + i_c, \qquad 1.1.13$$

cu $i_c = \beta i_B$.

Ultima relație arată că semnalul la ieșire este de β ori mai mare decît cel de intrare, indiferent de mărimea componentelor continue.

Este posibilă deci simplificarea circuitului din punct de vedere al semnalului prin eliminarea surselor (prin scurtcircuitare) și a mărimilor continue. Se obține în acest fel *schema echivalentă de curent alternativ* (de semnal) mult mai simplă pentru operațiile de proiectare și analiză. Mai mult, liniarizarea caracteristicilor tranzistorului permite înlocuirea lui printr-un model liniar sub forma unui diport (cuadripol) și aplicarea metodelor cunoscute din electrocinetică și teoria rețelelor.

1.1.4. Amplificatoare elementare cu tranzistori

Considerînd că circuitele de polarizare au fixat punctul static de funcționare al tranzistorului într-o regiune convenabilă, liniară, a caracteristicilor acestuia, analiza performanțelor de amplificare ale etajului se poate face folosind schema echivalentă de curent alternativ. În aceste scheme se face abstracție de componentele continue ale tensiunilor și curenților (acestea devin nule) astfel încît sursele de alimentare și eventualii condensatori se consideră că se scurtcircuitează.

Tranzistorul propriu-zis se reprezintă printr-un model liniarizat cu constante concentrate — *cuadripolul echivalent*. Constantele ce intervin în calculul acestuia se numesc *parametrii tranzistorului* și determină performanțele etajului în punctul static de funcționare ales.

Cel mai răspîndit și mai util model de joasă frecvență și semnal mic îl reprezintă modelul hibrid (figura 1.9).

Alegînd ca variabile independente în circuitul respectiv curentul de intrare și tensiunea de ieșire se pot scrie următoarele ecuații caracteristice cuadripolului considerat :

$$v_i = h_i i_i + h_r v_0 ; \qquad 1.1.14$$

$$i_0 = h_f i_i + h_0 v_0 . \qquad 1.1.15$$

Scanned with OKEN Scanner

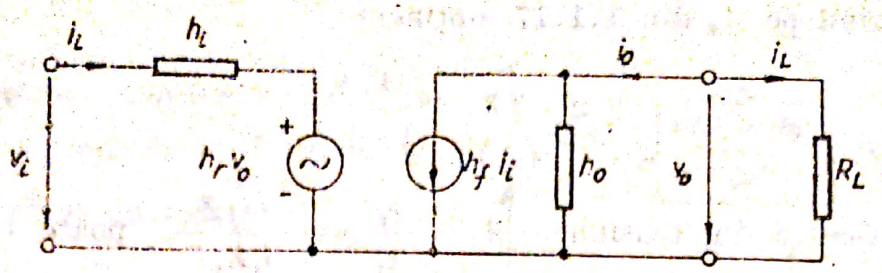


Fig. 1.9

Ținînd seama de sensurile curenților din figura 1.9 ($i_L = -i_0$) putem completa sistemul cu ecuația

$$v_0 = -i_0 Z_L \,. \qquad 1.1.16$$

Din primele două ecuații rezultă semnificațiile parametrilor hibrizi:

a) $h_i = \left.\frac{v_i}{i_i}\right|_{v_0=0}$ → impedanța de intrare cu ieșirea în scurtcircuit;

b) $h_r = \left.\frac{v_i}{v_0}\right|_{i_i=0}$ → factor de transfer invers în tensiune cu intrarea în gol;

c) $h_f = \left.\frac{i_0}{i_i}\right|_{v_0=0}$ → factor de transfer direct în curent cu ieșirea în scurtcircuit;

d) $h_0 = \left.\frac{i_0}{v_0}\right|_{i_i=0}$ → admitanța de ieșire cu intrarea în gol;

În cazul unui amplificator elementar cu un tranzistor interesează în principal următoarele mărimi: amplificarea în tensiune A_v, amplificarea în curent A_i, impedanța de intrare Z_i și admitanța de ieșire Y_0. Calculul expresiilor acestor mărimi se efectuează după modelul hibrid simplificat pornind de la relațiile de definiție.

Pentru amplificarea în curent, avem

$$A_i = \frac{i_L}{i_i} = -\frac{i_0}{i_i} \,.$$

Din relațiile 1.1.15 și 1.1.16 rezultă: $i_0 = h_f i_i - h_0 i_0 Z_L$, deci

$$A_i = -\frac{h_f}{1 + h_0 Z_L} \,. \qquad 1.1.17$$

De asemenea, din relațiile 1.1.14 și 1.1.16, avem

$$v_i = h_i i_i - h_r i_0 Z_L = h_i i_i + h_r A_i Z_L i_i \,.$$

Rezultă

$$Z_i = \frac{v_i}{i_i} = h_i + h_r A_i Z_L \,.$$

Scanned with OKEN Scanner

Înlocuind pe A_i din 1.1.17, obținem

$$Z_i = h_i - \frac{h_f h_r}{Y_L + h_0} \cdot \qquad 1.1.18$$

Amplificarea în tensiune, $A_v = \frac{v_0}{v_i} = \frac{-i_0 Z_L}{i_i Z_i}$, poate fi scrisă sub forma $A_v = A_i \frac{Z_L}{Z_i}$.

Înlocuind relațiile 1.1.17 și 1.1.18 și efectuînd calculele obținem :

$$A_v = -\frac{h_f Z_L}{h_i + Z_L \Delta h}, \qquad 1.1.19$$

unde $\Delta h = h_i h_0 - h_f h_r$ este determinantul matricei parametrilor hibrizi.

Admitanța de ieșire se definește ca raportul dintre curentul de ieșire și tensiunea aplicată la ieșire atunci cînd tensiunea la intrare este nulă. Considerînd la intrare un generator cu rezistență internă R_s și t.e.m. $v_s = 0$, putem scrie pentru ochiul de intrare ecuația $R_s i_i + h_i i_i + h_r v_0 = 0$, deci

$$\frac{i_i}{v_0} = -\frac{h_r}{h_i + R_s} \cdot \qquad 1.1.20$$

Admitanța de ieșire, conform definiției, este

$$Y_0 = \frac{i_0}{v_0} = h_0 + \frac{h_f i_i}{v_0} \cdot$$

Rezultă, folosind relația 1.1.20,

$$Y_0 = h_0 - \frac{h_f h_r}{h_i + R_s} \cdot \qquad 1.1.21$$

Informații suplimentare privind teoria amplificatoarelor, precum și variante de scheme practice se pot găsi în diferite lucrări de specialitate [4, 7, 29, 30, 43, 58].

1.1.5. Reacția negativă

Procedeul de întoarcere a unei părți din semnalul de la ieșirea unui amplificator la intrarea acestuia se numește *reacție*. Aceasta are aplicații importante permițînd îmbunătățirea performanțelor amplificatoarelor sau obținerea de funcții electronice noi.

Schema bloc a unui amplificator cu reacție este dată în figura 1.10,*a*. Circuitul de „eșantionare" preia semnalul de ieșire x_0 și îl introduce în rețeaua de reacție care furnizează un semnal $x_r = \beta x_0$.

Circuitul de sumare preia acest semnal, compunîndu-l, prin adunare sau scădere, cu semnalul de amplificat x_i, rezultanta x fiind aplicată la intrarea amplificatorului, $x = x_i \pm x_r$.

Pentru un amplificator avînd valoarea amplificării în buclă deschisă (fără reacție), $A_0 = \frac{x_0}{x}$, rezultă amplificarea cu reacție

$$A = \frac{x_0}{x_i} = \frac{x_0}{x \mp x_r} =$$

$$= \frac{x_0}{x \mp \beta x_0} = \frac{\frac{x_0}{x}}{1 \mp \beta \frac{x_0}{x}}.$$

Prin urmare amplificarea cu reacție este :

$$A = \frac{A_0}{1 \mp \beta A_0} \qquad 1.1.22$$

sau

$$A = f \cdot A_0, \qquad 1.1.22, a$$

unde

$$f = \frac{1}{1 \mp \beta A_0} \qquad 1.1.23$$

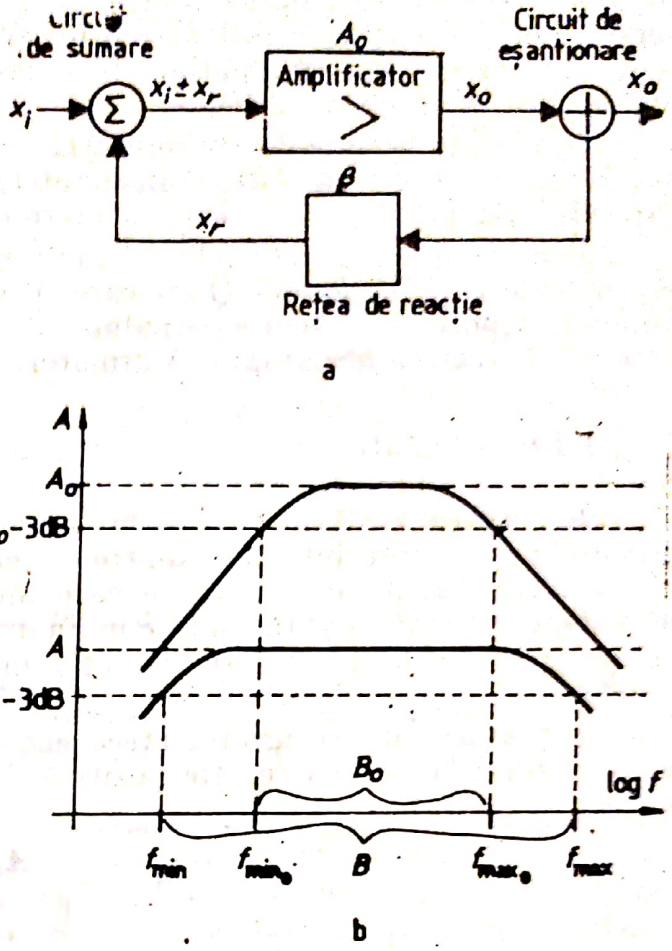


Fig. 1.10

este factorul de reacție.

După cum semnalul de reacție este în fază (se adună) sau în antifază (se scade) cu cel de intrare, reacția este *pozitivă* respectiv *negativă*.

Se observă că pentru reacția pozitivă amplitudinea crește, $A = \frac{A_0}{1 - \beta A_0} > A_0$, în timp ce pentru reacție negativă ea scade, $A = \frac{A_0}{1 + \beta A_0} < A_0$.

Se poate arăta prin calcul direct că prin introducerea reacției banda de frecvență a unui amplificator se modifică de $\frac{1}{f}$ ori pentru un factor de reacție suficient de mare. Prin urmare pentru un amplificator cu reacție negativă, banda de frecvență crește de atîtea ori de cîte ori scade amplificarea, astfel încît se poate considera că produsul dintre amplificare și banda de frecvență este practic constant, $B_0 \cdot A_0 = B \cdot A$, unde $B = f_{max} - f_{min}$ este banda de frecvență definită ca diferența dintre frecvența de la care amplificarea scade de $\sqrt{2}$ ori (-3 dB) față de cea maximă. Considerațiile acestea sînt valabile pentru un amplificator caracterizat de o funcție de transfer cu un pol și un zero (vezi paragraful 1.2) și sînt ilustrate pe o scară logaritmică în figura 1.10,*b*.

De asemenea, distorsiunile de nelinearitate ale amplificatorului cu reacție se modifică de f ori, astfel că pentru un amplificator cu reacție negativă ele se reduc de atîtea ori de cîte ori scade amplificarea. Distorsiunile armonice fiind în legătură directă cu liniaritatea caracteristicii de transfer a amplificatorului, rezultă că, prin aplicarea unei reacții negative liniaritatea

se îmbunătățește, deziderat foarte greu de obținut prin alte metode. Din aceste motive, reacția negativă este folosită aproape permanent în amplificatoare, pierderea de cîștig putînd fi compensată foarte ușor prin folosirea mai multor etaje de amplificare.

În plus, în funcție de configurația concretă a circuitelor de eșantionare și de sumare, reacția modifică impedanțele de intrare și de ieșire ale amplificatorului, adaptîndu-l cerințelor concrete de utilizare [4, 6, 7, 29, 30].

Reacția pozitivă este folosită mult mai rar în amplificatoare în special la tehnicile de „boostrap". O aplicare directă a reacției pozitive o constituie anumite tipuri de circuite capabile să genereze semnale — oscilatoarele — care vor fi tratate în paragraful următor.

1.1.6. Oscilatoare

Generarea oscilațiilor de diverse forme de undă (variația în timp a mărimii oscilante) reprezintă una dintre funcțiile fundamentale ale dispozitivelor electronice. Circuitele electronice care îndeplinesc această funcție se numesc **oscilatoare** și sînt larg răspîndite în aparatura electronică actuală. Tratăm în continuare cîteva dintre tipurile cele mai reprezentative de oscilatoare cu reacție.

S-a arătat în paragraful precedent că amplificarea în buclă închisă, A, a unui amplificator cu reacție pozitivă, la care mărimea de reacție se adună cu cea de intrare este

$$A = \frac{A_0}{1 - \beta A_0}, \qquad 1.1.24$$

unde A_0 este amplificarea în buclă deschisă, iar β este coeficientul de reacție.

Deoarece $A = \frac{v_0}{v_s}$, este posibilă apariția unui semnal nenul v_0 la ieșire, fără aplicarea unui semnal la intrare ($v_s = 0$) dacă amplificarea în buclă închisă este infinită.

Deci pentru $A \to \infty$ din 1.1.24 rezultă $1 - \beta A_0 = 0$ sau

$$\beta A_0 = 1. \qquad 1.1.25$$

Relația 1.1.25, numită și *condiția lui Barkhausen* pentru menținerea oscilațiilor la ieșirea circuitului, poate fi îndeplinită prin alegerea corespunzătoare a elementelor din bucla de reacție în funcție de amplificarea în buclă deschisă iar circuitul se transformă în oscilator prin scurtcircuitarea bornelor de intrare ale amplificatorului cu reacție (figura 1.11,*a*, *b*).

În exemplul din figura 1.11,*b* în care se folosește un tranzistor cu efect de cîmp, circuitul de reacție este format din cele două bobine cuplate, cea din drena tranzistorului făcînd împreună cu condensatorul C_2 un circuit oscilant, mai precis, chiar sarcina tranzistorului. Acest circuit oscilant asigură o amplificare în gol A_0 maximă la frecvența sa proprie de rezonanță f_0. Alegînd un raport de transformare $\beta = \frac{n_2}{n_1} = \frac{1}{A_0}$, la un cuplaj perfect al bobinelor și o fază corespunzătoare (punctele indică începutul bobinelor) se va înde-

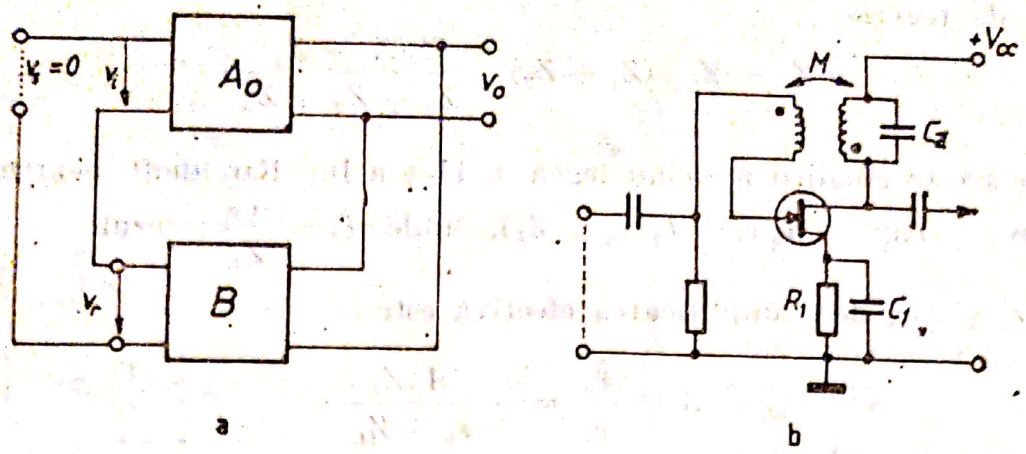


Fig. 1.11

plini condiția de oscilație *numai la frecvența de rezonanță* f_0. Aceasta înseamnă că semnalul de ieșire conține o singură frecvență, deci este sinusoidal. Dacă la frecvența de rezonanță $\beta > \frac{1}{A_0}$, este posibil ca β să fie suficient de mare și la frecvențele $2f_0$, $3f_0$, etc. (armonicile frecvenței de rezonanță) astfel încît și acestea vor apare în spectrul semnalului de ieșire. Acest semnal nu va mai fi sinusoidal ci va fi distorsionat cu atît mai mult cu cît β este mai mare decît $1/A_0$.

În general, deci, la proiectarea oscilatoarelor trebuie ținut seama de caracteristicile de frecvență ale ansamblului amplificator-buclă de reacție. La oscilatoarele sinusoidale, acesta trebuie să aibă o caracteristică de frecvență *selectivă* cît mai pronunțată pe cînd la cele nesinusoidale (de impulsuri) caracteristica de frecvență trebuie să fie cît mai largă și uniformă (plată).

Schema din figura 1.11,*b* asigură generarea de oscilații sinusoidale dacă β ia valoarea precisă $1/A_0$, lucru destul de dificil de obținut și de reprodus în practică. Aceasta deoarece β depinde nu numai de raportul numărului de spire al bobinelor ci și de coeficientul de cuplaj al acestora, parametru dificil de controlat. De aceea, în practică s-a impus o altă variantă de oscilator sinusoidal *LC* (cu inductanțe și condensatori în bucla de reacție), numai „oscilator în trei puncte" datorită formei circuitului de reacție (figura 1.12).

Amplificatorul trebuie să fie, după cum se va vedea de tip inversor, deci

$$v_0 = -Kv_i, \quad 1.1.26$$

unde K este amplificarea în orice condiții.

Folosim un model al amplificatorului cu generator de tensiune la ieșire având t.e.m. $-A_0 v_i$ și rezistența internă r_0. Vom considera de asemenea că impedanța de intrare a amplificatorului este foarte mare ($Z_i \to \infty$) și singura sarcină Z_L a acestuia este formată de

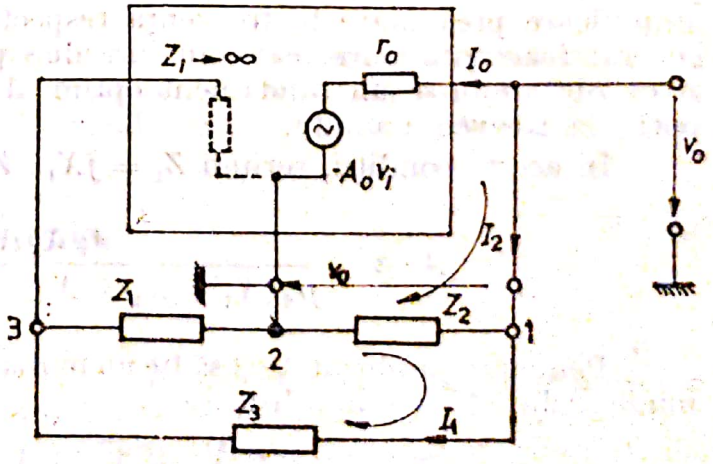


Fig. 1.12

rețeaua de reacție

$$Z_L = Z_2 \| (Z_1 + Z_3) = \frac{Z_2(Z_1 + Z_3)}{Z_1 + Z_2 + Z_3}. \qquad 1.1.27$$

În aceste condiții aplicînd legea a II-a a lui Kirchhoff pentru ochiul de ieșire, avem $-A_0 v_i = I_2 (r_0 + Z_L)$, unde $I_2 = \frac{v_0}{Z_L}$; rezultă $-A_0 v_i = \frac{v_0}{Z_L}(r_0 + Z_L)$, deci amplificarea efectivă este

$$A = \frac{v_0}{v_i} = -\frac{A_0 Z_L}{r_0 + Z_L}. \qquad 1.1.28$$

Calculăm în continuare factorul de reacție β din ochiul Z_1, Z_2, Z_3:

$$\beta = \frac{v_i}{v_0} = \frac{Z_1 \cdot Y_1}{v_0} = \frac{Z_1 \cdot \frac{v_0}{Z_1 + Z_3}}{v_0}$$

$$\beta = \frac{Z_1}{Z_1 + Z_3}. \qquad 1.1.29$$

Condiția de oscilație fiind $A\beta = 1$ vom avea, succesiv:

$$A\beta = -\frac{A_0 Z_L}{r_0 + Z_L} \cdot \frac{Z_1}{Z_1 + Z_3} = \frac{-A_0 \cdot \frac{Z_2(Z_1 + Z_3)}{Z_1 + Z_2 + Z_3} \cdot Z_1}{\left[r_0 + \frac{Z_2(Z_1 + Z_3)}{Z_1 + Z_2 + Z_3}\right](Z_1 + Z_3)} =$$

$$= \frac{-A_0 Z_1 Z_2}{r_0 (Z_1 + Z_2 + Z_3) + Z_2 (Z_1 + Z_3)} = 1. \qquad 1.1.30$$

Se observă că Z_1, Z_2 și Z_3 nu pot fi rezistențe deoarece în acest caz produsul $A \cdot \beta$ ar fi negativ în orice condiții. Practic, pentru a nu fi necesară o amplificare prea mare la frecvența respectivă, rețeaua de reacție conține în general reactanțe pure, care nu introduc pierderi de putere (nefiind disipative), obținîndu-se un randament optim al oscilatorului, lucru important cel puțin la frecvențe înalte.

În aceste condiții, scriind $Z_1 = jX_1$, $Z_2 = jX_2$, $Z_3 = jX_3$, obținem

$$A \cdot \beta = \frac{A_0 X_1 X_2}{jr_0 (X_1 + X_2 + X_3) - X_2 (X_1 + X_3)} = 1. \qquad 1.1.31$$

Pentru ca produsul $A \cdot \beta$ să fie un număr real, trebuie ca partea imaginară a numitorului să fie nulă, deci

$$X_1 + X_2 + X_3 = 0. \qquad 1.1.32$$

Scanned with OKEN Scanner

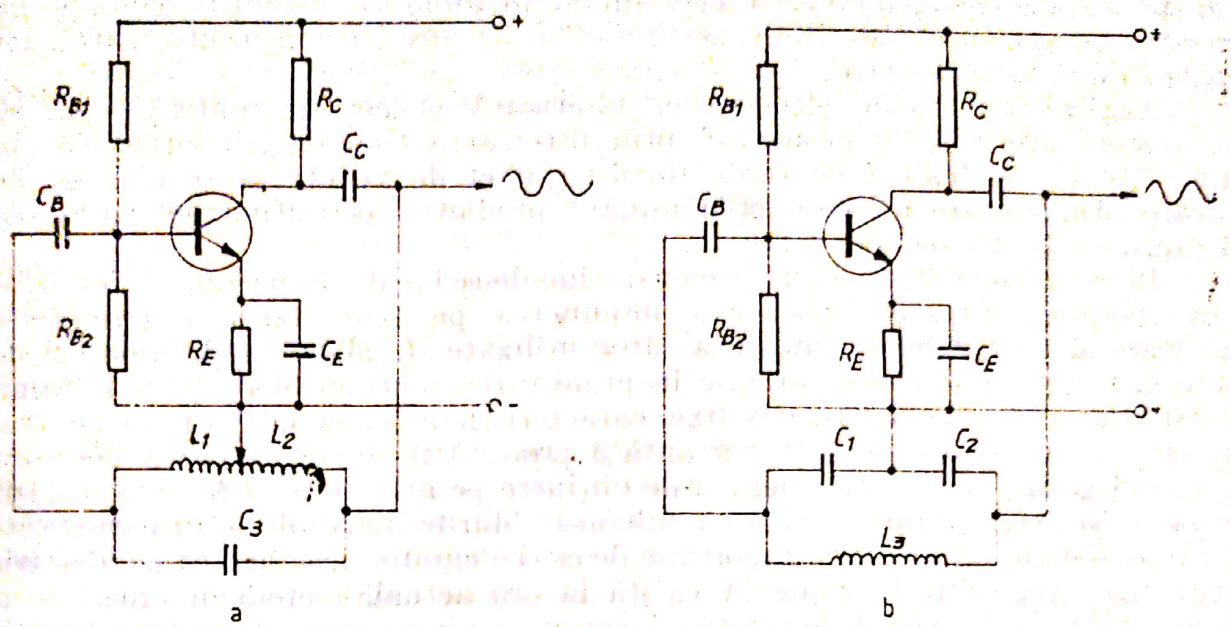


Fig. 1.13

Rezultă $X_1 + X_3 = -X_2$,

$$A \cdot \beta = \frac{A_0 X_1}{X_2} = 1. \qquad 1.1.32$$

Reactanțele X_1 și X_2 trebuie deci să aibă același semn (să fie ambele inductanțe sau ambele capacități), știindu-se că în reprezentarea complexă, incluzînd defazajul tensiunii față de curent, reactanțele se scriu :

$$X_L = j\omega L, \quad X_C = -\frac{j}{\omega C} = \frac{1}{j\omega C}.$$

Pentru îndeplinirea condiției 1.1.32 este necesar ca reactanța X_3 să aibă semn invers față de celelalte, adică

$$X_3 = -(X_1 + X_2). \qquad 1.1.33$$

Rețeaua în trei puncte va avea deci două configurații posibile : Z_1 și Z_2 condensatori, iar Z_3 inductanță (oscilator de tip Colpitts (fig. 1.13, *b*), respectiv Z_1 și Z_2 inductanțe, iar Z_3 condensator (oscilator de tip Hartley) (figura 1.13,*a*).

1.2. Analiza circuitelor electronice

1.2.1. Considerații generale

Sinteza circuitelor electronice prezentată succint în paragraful anterior permite, cu un oarecare grad de dificultate, stabilirea structurii posibile a unui circuit capabil de o funcționalitate impusă. În general însă în procesul de proiectare se presupune cunoscut atît semnalul de ieșire (conform cerințelor) cît și cel de intrare (impus de termenii problemei). De aceea, circuitul rezultat

din proiectare corespunde cerințelor numai în anumite condiții (semnale) de intrare, comportarea lui fiind necunoscută în alte circumstanțe care pot apare în decursul utilizării.

Analiza circuitelor electronice, ulterioară etapei de sinteză, vine să completeze procesul de proiectare prin precizarea comportării circuitelor în orice situații, inclusiv cele anormale din punct de vedere al semnalelor de intrare. Analiza are un scop predominant predictiv, permițînd determinarea răspunsului la un semnal oarecare.

Procesul de analiză a circuitelor devine deosebit de important în electronica modernă caracterizată prin impunerea pe scară largă a circuitelor integrate și a modulelor tipizate a căror utilizare simplifică mult procesul de sinteză, reducîndu-l uneori practic la proiectarea schemei bloc. Ținînd seama că astfel de structuri sînt relativ fixe, caracteristicile lor neputînd fi în general modificate, etapa cea mai importantă a proiectării devine analiza acestora în scopul găsirii celor mai bune căi de obținere pe ansamblu a funcționalității impuse. În acest proces, faptul că subansamblurile disponibile au caracteristici fixe, devine un avantaj important deoarece elimină necesitatea cunoașterii structurii circuitului. Într-adevăr există la ora actuală metode de precizare a răspunsului la un semnal de o formă oarecare pe baza cunoașterii unor funcții (de exemplu de timp sau de frecvență) ce caracterizează complet comportarea circuitului.

Domeniul analizei circuitelor electronice, care prefigurează un posibil domeniu al electronicii teoretice, se află oarecum la început. Literatura de specialitate abordează probleme cu un grad relativ mic de generalitate și nu reușește să rezolve încă unele clase de probleme des întîlnite în practică. Cum este firesc, succesul maxim a fost obținut pentru sisteme simple cum sînt cele liniare și invariante în timp. Chiar și în aceste condiții aplicațiile sînt întotdeauna utile, măcar din punct de vedere calitativ atunci cînd ipoteza liniarității și staționarității sistemului sînt rezultatul unor aproximări și idealizări. Metodele de *analiză a circuitelor liniare* sînt diverse și bine puse la punct, în timp ce *analiza circuitelor neliniare* implică serioase dificultăți în special din punct de vedere matematic. De aceea, de cîte ori este posibil, se recurge la aproximații liniarizate valabile aproape întotdeauna dacă semnalele au valori mici.

Considerăm în continuare că funcția unui circuit constă în prelucrarea unui semnal $x(t)$ și transformarea acestuia în răspunsul $y(t)$ conform relației

$$y(t) = L\{x(t)\} \qquad 1.2.1$$

unde $L\{\quad\}$ este un operator a cărui formă decurge din sistemul de ecuații integrodiferențiale ce se scriu pentru acest circuit pe baza teoremelor lui Kirchhoff.

În aceste condiții considerăm *liniar* circuitul pentru care este valabilă relația

$$L\{a_1 x_1(t) + a_2 x_2(t)\} = a_1 L\{x_1(t)\} + a_2 L\{x_2(t)\},$$

în care $x_1(t)$ și $x_2(t)$ sînt două semnale, a_1 și a_2 sînt constante iar mărimea $a_1 x_1(t) + a_2 x_2(t)$ este un semnal compus. Notînd $y_1(t)$ și $y_2(t)$ răspunsurile la semnalele $x_1(t)$ respectiv $x_2(t)$ și $y(t)$ răspunsul la semnalul compus, se poate scrie

$$y(t) = a_1 y_1(t) + a_2 y_2(t),$$

ceea ce exprimă faptul că răspunsul circuitului liniar la semnalul compus este o combinație liniară a răspunsurilor la semnalele componente.

Generalizind pentru un număr oarecare de semnale elementare $f_n(t)$ care alcătuiesc un semnal dat $x(t)$ conform relației

$$x(t) = \sum_{n=0}^{N} a_n f_n(t), \qquad 1.2.2$$

putem scrie

$$L = \{x(t)\} = L\left\{\sum_{n=0}^{\Lambda} a_n f_n(t)\right\} = \sum_{n=0}^{N} L\{a_n f_n(t)\} = \sum_{n} a_n L\{f_n(t)\}. \qquad 1.2.3$$

Această relație constituie formularea matematică a *teoremei superpoziției* care afirmă că răspunsul unui circuit liniar la un semnal compus $x(t)$ este dat de suma răspunsurilor $L\{a_n f_n(t)\}$ la componentele elementare $f_n(t)$ ponderate cu coeficienții specifici a_n ai semnalului $x(t)$.

Prin urmare deducerea răspunsului la un semnal oarecare presupune în primul rînd cunoașterea răspunsului la un set de semnale elementare corespunzător alese astfel încît o combinație liniară a acestora să poată aproxima cît mai bine orice semnal dat $x(t)$. În acest scop interesul analizei se concentrează inițial asupra relației 1.2.2 care exprimă de fapt descompunerea unui semnal oarecare $x(t)$ după un set de funcții elementare $f_n(t)$ cu coeficienți specifici semnalului, proces denumit *analiza semnalelor*.

1.2.2. Analiza spectrală a semnalelor

Cum s-a arătat, o primă problemă importantă o constituie exprimarea unui semnal oarecare $x(t)$ printr-o combinație liniară de semnale elementare $f_n(t)$ conform relației

$$x(t) = \sum_{n} a_n f_n(t), \quad n \in N, \qquad 1.2.4$$

unde a_n sînt constante reale.

Fiind dat un semnal oarecare $x(t)$, pentru a se obține egalitatea 1.2.4 la orice valoare a lui t, este necesar în general ca suma să conțină un număr infinit de termeni. Acest lucru nu este acceptabil în aplicații și de aceea se pune problema alegerii convenabile a setului de funcții $f_n(t)$ astfel încît, la un număr finit de termeni, o combinație liniară a setului $f_n(t)$ să aproximeze cît mai bine orice semnal $x(t)$. Se poate demonstra că se obține o eroare minimă cînd funcțiile $f_n(t)$ sînt ortogonale deci este satisfăcută relația

$$\int_T f_n(t) f_m^*(t)\, dt = C_m^2\, \delta_{nm}, \qquad 1.2.5$$

unde T este *domeniul de ortogonalitate*, iar C_n *norma* funcțiilor, dependentă în general de n. Pentru cazul în care $C_n = 1$ se spune că funcțiile $f_n(t)$ sînt *ortonormate*. Componentele $a_n f_n(t)$ din care se poate obține prin însumare semnalul formează *spectrul semnalului*; coeficienții a_n sînt *amplitudinile componentelor spectrale* și sînt caracteristice formei semnalului. Setul de funcții $f_n(t)$ caracte-

rizează semnalul într-o măsură mult mai redusă, care va fi precizată mai tîrziu.

Alegînd setul de funcţii ortogonale $f_n(t)$ după care se face dezvoltarea, amplitudinile componentelor spectrale se obţin uşor înmulţind relaţia 1.2.4 cu $f_m^*(t)$, integrînd pe domeniul T, şi ţinînd seama de 1.2.5, adică

$$\int_0^T x(t) f_m^*(t)\,\mathrm{d}t = \int_0^T \left(\sum_{n=0}^{\Lambda} a_n f_n(t)\right) f_m^*(t)\,\mathrm{d}t =$$

$$= \sum_{n=0}^{N} a_n \int_0^T f_n(t) f_m^*(t)\,\mathrm{d}t = \sum_{n=0}^{N} a_n C_m^2 \delta_{nm} = a_m C_m^2 .$$

Rezultă

$$a_m = \frac{1}{C_m^2}\int_0^T x(t) f_m^*(t)\,\mathrm{d}t. \qquad 1.2.6$$

Se poate demonstra că pentru un număr dat N_1 de termeni ai dezvoltării setul de coeficienţi a_n care asigură eroarea de aproximare minimă este unic.

Pentru aceasta presupunem că avem o altă dezvoltare cu setul de coeficienţi b_n şi calculăm media pe perioada T a abaterii pătratice faţă de semnalul original

$$D = \frac{1}{T}\int_T \left[x(t) - \sum_{n=0}^{\Lambda_1} b_n f_n(t)\right]^2 \mathrm{d}t.$$

Dezvoltînd, obţinem :

$$TD = \int_T x^2(t)\,\mathrm{d}t - 2\sum_{n=0}^{N_1} b_n \int_T x(t) f_n(t)\,\mathrm{d}t + \int_T \left[\sum_{n=0}^{N_1} b_n f_n(t)\right]^2 \mathrm{d}t. \qquad 1.2.7$$

Ţinînd seama că în ultima sumă combinaţiile de tipul $\int_T f_n(t) f_m(t)\,\mathrm{d}t$ sînt nule pentru $n \neq m$ în cazul unui set de funcţii $f_n(t)$ reale, putem scrie

$$TD = \int_T x^2(t)\,\mathrm{d}t - 2C_n^2 \sum_{n=0}^{N_1} a_n b_n + C_n^2 \sum_{n=0}^{\Lambda_1} b_n^2 =$$

$$= \int_T x^2(t)\,\mathrm{d}t - C_n^2 \sum_{n=0}^{N_1} a_n^2 + C_n^2 \sum_{n=0}^{N_1} (b_n - a_n)^2 ; \qquad 1.2.8$$

Se observă că abaterea pătratică medie depinde de coeficienţii b_n şi este minimă pentru cazul

$$b_n = a_n, \quad (\forall)\, n = 0 \div N_1 .$$

Scanned with OKEN Scanner

De asemenea, relaţia 1.2.7 evidenţiază faptul că eroarea pătratică medie, la aproximarea lui $x(t)$ printr-un număr finit de termeni

$$x(t) \approx \sum_{n=0}^{N_1} a_n f_n(t),$$

se minimizează dacă funcţiile $f_n(t)$ sînt ortogonale. Într-adevăr, se poate scrie referitor la cea de a treia integrală din relaţia 1.2.7

$$\int_T \left[\sum_{n=0}^{N_1} b_n f_n(t) \right]^2 \mathrm{d}t \geqslant \int_T \sum_{n=0}^{N_1} [b_n f_n(t)]^2 \, \mathrm{d}t.$$

Egalitatea are loc, minimizînd eroarea, numai pentru funcţii $f_n(t)$ ortogonale.

Ţinînd seama că abaterea pătratică medie minimă este pozitivă,

$$D_{min} = \frac{1}{T}\int_T x^2(t)\,\mathrm{d}t - \frac{C_n^2}{T}\sum_{n=0}^{N} a_n^2 \geqslant 0,$$

rezultă relaţia

$$C_n^2 \sum_{n=0}^{N} a_n \leqslant \int_T x^2(t)\,\mathrm{d}t \qquad 1.2.9$$

numită *inegalitatea Bessel.*

Eroarea de aproximaţie poate fi nulă dacă numărul de termeni ai dezvoltării este infinit. În acest caz sistemul de funcţii $f_n(t)$ se numeşte *complet*, iar relaţia 1.2.9 devine

$$C_n^2 \sum_{n=0}^{\infty} a_n^2 = \int_T x^2(t)\,\mathrm{d}t, \qquad 1.2.10$$

care reprezintă *teorema Parseval* pentru semnale periodice. Ea poate fi interpretată dacă vom considera că $x(t)$ reprezintă tensiunea sau intensitatea curentului semnalului aplicate unei rezistenţe de 1 Ω. Membrul al doilea este în acest caz energia semnalului într-o perioadă şi se observă că fiecare componentă spectrală dă o contribuţie energetică proporţională cu pătratul amplitudinii sale. Aceeaşi afirmaţie se poate face în legătură cu puterea semnalului, dacă împărţim relaţia 1.2.10 prin T,

$$\frac{1}{T}\int_T x^2(t)\,\mathrm{d}t = \frac{C_n^2}{T}\sum_{n=0}^{\infty} a_n^2.$$

Deoarece domeniul de ortogonalitate T al funcţiilor elementare este finit pentru funcţiile fizic realizabile, relaţia 1.2.5 este satisfăcută numai pentru un interval de timp finit $(t_0 \div t_0 + T)$. Aceasta înseamnă că şi dezvoltarea 1.2.4 cu coeficienţii daţi de 1.2.6 este valabilă numai în intervalul finit T. În afara acestuia, suma ia valori omoloage celor din intervalul iniţial,

Scanned with OKEN Scanner

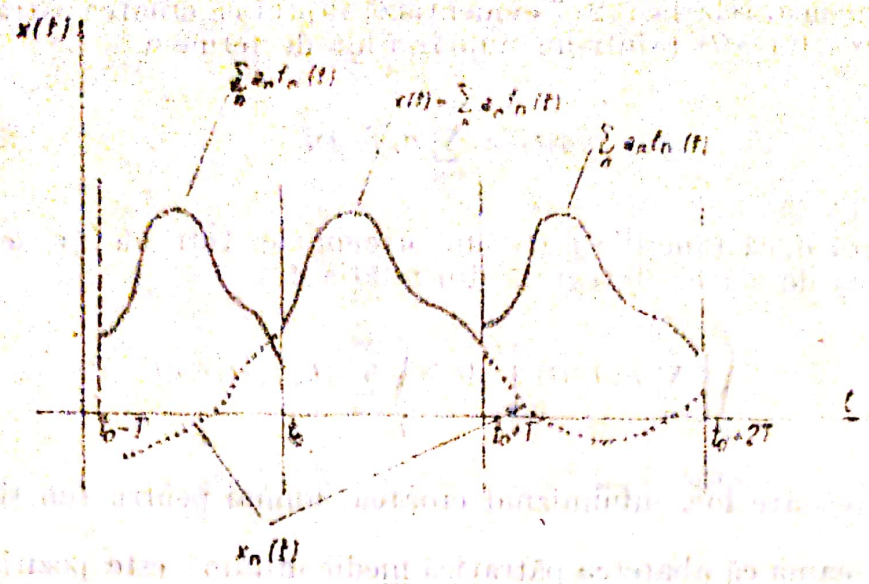


Fig. 1.14

putînd diferi destul de mult de semnalul $x(t)$ (figura 1.14). Rezultă că suma $\sum_n a_n f_n(t)$ este periodică, ceea ce înseamnă că și funcțiile ortogonale $f_n(t)$ trebuie să fie periodice. Pentru a aproxima în acest fel un semnal $x(t)$ la orice moment t, semnalul însuși trebuie să fie periodic. Se observă și în figura 1.14, că dacă $x(t)$ ar fi periodic el ar coincide cu dezvoltarea $\sum_n a_n f_n(t)$ și în afara intervalului inițial de ortogonalitate $(t_0 \div t_0 + T)$.

Dintre funcțiile periodice ortogonale uzuale cele mai naturale și mai răspîndite sînt funcțiile trigonometrice, care formează obiectul analizei de tip Fourier. Pentru aceasta se introduce frecvența unghiulară (numită uneori, simplu frecvența) Ω conform relației

$$\Omega = \frac{2\pi}{T}, \qquad 1.2.11$$

unde T este perioada semnalului de analizat.

În acest caz se poate face dezvoltarea funcțiilor după setul de funcții:

$$\sin n\Omega t, \quad \cos n\Omega t, \quad n = 0 \div \infty.$$

Se poate verifica imediat că acestea for ează un sistem ortonormat (deoarece funcțiile sînt reale, avem $f_n^*(t) = f_n(t)$):

$$\int_T \sin n\Omega t \cdot \sin m\Omega t \cdot \mathrm{d}t = \frac{T}{2}\delta_{nm},$$

$$\int_T \cos n\Omega t \cdot \cos m\Omega t \cdot \mathrm{d}t = \frac{T}{2}\delta_{nm},$$

$$\int_T \sin n\omega t \cdot \cos m\Omega t \cdot \mathrm{d}t = 0, \quad (\forall)\, n,\ m$$

Rezultă constanta de normare

$$C^2 = \frac{T}{2} \Rightarrow C = \sqrt{\frac{T}{2}}. \qquad 1.2.12$$

Dezvoltarea după acest set de funcţii se poate scrie sub forma

$$x(t) = \sum_{n=0}^{\infty} S_n \sin n\Omega t + \sum_{n=0}^{\infty} C_n \cos n\Omega t. \qquad 1.2.13$$

Coeficienţii dezvoltării se pot calcula conform relaţiilor 1.2.6 şi 1.2.12 cu formulele

$$S_n = \frac{2}{T}\int_T x(t) \sin n\Omega t \, dt, \qquad 1.2.14$$

$$C_n = \frac{2}{T}\int_T x(t) \cos n\Omega t \, dt. \qquad 1.2.15$$

Pentru $n = 0$ rezultă :

$$S_0 = 0,$$

$$C_0 = \frac{2}{T}\int_T x(t)\, dt = 2\overline{x(t)}, \qquad 1.2.16$$

unde am notat cu $\overline{x(t)}$ media semnalului pe o perioadă numită şi *componenta continuă.*

Relaţia 1.2.13 se poate scrie deci

$$x(t) = C_0 + \sum_{n=1}^{\infty} S_n \sin n\Omega t + \sum_{n=1}^{\infty} C_n \cos n\Omega t. \qquad 1.2.17$$

În unele cazuri, pentru a evidenţia contribuţia componentei continue se alege ca set de funcţii ortogonale :

$$A, \ \sin n\Omega t, \quad \cos n\Omega t; \quad n = 1 \div \infty,$$

unde A este o constantă ce se poate alege astfel încît constanta de normare să fie aceeaşi $\left(\sqrt{\frac{T}{2}}\right)$ şi pentru $n = 0$. În acest caz avem :

$$\int_{t_0}^{t_0+T} A \cdot A \cdot dt = C^2 = \frac{T}{2}, \qquad A = \frac{1}{\sqrt{2}}.$$

Rezultă

$$C_0 = \frac{2}{T}\int_T x(t)\,\frac{1}{\sqrt{2}}\,dt = \frac{\sqrt{2}}{T}\int_T x(t)\,dt = \sqrt{2}\,\overline{x(t)}, \qquad 1.2.18$$

relație care nu este în contradicție cu 1.2.16, deoarece în primul caz dezvoltarea se făcea după setul :

$$1,\ \sin n\Omega t,\quad \cos n\Omega t;\quad n = 1 \div \infty,$$

iar în al doilea caz după setul :

$$\frac{1}{\sqrt{2}},\quad \sin n\Omega t,\quad \cos n\Omega t;\quad n = 1 \div \infty.$$

Din relația Parceval se poate calcula puterea medie a semnalului, care pentru al doilea tip de dezvoltare ia forma omogenă.

$$\frac{1}{T}\int_T x^2(t)\,dt = \left(\frac{C_0}{\sqrt{2}}\right)^2 + \sum_{n=1}^{\infty}\left[\left(\frac{C_n}{\sqrt{2}}\right)^2 + \left(\frac{S_n}{\sqrt{2}}\right)^2\right], \qquad 1.2.19$$

rezultînd o însumare pătratică a puterilor efective ale componentelor spectrale.

Relația 1.2.17 reprezintă *forma trigonometrică* a dezvoltării în serie Fourier. Prin calcule simple se pot obține și alte forme, de interes aplicativ sau teoretic.

Astfel, putem scrie :

$$C_n \cos n\Omega t + S_n \sin n\Omega t = A_n \cos (n\Omega t + \varphi_n)$$

unde $A_n = (C_n^2 + S_n^2)^{1/2}$, iar $\varphi_n = -\operatorname{arctg}\dfrac{S_n}{C_n}$.

Rezultă *forma armonică* a dezvoltării în serie Fourier

$$x(t) = A_0 + \sum_{n=1}^{\infty} A_n \cos (n\Omega t + \varphi_n), \qquad 1.2.20$$

care evidențiază faptul că semnalul $x(t)$ are un spectru format din funcții periodice $A_n \cos (n\Omega t + \varphi_n)$ cu frecvențe care sînt multipli ai lui Ω. Prima componentă spectrală, de frecvență Ω, se mai numește *fundamentală*, iar componentele de frecvențe $n\Omega$ cu $n > 1$ se numesc *armonici* de ordinul n. Faza φ_n a componentelor spectrale interesează mai puțin în aplicații și de aceea se folosește de cele mai multe ori o reprezentare plană a spectrului unui semnal ca în exemplul din figura 1.15.

Se observă că amplitudinile componentelor spectrale caracterizează aproape complet un semnal dat, $x(t)$, în timp ce setul de funcții după care se

Scanned with OKEN Scanner

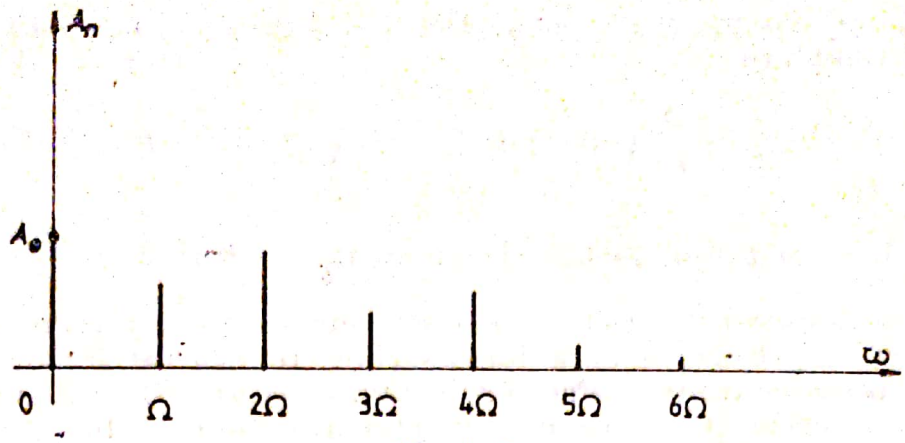


Fig. 1.15

face dezvoltarea, caracterizează semnalul numai prin intermediul lui Ω, dependent de perioada lui $x(t)$.

Pe baza corespondenței Euler dintre funcțiile trigonometrice și exponențiala complexă :

$$e^{j\alpha} = \cos\alpha + j\sin\alpha, \quad \cos\alpha = Re[e^{j\alpha}] = \frac{1}{2}(e^{j\alpha} + e^{-j\alpha}),$$

unde $j = \sqrt{-1}$ (notație adoptată pentru a nu apărea confuzii cu intensitatea curentului, i) se poate obține o formă exponențială a dezvoltării în serie Fourier.

Astfel avem succesiv :

$$x(t) = A_0 + \sum_{n=1}^{\infty} Re\,[e^{j(n\Omega t + \varphi_n)}] = A_0 + \sum_{n=1}^{\infty} Re\,[A_n e^{j\varphi_n} e^{jn\Omega t}] =$$

$$= A_0 + \sum_{n=1}^{\infty} \frac{1}{2}(A_{nc} e^{jn\Omega t} + A_{nc} e^{-jn\Omega t}), \qquad 1.2.21$$

unde $A_{nc} = A_n e^{j\varphi_n}$ este amplitudinea complexă a componentei spectrale de ordinul n, iar $A_{-nc} = A_{-n} e^{j\varphi_n}$.
Dar $C_{-n} = C_n$; $S_{-n} = -S_n$; $A_{-n} = (C_n^2 + S_n^2)^{1/2} = A_n$,

$$\varphi_{-n} = -\operatorname{arctg}\frac{S_{-n}}{C_{-n}} = -\varphi_n.$$

Rezultă

$$A_{-nc} = A_n e^{-j\varphi_n} = A_{nc}^*. \qquad 1.2.22$$

Introducînd notația $A_{0c} = 2A_0$, putem scrie suma cu termeni de o singură formă, $A_{nc} e^{jn\Omega t}$, unde n ia atîtea valori pozitive cît și negative

$$x(t) = \frac{1}{2}\sum_{n=-\infty}^{\infty} A_{nc} e^{jn\Omega t}. \qquad 1.2.23$$

Aceasta reprezintă *forma complexă* sau (*exponențială*) a dezvoltării în serie Fourier.

Coeficienții dezvoltării se obțin din condiția de ortogonalitate pentru funcții $f_n^*(t)$ complexe :

$$A_{nc} = \frac{1}{C^2}\int_T x(t) f_n^*(t)\,dt = \frac{2}{T}\int_0^T x(t)\,e^{-jn\Omega t}\,dt. \qquad 1.2.24$$

1.2.3. Analiza impulsurilor. Transformări integrale

Metodele analizei Fourier se pot extinde și pentru cazul semnalelor neperiodice, în particular asupra impulsurilor. În general impulsul se definește pentru perioade finite, astfel că semnalul respectiv $x(t)$ este nul în afara unui anumit interval $[t_1, t_2]$, ca în exemplul din figura 1.16, *a*. Există de asemenea cazuri de impulsuri definite matematic pe intervale infinite (de exemplu $x(t) = \alpha_1 e^{-\alpha_2 t}$, $t \in [0, \infty]$) cărora li se poate aplica metoda Fourier, dar în general lucrul nu este posibil pentru impulsuri infinite în timp.

Pentru a determina spectrul unui impuls, vom construi un semnal ajutător $x_T(t)$, identic cu $x(t)$ în intervalul $T \geqslant [t_1, t_2]$, dar *periodic* cu perioada T în afara acestuia. De exemplu, pentru impulsul $x(t)$ din figura 1.16, *a* se consideră semnalul periodic $x_T(t)$ din figura 1.16,*b*. Avînd în vedere periodicitatea semnalului $x_T(t)$ el se poate deseori pune în serie Fourier

$$x_T(t) = \frac{1}{T}\sum_{n=-\infty}^{\infty} A_{nc}\,e^{jn\Omega t} \qquad 1.2.25$$

cu coeficienții

$$A_{nc} = \frac{2}{T}\int_0^T x(t)\,e^{-jn\Omega t}\,dt = \frac{2}{T}\int_{-\infty}^{\infty} x(t)\,e^{-jn\Omega t}\,dt$$

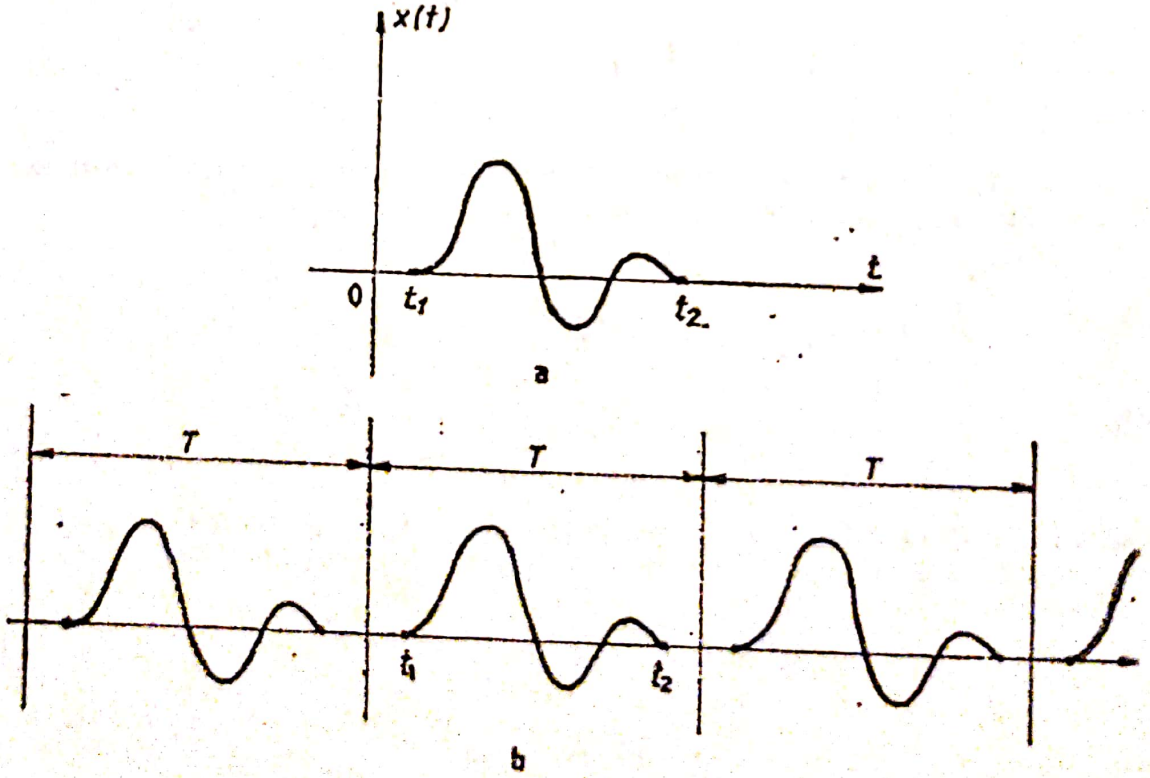


Fig. 1.16

unde s-a ținut seama că $x(t)$ este nul și în afara intervalului $[0, T]$ deci putem extinde limitele de integrare.

Ținînd seama că $\Omega = \frac{2\pi}{T}$, dezvoltarea se mai poate scrie sub forma

$$x_T(t) = \frac{1}{2\pi} \sum_{n=-\infty}^{\infty} \left(\int_{-\infty}^{\infty} x(t)\, e^{-jn\Omega t}\, dt \right) e^{jn\Omega t}\, \Omega. \qquad 1.2.26$$

Vom nota în continuare $\omega_n = n\Omega$, de unde rezultă

$$\Omega = \omega_{n+1} - \omega_n = \Delta\omega_n,$$

unde ω_n și $\Delta\omega$ au interpretările din figura 1.17.

Analizînd figurile 1.16, *a* și 1.16, *b* se observă că, atunci cînd T tinde la infinit, impulsurile lui $x_T(t)$ devin infinit îndepărtate iar acest semnal devine identic cu $x(t)$, adică $x_T(t) \xrightarrow[T\to\infty]{} x(t)$. Rezultă

$$x(t) = \lim_{T\to\infty} \frac{1}{2\pi} \left(\sum_{n=-\infty}^{\infty} x(t)\, e^{-j\omega_n t}\, dt \right) e^{j\omega_n t}\, \Delta\omega. \qquad 1.2.27$$

Dar cînd $T \to \infty$, atunci Ω tinde la zero deci intervalul dintre două armonici, $\Delta\omega$, devine infinitul mic $d\omega$, iar frecvența armonicii n, ω_n, devine o variabilă continuă, ω. Se observă deci că suma poate fi scrisă sub forma unei integrale

$$x(t) = \frac{1}{2\pi} \int_{-\infty}^{\infty} \left[\int_{-\infty}^{\infty} x(t)\, e^{j\omega t}\, dt \right] e^{-j\omega t}\, d\omega; \qquad 1.2.28$$

care se mai poate scrie

$$x(t) = \frac{1}{2\pi} \int_{-\infty}^{\infty} X(\omega)\, e^{j\omega t}\, d\omega, \qquad 1.2.29$$

unde s-a notat

$$X(\omega) = \int_{-\infty}^{\infty} x(t)\, e^{-j\omega t}\, dt, \qquad 1.2.30$$

care reprezintă *transformata Fourier* a semnalului $x(t)$, iar relația 1.2.30 *transformarea Fourier directă* (sau *transformarea integrală Fourier*). Semnalul $x(t)$ se mai numește și *originalul* transformatei Fourier $X(\omega)$, iar relația 1.2.29

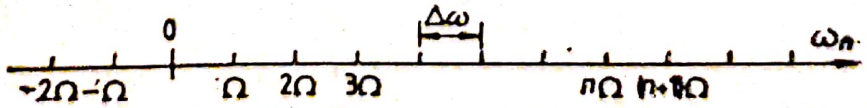


Fig. 1.17

Scanned with OKEN Scanner

transformarea Fourier inversă. Se mai folosesc notațiile: $\mathcal{F}\{x(t)\} = X(\omega)$, $\mathcal{F}^{-1}\{X(\omega)\} = x(t)$, $x(t) \leftrightarrow X(\omega)$.

Transformata Fourier a unui semnal, $X(j\omega)$, se mai numește uneori *funcție spectrală*, iar modulul său, *densitate spectrală de amplitudine*.

Aproximînd, pentru T foarte mare, pe $x(t)$ cu $x_T(t)$ obținem, conform relațiilor 1.2.27 și 1.2.30

$$x_T(t) \simeq x(t) \simeq \frac{1}{2} \sum_{n=-\infty}^{\infty} [X(\omega_n)\,\Delta\omega]\, e^{jn\Delta\omega t}. \qquad 1.2.31$$

Rezultă că un impuls $x(t)$ se compune dintr-un număr foarte mare de oscilații de frecvențe $n\Delta\omega$ foarte apropiate ($\Delta\omega \to 0$) de amplitudini egale cu eșantioanele transformatei Fourier $X(\omega)$ la intervalele $\Delta\omega$.

Deoarece intervalul între aceste frecvențe este infinit mic, spectrul unui impuls este continuu. De asemenea amplitudinile componentelor spectrale $X(\omega_n)\,\Delta\omega$ tind la zero pentru impuls singular, deci se poate vorbi numai de mărimea

$$\frac{[X(\omega_n)\,\Delta\omega]}{\Delta\omega} = X(\omega_n)$$

adică despre densitatea spectrală de amplitudine.

În literatura de specialitate se dau o serie de teoreme referitoare la transformata Fourier. Demonstrația lor este imediată, de accea vor fi date direct, fiind specificate în tabelul 1.1.

Integralele din teoremele 7 și 8 se numesc integrale de convoluții în domeniul frecvenței și respectiv în domeniul timpului;

$$\frac{1}{2\pi} \int_{-\infty}^{\infty} X_1(\lambda)\, X_2(\omega - \lambda)\, d\lambda = \mathcal{F}\{x_1(t)\, x_2(t)\}$$

$$[x_1^* x_2](t) = \int_{-\infty}^{\infty} x_1(\lambda)\, x_2(t - \lambda)\, d\lambda = \mathcal{F}^{-1}\{X_1(\omega)\, X_2(\omega)\}.$$

Trebuie remarcat faptul că existența integralei de transformare Fourier între limite infinite ridică proleme în unele cazuri. După cum s-a văzut, relația 1.2.30 provine dintr-un proces de trecere la limită

$$X(\omega) = \lim_{a \to \infty} \int_{-a}^{a} x(t)\, e^{-j\omega t}\, dt, \qquad 1.2.32$$

astfel încît se impun condiții restrictive cu privire la funcția $x(t)$ pentru asigurarea convergenței integralei 1.2.32.

Scanned with OKEN Scanner

Tabelul 1.1

Teoreme ale transformării Fourier

Nr. crt.	Denumirea	Originalul	Transformata
1		$x(t) = \mathcal{F}^{-1}\{X(\omega)\}$	$X(\omega) = \mathcal{F}\{x(t)\}$
2	Teorema întîrzierii	$x(t - t_0)$	$e^{-j\omega t_0} X(\omega)$
3	Teorema asemănării	$x(kt)$	$\frac{1}{\lvert k\rvert} X\left(\frac{\omega}{k}\right)$
4	Teorema derivării	$\frac{dx(t)}{dt}$	$j\omega X(\omega$
5	Teorema integrării	$\int_{-\infty}^{t} x(t)\, dt$	$\frac{1}{j\omega} X(\omega)$
6	Teorema translației spectrului	$x(t) \cos(\omega_0 t + \varphi_0)$	$\frac{1}{2} e^{j\varphi_0} X(\omega - \omega_0) + \frac{1}{2} e^{-j\varphi_0} X(\omega + \omega_0)$
		$x(t)\, e^{j\omega_0 t}$	$X(\omega - \omega_0)$
7	Teorema convoluției în domeniul frecvenței	$x_1(t)\, x_2(t)$	$\frac{1}{2\pi} \int_{-\infty}^{\infty} X_1(\lambda)\, X_2(\omega - \lambda)\, d\lambda$
8	Teorema convoluției în domeniul timpului	$\int_{-\infty}^{\infty} x_1(\lambda)\, x_2(t - \lambda)\, d\lambda = [x_1 \times x_2](t)$	$X_1(\omega)\, X_2(\omega)$
9	Teorema simetriei	$X(t)$	$2\pi x(-\omega)$

Astfel, o condiție suficientă o constituie absoluta integrabilitate a lui $x(t)$, deoarece

$$\left| \int_{-\infty}^{\infty} x(t)\, e^{-j\omega t}\, dt \right| \leqslant \int_{-\infty}^{\infty} |x(t)\, e^{-j\omega t}|\, dt = \int_{-\infty}^{\infty} |x(t)|\, dt$$

încît dacă

$$\int_{-\infty}^{\infty} |x(t)|\, dt < \infty,$$

funcția spectrală $X(\omega)$ este și ea finită.

Scanned with OKEN Scanner

Această condiție nu este însă și necesară, existînd funcții $x(t)$ care nu sînt absolut integrabile și admit totuși transformată Fourier.

În general absoluta integrabilitate apare mai frecvent la funcții puternic descrescătoare cu timpul, cum sînt cele care conțin factori exponențiali cu exponent negativ. De aceea, pentru a asigura posibilitatea transformării integrale a unei funcții date $x(t)$ ea se poate înmulți cu o funcție ajutătoare de forma e^{-ct}, deci se obține funcția puternic descrescătoare în timp

$$f(t) = x(t)\, e^{-ct}. \qquad 1.2.33$$

Aceasta poate fi absolut integrabilă și atunci cînd $x(t)$ nu este, astfel că prin acest procedeu se poate lărgi mult clasa funcțiilor transformabile integral.

Transformata Fourier a lui $f(t)$ este

$$\mathcal{F}\{f(t)\} = \int_{-\infty}^{\infty} x(t)\, e^{-(c+j\omega)t}\, dt. \qquad 1.2.34$$

Introducînd variabila complexă

$$s = c + j\omega, \qquad 1.2.35$$

de care depinde această transformată, se poate scrie

$$\mathcal{F}\{f(t)\} = \int_{-\infty}^{\infty} x(t)\, e^{-st}\, dt = X_{II}(s), \qquad 1.2.36$$

unde funcția $X_{II}(s)$ se numește *transformata Laplace bilaterală* a semnalului $x(t)$

Originalul $x(t)$ se poate obține din transformata Fourier inversă a lui $\mathcal{F}\{f(t)\}$, deci

$$f(t) = x(t)\, e^{-ct} = \frac{1}{2\pi} \int_{-\infty}^{\infty} X_{II}(s)\, e^{j\omega t}\, d\omega.$$

Rezultă

$$x(t) = \frac{1}{2\pi} \int_{-\infty}^{\infty} X_{II}(s)\, e^{(c+j\omega)t}\, d\omega.$$

Ținînd seama de 1.2.35, avem $d\omega = \frac{1}{j}\, ds$ și $\lim_{\omega \to \infty} c \pm j\omega = c \pm j\infty$, deci

$$x(t) = \frac{1}{2\pi j} \int_{c-j\infty}^{c+j\infty} X_{II}(s)\, e^{st}\, ds. \qquad 1.2.37$$

Scanned with OKEN Scanner

Această relație exprimă transformarea Laplace inversă, permițînd obținerea originalului $x(t)$ al transformatei Laplace bilaterale $X_{II}(s)$.

Se mai folosesc notațiile: $X_{II}(s) = \mathcal{L}\{x(t)\}$ și $x(t) = \mathcal{L}^{-1}\{X_{II}(s)\}$.

Majoritatea semnalelor de interes sînt cauzale, în sensul că sînt nule înaintea unui termen de origine:

$$x(t) = \begin{cases} 0, & \text{pentru } t < 0; \\ x(t), & \text{pentru } t > 0. \end{cases} \qquad 1.2.38$$

În aceste condiții, integralele care conțin semnalul $x(t)$ pot avea limita inferioară de integrare 0. Astfel transformata Laplace pentru semnale cauzale va fi

$$X_{I}(s) = \int_0^\infty x(t)\, e^{-st}\, dt \qquad 1.2.39$$

numită transformată Laplace unilaterală. Ea este folosită mai des în aplicații, datorită cauzalității semnalelor și posibilităților mai mari de a evidenția domeniul de convergență. Astfel se poate arăta că dacă $|x(t)|$ este mărginit, domeniul de convergență rezultă imediat dacă se poate găsi un majorant de forma $|x(t)| \leqslant Me^{\alpha t}$ unde M și α sînt constante reale. Într-adevăr, se poate scrie

$$\int_0^\infty |x(t)\, e^{-st}|\, dt = \int_0^\infty |x(t)\, e^{-\sigma}|\, dt \leqslant \int_0^\infty M\, e^{(\alpha-c)t}\, dt = \frac{M}{\alpha - c}\, e^{(\alpha-c)t}\Big|_0^\infty .$$

Ultimul membru este finit, asigurînd convergența integralei Laplace, pentru

$$c = Re\,[s] > \alpha, \qquad 1.2.40$$

astfel că domeniul de convergență va fi semiplanul din dreapta paralelei la ordonata dusă prin punctul α (figura 1.18). Rezultă totodată că singularitățile care ar conduce la divergența transformatei Laplace unilaterale — polii lui $X(s)$ — se găsesc în semiplanul din stînga dreptei $Re[s] = \alpha$. Polii pot fi reali sau complex conjugați, ca în figura 1.18. Precizarea lor va fi utilă la calculul transformatei Laplace inverse, care, conform relației 1.2.37 presupune o integrare în planul complex. De remarcat că această relație este valabilă atît pentru transformata Laplace bilaterală, cît și pentru cea unilaterală.

Referitor la transformarea Laplace există teoreme analoage celor de la transformata Fourier, o parte din acestea fiind date în tabelul 1.2.

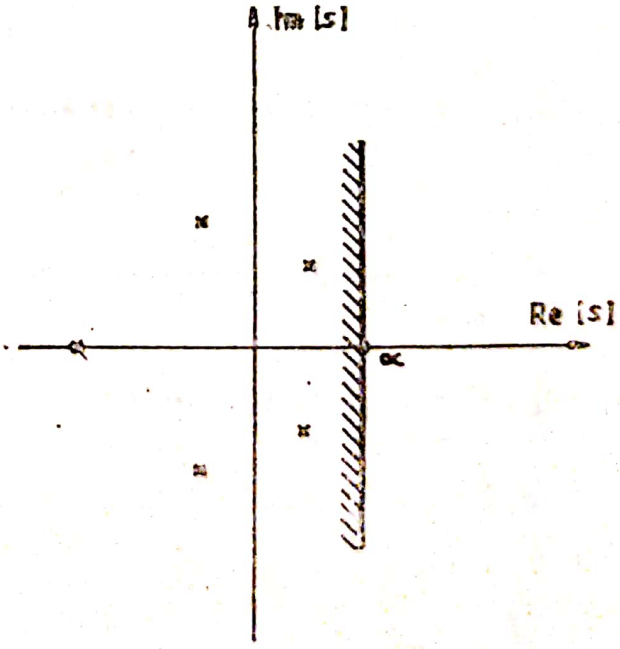


Fig. 1.18

Scanned with OKEN Scanner

Tabelul 1.2

Teoreme ale transformării Laplace

Nr.	Denumirea	Originalul	Transformata
1		$x(t)$	$X(s)$
2	Teorema întîrzierii	$x(t-t_0)$	$X(s)\,e^{-st_0}$
3	Teorema asemănării	$x(kt),\ k>0$	$\frac{1}{k}X\left(\frac{s}{k}\right)$
4	Teorema deplasării	$x(t)\,e^{s_0 t}$	$X(s-s_0)$
5	Teorema derivării în raport cu timpul	$\frac{d^n x(t)}{dt^n}$	$s^n X(s) - s^{n-1}x(0_-) - s^{n-2}x^{(1)}(0)\ldots sx^{(n-2)}(0_-) - x^{(n-1)}(0_-)$
6	Teorema derivării în raport cu frecvența	$(-t)^n x(t)$	$\frac{d^n X(s)}{ds^n}$
7	Teorema integrării în raport cu timpul	$\int_0^t x(t)\,dt$	$\frac{1}{s}X(s)$
8	Teorema integrării în raport cu frecvența	$\frac{1}{t}x(t)$	$\int_s^\infty X(s)\,ds$
9	Teorema convoluției în domeniul frecvenței	$x_1(t)\,x_2(t)$	$\frac{1}{2\pi j}\int_{c-j\omega}^{c+j\omega} X_1(\lambda)X_2(s-\lambda)d\lambda$
10	Teorema convoluției în domeniul timpului	$\int_{-\infty}^{\infty} x_1(\lambda)\,X_2(t-\lambda)\,d\lambda$	$X_1(s)\,X_2(s)$

Tabelul 1.

Transformate Laplace

Nr.	$x(t)$	$X(s)$	Nr.	$x(t)$	$X(s)$
1	$\delta(t)$	1	7	$\sigma(t)\sin\omega_0 t$	$\frac{\omega_0}{s^2+\omega_0^2}$
2	$\sigma(t)$	$\frac{1}{s}$	8	$\sigma(t)\cos\omega_0 t$	$\frac{s}{s^2+\omega_0^2}$
3	$e^{\alpha t}\sigma(t)$	$\frac{1}{s-\alpha}$	9	$\sigma(t)\,e^{-\alpha t}\sin\omega_0 t$	$\frac{\omega_0}{(s+\alpha)^2+\omega_0^2}$
4	$t\sigma(t)$	$\frac{1}{s^2}$	10	$\sigma(t)\,e^{-\alpha t}\cos\omega_0 t$	$\frac{s+\alpha}{(s+\alpha)^2+\omega_0^2}$
5	$t^n\sigma(t)$	$\frac{n!}{s^{n+1}}$	11	$\sigma(t)\,\mathrm{sh}\,at$	$\frac{a}{s^2-a^2}$
6	$te^{\alpha t}\sigma(t)$	$\frac{1}{(s-\alpha)^2}$	12	$\sigma(t)\,\mathrm{ch}\,at$	$\frac{s}{s^2-a^2}$

Scanned with OKEN Scanner

Transformata Laplace directă se calculează în general ușor, prin integrare și aplicarea proprietăților din tabelul 1.2. Pentru unele funcții uzuale, imaginile Laplace sînt date în tabelul 1.3.

1.2.4. Răspunsul circuitelor la semnale

Problema centrală a analizei circuitelor electronice o constituie precizarea răspunsului acestora la un semnal oarecare pe baza cunoașterii, sub formă cît mai condensată matematic, a caracteristicilor circuitelor. Rezolvarea este relativ ușoară pentru o anumită clasă de circuite, pe care o vom preciza în continuare.

Principala caracteristică a acestor circuite o constituie faptul că determinarea răspunsului la un semnal oarecare se poate face dacă cunoaștem răspunsul la un semnal particular, de test, corespunzător ales. Semnalele de test mai des folosite sînt semnalul treaptă:

$$\sigma(t-t_0)=\begin{cases}0 & \text{pentru } t<t_0;\\ 1 & \text{pentru } t>t_0;\end{cases} \qquad t\in(-\infty,\infty)$$

și în special semnalul Dirac:

$$\delta(t-t_0)=\begin{cases}\infty & \text{pentru } t=t_0;\\ 0 & \text{pentru } t\neq t_0.\end{cases} \qquad t\in(-\infty,\infty)$$

Sînt cunoscute anumite proprietăți ale semnalului Dirac, cum ar fi:

$$\int_{-\infty}^{\infty}\delta(t-t_0)\,\mathrm{d}t=1; \quad \text{(aria unitară)} \qquad 1.2.41$$

$$\int_{-\infty}^{\infty}x(\tau)\,\delta(t-\tau)\,\mathrm{d}\tau=x(t); \quad \text{(proprietatea de eșantionare)} \qquad 1.2.42$$

$$\int_{-\infty}^{\infty}f(\omega)\,\delta(\omega_0-\omega)\,\mathrm{d}\omega=f(\omega_0); \quad \text{(proprietatea de filtrare)} \qquad 1.2.43$$

$$\delta(t-t_0)=\frac{\mathrm{d}}{\mathrm{d}t}[\sigma(t-t_0)]; \quad \text{(relația cu semnalul treaptă).} \qquad 1.2.44$$

Vom numi răspunsul sistemului la un semnal treaptă *funcție indicială*, iar răspunsul la semnalul Dirac, *funcție pondere*:

$$L\{\sigma(t-t_0)\}=g(t-t_0) \quad \text{(funcția indicială);} \qquad 1.2.45$$

$$L\{\delta(t-t_0)\}=h(t-t_0) \quad \text{(funcția pondere).} \qquad 1.2.46$$

Scanned with OKEN Scanner

În cazul în care aceste funcţii nu depind de originea timpului, sistemul se numeşte *invariant în timp* şi ele pot caracteriza complet răspunsul sistemului. Pentru calculul răspunsului vom cosidera un semnal de intrare oarecare $x(t)$ pe care îl exprimăm folosind proprietatea de eşantionare a impulsului Dirac în felul următor

$$x(t) = \int_{-\infty}^{\infty} x(\tau)\delta(t-\tau)\mathrm{d}\tau = \lim_{n\to\infty} \sum x(\tau_n)\,\delta(t-\tau_n)\,\Delta\tau.$$

Această relaţie arată că semnalul poate fi exprimat printr-un număr foarte mare de impulsuri dreptunghiulare adiacente, de durată foarte mică $\Delta\tau$ şi amplitudine egală cu eşantioanele lui $x(t)$ la momentele τ_n (fig. 1.19).

În cazul în care sistemul este şi *liniar* putem determina răsunsul $y(t)$ folosind teorema superpoziţiei 1.2.3 :

$$y(t) = L\{x(t)\} = L\left\{\lim_{n\to\infty} \sum_{n=-\infty}^{\infty} x(\tau_n)\,\Delta\tau\,\delta(t-\tau_n)\right\} =$$

$$= \lim_{n\to\infty} \sum_{n=-\infty}^{\infty} x(\tau_n)\,\Delta\tau\, L\{\delta(t-\tau_n)\} = \lim_{n\to\infty} \sum_{n=-\infty}^{\infty} x(\tau_n)\,\Delta\tau\, h(t-\tau_n)$$

unde s-a ţinut seama că funcţia care depinde de variabila t este impulsul Dirac $\delta(t-\tau_n)$.

Se poate deci scrie la limită

$$y(t) = \int_{-\infty}^{\infty} x(\tau)\,h(t-\tau)\,\mathrm{d}\tau, \qquad 1.2.47$$

relaţie care permite calculul răspunsului dacă s-a determinat în prealabil funcţia sa pondere.

Determinarea funcţiei pondere presupune de regulă condiţii experimentale de lucru cu sistemul, astfel încît relaţa 1.2.47 are numai parţial o valoare predictivă.

Există însă metode prin care, dacă se cunoaşte structura circuitului se poate determina analitic imaginea Laplace a funcţiei pondere, numită *funcţie de transfer*

$$\mathcal{H}(s) = \mathcal{L}\{h(t)\}. \qquad 1.2.48$$

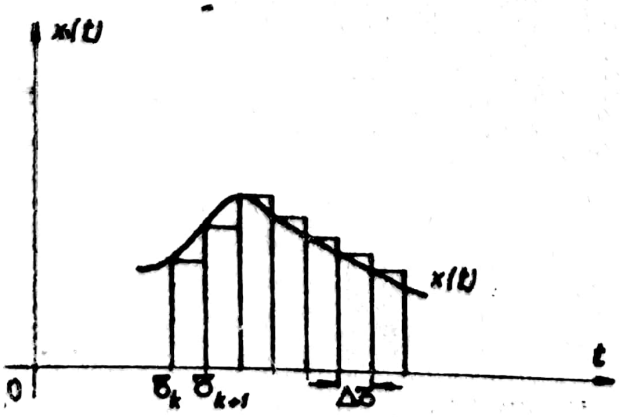


Fig. 1.19

În aceste condiţii aplicînd transformata Laplace asupra ecuaţiei 1.2.47 obţinem

$$\mathcal{L}\{y(t) = Y(s) = \int_{-\infty}^{\infty} x(\tau)\,\mathcal{L}\{h(t-\tau)\}\,\mathrm{d}\tau =$$

$$= \int_{-\infty}^{\infty} x(\tau)\mathcal{H}(s)\,\mathrm{e}^{-s\tau}\,\mathrm{d}\tau,$$

unde s-a folosit teorema întîrzierii.

Scanned with OKEN Scanner

Pentru sisteme invariante în timp $\mathscr{H}(s)$ nu depinde de variabila τ, deci poate fi scos în afara integralei, care va exprima chiar transformata Laplace a semnalului $x(t)$:

$$Y(s) = \mathscr{H}(s) \int_{-\infty}^{\infty} x(\tau)\, e^{-s\tau}\, d\tau = \mathscr{H}(s)\, X(s). \qquad 1.2.49$$

Se poate determina deci transformata Laplace a răspunsului prin înmulţirea transformatei Laplace a semnalului cu funcţia de transfer a sistemului. Originalul $y(t)$ al răspunsului se determină prin transformare Laplace inversă

$$y(t) = \mathscr{L}^{-1}\{Y(s)\} = \mathscr{L}^{-1}\{\mathscr{H}(s)\, X(s)\}; \qquad 1.2.50$$

$$y(t) = \frac{1}{2\pi j} \int_{c-j\omega}^{c+j\omega} Y(s)\, e^{st}\, ds; \qquad 1.2.51$$

$$y(t) = \frac{1}{2\pi j} \int_{c-j\omega}^{c+j\omega} \mathscr{H}(s)\, X(s)\, e^{st}\, ds. \qquad 1.2.52$$

Calculul efectiv al acestor integrale în planul complex se poate face pe baza teoremei lui Cauchy (metoda reziduurilor)

$$\int_{\Gamma} F(s)\, ds = 2\pi j \sum_{k=1}^{n} rez(s_k)[F(s)] \qquad 1.2.53$$

unde Γ este o curbă închisă în planul complex.
Reziduul funcţiei $F(s)$ într-un pol s_k de ordin de multiplicitate m este

$$rez_m(s_k)[F(s)] =$$

$$= \lim_{s \to s_k} \left(\frac{1}{m-1}\right) \frac{d^{m-1}}{dt^{m-1}} [(s - s_k)^m F(s)]. \qquad 1.2.54$$

Pentru un pol simplu :

$$rez(s_k)[F(s)] = \lim_{s \to s_k} [(s - s_k) F(s)]. \qquad 1.2.55$$

Vom considera un contur de integrare Γ format de dreapta $Re[s] = C$ pe care o completăm cu un arc de cerc centrat în origine în semiplanul stîng ca în figura 1.20.

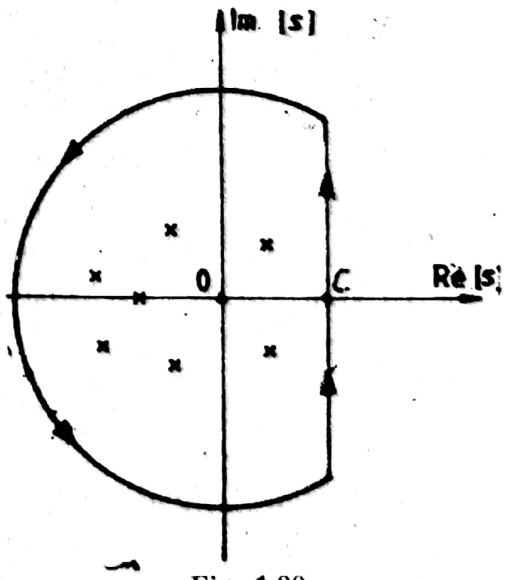


Fig. 1.20

Conform teoremei lui Cauchy avem

$$\int_{\Gamma} Y(s)\,e^{st}\,ds = 2\pi j \sum_{k=1}^{n} rez\,(s_k)\,[Y(s)\,e^{st}], \qquad 1.2.56$$

unde s_k sînt polii funcţiei $Y(s)\,e^{st}$.

Se poate demonstra că pentru sisteme fizic realizabile, orice funcţie $F(s) = Y(s)\,e^{st}$ satisface condiţiile lemei lui Jordan : $\lim_{s\to\infty} sF(s) = 0$, deci integrala pe arce de cerc centrate în origine de rază ρ tinzînd la infinit este nulă

$$\lim_{\rho\to\infty}\int_{\Gamma_c} F(s)\,ds = \lim_{\rho\to\infty}\int_{\Gamma_c} Y(s)\,e^{st}\,ds = 0.$$

Rezultă că dacă raza arcului de cerc din conturul de integrare Γ tinde la infinit integrala 1.2.56 tinde către integrala pe dreapta $Re[s] = C$, cu $\omega \in (-\infty, \infty)$, adică

$$\lim_{\rho\to\infty}\int_{\Gamma} Y(s)\,e^{st}\,ds = \int_{c-j\infty}^{c+j\infty} Y(s)\,e^{st}\,ds.$$

Originalul răspunsului se poate deci calcula ca sumă a reziduurilor funcţiei $Y(s)\,e^{st}$:

$$y(t) = \frac{1}{2\pi j}\int_{c-j\infty}^{c+j\infty} Y(s)\,e^{st}\,ds = \sum_{k=1}^{n} rez\,(s_k)\,[Y(s)\,e^{st}]; \qquad 1.2.57$$

$$y(t) = \sum_{k=1}^{n} rez\,(s_k)\,[\mathscr{H}\,(s)\,X(s)\,e^{st}]. \qquad 1.2.58$$

Practic, prin această metodă se evită integrarea în planul complex, singura problemă mai complicată rămînînd determinarea funcţiei de transfer a circuitului.

Pentru o reţea cu constante concentrate se folosesc în acest scop ecuaţiile lui Kirchhoff :

$$\sum_i v_i = 0, \quad \sum_j i_j = 0.$$

Pentru reţele cu elemente reactive rezultă un sistem de ecuaţii integro-diferenţiale cu termeni de forma $i_c = C\frac{dv_c}{dt}$, $v_c = \frac{1}{C}\int i_c\,dt$ pentru condensatori şi $v_L = L\frac{di}{dt}$, $i_L = \frac{1}{L}\int v_L\,dt$ pentru inductanţe.

Prin eliminarea variabilelor intermediare din acest sistem (şi printr-o eventuală derivare) se obţine o ecuaţie diferenţială de ordin superior cu coefi-

cienți constanți între mărimea de intrare și cea de ieșire, de forma :

$$a_n \frac{\mathrm{d}^n y(t)}{\mathrm{d}t^n} + a_{n-1} \frac{\mathrm{d}^{n-1} y(t)}{\mathrm{d}t^{n-1}} + \ldots + a_1 \frac{\mathrm{d}y(t)}{\mathrm{d}t} + a_0 y(t) =$$

$$= b_m \frac{\mathrm{d}^m x(t)}{\mathrm{d}t^m} + b_{m-1} \frac{d^{m-1} x(t)}{\mathrm{d}t^{m-1}} + \ldots + b_1 \frac{\mathrm{d}x(t)}{\mathrm{d}t} + b_0 x(t). \qquad 1.2.59$$

Funcția de transfer se obține ușor din ecuația 1.2.59 prin aplicarea transformatei Laplace *dacă condițiile inițiale sînt nule* (funcțiile $x(t)$ și $y(t)$ precum și primele lor $m-1$, respectiv $n-1$ derivate sînt nule în origine).

Rezultă :

$$a_n s^n Y(s) + a_{n-1} s^{n-1} Y(s) + \ldots + a_1 s Y(s) + a_0 Y(s) =$$

$$= b_m s^m X(s) + b_{m-1} s^{m-1} X(s) + \ldots + b_1 s X(s) + b_0 X(s).$$

Conform relației 1.2.49, funcția de transfer este

$$\mathcal{H}(s) = \frac{Y(s)}{X(s)} = \frac{b_m s^m + b_{m-1} s^{m-1} + \ldots + b_1 s + b_0}{a_n s^n + a_{n-1} s^{n-1} + \ldots + a_1 s + a_0} \qquad 1.2.60$$

fiind deci un raport de polinoame.

Scriind funcția $F(s)$ ca raport de polinoame

$$F(s) = \mathcal{H}(s) X(s) \mathrm{e}^{st} = Y(s) \mathrm{e}^{st} = \frac{P(s)}{Q(s)} \mathrm{e}^{st}, \qquad 1.2.61$$

polii săi sînt rădăcinile polinomului de la numitor deci apar ca soluții ale ecuației $Q(s)=0$. Aceasta se mai poate scrie $Q(s) = (s-s_1)^{m_1}(s-s_2)^{m_2} \ldots (s-s_n)^{m_n} = 0$, unde $m_1, m_2, \ldots, m_n$ sînt ordinele de multiplicitate ale polilor.

Reziduurile lui $Y(s)\mathrm{e}^{st}$ în acești poli se pot calcula cu formula 1.2.54.

Pentru un pol simplu, folosind formula 1.2.55 se poate scrie

$$rez\,(s_k)\left[\frac{P(s)}{Q(s)} \mathrm{e}^{st}\right] = \lim_{s \to s_k}\left[\frac{s-s_k}{Q(s)} P(s) \mathrm{e}^{st}\right] = \frac{P(s_k)}{Q'(s_k)} \mathrm{e}^{st}$$

unde $Q'(s_k)$ este valoarea derivatei polinomului de la numitor în punctul s_k.

Dacă toți polii sînt simpli rezultă formula lui Heaviside pentru calculul răspunsului

$$y(t) = \sum_{k=1}^{n} \frac{P(s_k)}{Q'(s_k)} \mathrm{e}^{s_k t} \qquad 1.2.62$$

care este deosebit de comodă în aplicații.

Dacă există și poli multipli, formula lui Heaviside se poate aplica parțial, pentru polii simpli, restul reziduurilor putînd fi calculate cu formula 1.2.54.

Scanned with OKEN Scanner

Dependența în imagini Laplace între mărimea de ieșire și cea de intrare se poate determina pe circuitul electronic echivalent și fără rezolvarea propriu-zisă a ecuațiilor lui Kirchhoff. Pentru aceasta elementele de circuit pot fi înlocuite de impedanțe complexe definite ca

$$Z(s) = \frac{V(s)}{I(s)} \qquad 1.2.63$$

unde $V(s)$ și $I(s)$ sînt transformatele Laplace ale tensiunilor și respectiv intensităților curenților.

Pentru rezistențe avem $v_k = Ri_k$. Aplicînd transformata Laplace rezultă $V(s) = RI(s)$ și $Z_R(s) = R$.

Pentru condensator :

$$i_c = C\frac{dv}{dt}, \quad I(s) = sCV(s), \quad Z_c(s) = \frac{1}{sC}. \qquad 1.2.64$$

Pentru inductanțe :

$$v_L = L\frac{di_L}{dt}, \quad V(s) = sLI(s), \quad Z_L(s) = sL. \qquad 1.2.65$$

Funcția de transfer rezultă ușor din rețeaua echivalentă cu impedanțe complexe, prin aplicarea metodelor din electrocinetică.

Exemplu : Să se determine curentul i_2 în sistemul din figura 1.21, *a* cu condiții inițiale nule cînd se aplică tensiunea constantă V_0 la momentul $t = 0$.

Ecuațiile lui Kirchhoff pentru acest sistem sînt :

$$i_1 = i_2 + i_3, \quad v_0 = R_1 i_1 + L_1\frac{di_1}{dt} + R_2 i_3, \quad L\frac{di_2}{dt} = R_2 i_3.$$

Eliminînd i_1 și i_3 obținem ecuația diferențială :

$$\frac{d^2 i_2}{dt^2} + \left(\frac{R_1 + R_2}{L_1} + \frac{R_2}{L_2}\right)\frac{di}{dt} + \frac{R_1 R_2}{L_1 L_2} i_2 = \frac{v_0 R_2}{L_1 L_2}.$$

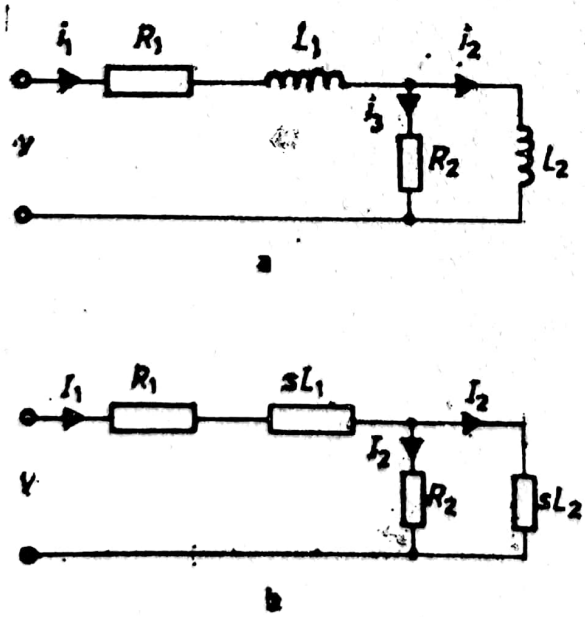


Fig. 1.21

Aplicînd transformata Laplace putem deduce funcția de transfer

$$s^2 I_2(s) + s\left(\frac{R_1 + R_2}{L_1} + \frac{R_2}{L_2}\right) I_2(s) + \frac{R_1 R_2}{L_1 L_2} I_2(s) = \frac{R_2}{L_1 L_2} V(s);$$

$$\mathcal{H}(s) = \frac{\frac{R_2}{L_1 L_2}}{s^2 + s\left(\frac{R_1 + R_2}{L_1} + \frac{R_2}{L_2}\right) + \frac{R_1 R_2}{L_1 L_2}}.$$

Scanned with OKEN Scanner

Aceeași funcție de transfer se obține și lucrînd cu impedanțele complexe pe schema echivalentă din figura 1.21,*b*. Într-adevăr, avem succesiv :

$$I_2(s)=\frac{1}{sL_2}\left(V(s)-\frac{V(s)}{R_1+sL_1+\dfrac{sL_2R_2}{sL_2+R_2}}\right)=\frac{R_2}{(R_1+sL_1)(R_2+sL_2)+sL_2R_2}V(s);$$

$$\mathcal{H}(s)=\frac{\dfrac{R_2}{L_1L_2}}{s^2+s\left(\dfrac{R_1+R_2}{L_1}+\dfrac{R_2}{L_2}\right)+\dfrac{R_1R_2}{L_1L_2}}=\frac{b_0}{s^2+a_1s+a_0}. \qquad 1.2.66$$

Semnalul de intrare este $x(t)=v_0\sigma(t)$, deci $X(s)=\mathcal{L}\{\sigma(t)\}=\dfrac{v_0}{s}$. Avem deci de aflat originalul funcției

$$Y(s)=\frac{v_0}{s}\cdot\frac{b_0}{s^2+a_1s+a_0}.$$

Rezultă

$$y(t)=\sum_{k=1}^{3}rez\ (s_k)\left[\frac{v_0}{s}\cdot\frac{b_0}{s^2+a_1s+a_0}e^{st}\right].$$

Cei trei poli ai funcției sînt :

$$s_1=0.$$

$$s_2=\frac{-a_1+\sqrt{a_1^2-4a_0}}{2}; \qquad 1.2.67$$

$$s_3=\frac{-a_1-\sqrt{a_1^2-4a_0}}{2}. \qquad 1.2.68$$

Scriind $Y(s)$ sub forma

$$Y(s)=\frac{v_0}{s}\cdot\frac{b_0}{(s-s_2)(s-s_3)}$$

obținem reziduurile :

$$rez\ (0)[Y(s)e^{st}]=\frac{v_0b_0}{s_2s_3};$$

$$rez\ (s_2)[Y(s)e^{st}]=\frac{v_0b_0}{s_2(s_2-s_3)}e^{s_2t};$$

$$rez\ (s_3)[Y(s)e^{st}]=\frac{v_0b_0}{s_3(s_3-s_2)}e^{s_3t}.$$

Răspunsul sistemului este deci

$$i_2(t)=v_0b_0\left[\frac{1}{s_2s_3}+\frac{e^{s_2t}}{s_2(s_2-s_3)}-\frac{e^{s_3t}}{s_3(s_2-s_3)}\right],$$

unde constantele a_1, a_0, b_0, s_2, a_3 sînt date de relațiile 1.2.66 — 1.2.68.

Scanned with OKEN Scanner

Capitolul 2. CIRCUITE INTEGRATE ANALOGICE

2.1. Considerații generale asupra circuitelor integrate analogice

Spre deosebire de circuitele integrate numerice (sau logice) la care semnalele de intrare și de ieșire apar sub forma unor impulsuri sau nivele de tensiune, în circuitele integrate analogice semnalele constau, în general, din tensiuni continuu variabile (semnale analogice).

Circuitele integrate analogice se fabrică într-o mare varietate de tipuri fiind destinate diverselor aplicații de amplificare, modulare, stabilizare, comparare sau de generare a semnalelor; asupra celor mai reprezentative sau mai frecvent folosite (în special pentru amplificarea semnalelor) ne vom opri în paragrafele următoare.

Ca în orice circuit integrat (același lucru este valabil și pentru circuitele numerice, v. mai departe), costul unei componente integrate este proporțional cu suprafața de semiconductor (siliciu) pe care aceasta o ocupă pe cip[1]. Pe aceeași suprafață ocupată de un tranzistor de semnal mic se pot realiza fie o capacitate de cîțiva picofarazi fie o rezistență de circa 2 kΩ, peste aceste valori elementele pasive devenind mai scumpe decît tranzistorii integrați. Ca urmare, pentru a evita folosirea excesivă a rezistențelor (și mai ales a capacităților), în construcția circuitelor integrate se caută înlocuirea lor cu structuri de tranzistori (bipolari sau de tip *MOS*) modificîndu-se în mod corespunzător și schemele electronice ale respectivelor circuite. Astfel circuitele integrate analogice se proiectează cu cuplaje directe între etaje (pentru a elimina necesitatea utilizării capacităților de cuplaj), iar rezistențele folosite se aleg, de regulă, de valori mici. Datorită cuplajului direct sînt necesare însă circuite speciale de polarizare, generatoare de curent constant, etaje de deplasarea nivelului de curent continuu, etaje speciale de intrare și de ieșire etc.

Foarte adesea sînt utilizate în circuitele integrate analogice (ca și în circuitele integrate numerice) etaje speciale cu doi tranzistori cum ar fi cele cu conexiune *CC—EC*, conexiune *CC—CC* sau în montaj Darlington (fig. 2.1) prin care se elimină folosirea de capacități sau de rezistențe (de valoare ridicată).

Datorită folosirii cuplajului direct între etajele din circuitele integrate analogice, orice variație a valorii tensiunii de polarizare va fi amplificată, la ieșire apărînd un semnal — numit **tensiune** (sau **curent**) de **decalaj** (sau de **offset**) chiar în absența unui semnal la intrare. Pentru a minimiza influența acestor variații ale tensiunii de alimentare, precum și influența variațiilor de

[1] De la cuvîntului englez "chip"=așchie, ciob.

temperatură, condițiilor de mediu etc., în circuitele integrate analogice se folosesc pe scară largă etaje diferențiale de amplificare [15, 43 — 46].

Un amplificator diferențial integrat cu tranzistori poate fi obținut prin punerea împreună a două circuite simple în montaj *EC* cum se arată în figura 2.2. Circuitul echivalent pentru un etaj de amplificare cu un tranzistor în montaj *EC* (fig. 2.3,*a*) utilizînd mdelul cu diodă linearizată pe porțiuni (pentru joncțiunea bază-emitor) este redat în figura 2.3,*b* [15, 46]. Aplicînd legea a doua lui Kirchhoff pentru circuitul de intrare se obține

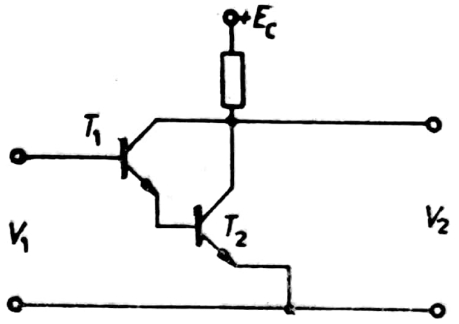


Fig. 2.1

$$-V_B + I_B R_B + (I_B + \beta I_B) r_E + V_0 = 0. \qquad 2.1.1$$

Pentru circuitul de ieșire avem

$$v_0 = E_C + I_C R_S = E_C + \beta I_B R_S. \qquad 2.1.2$$

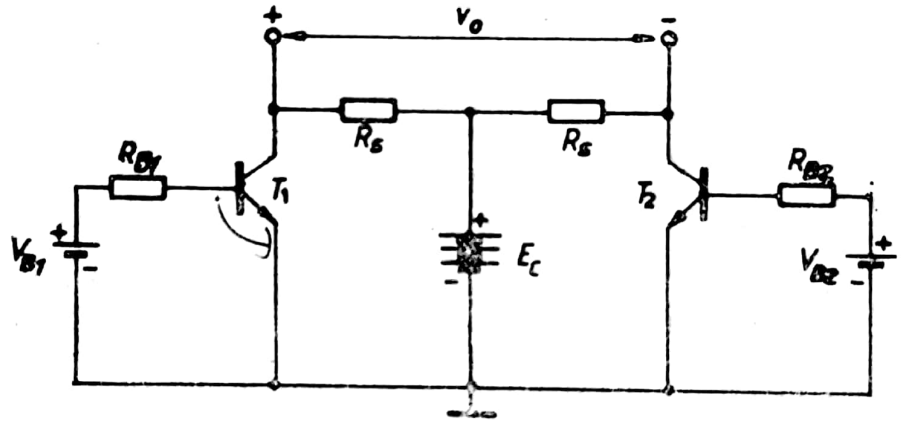


Fig. 2.2

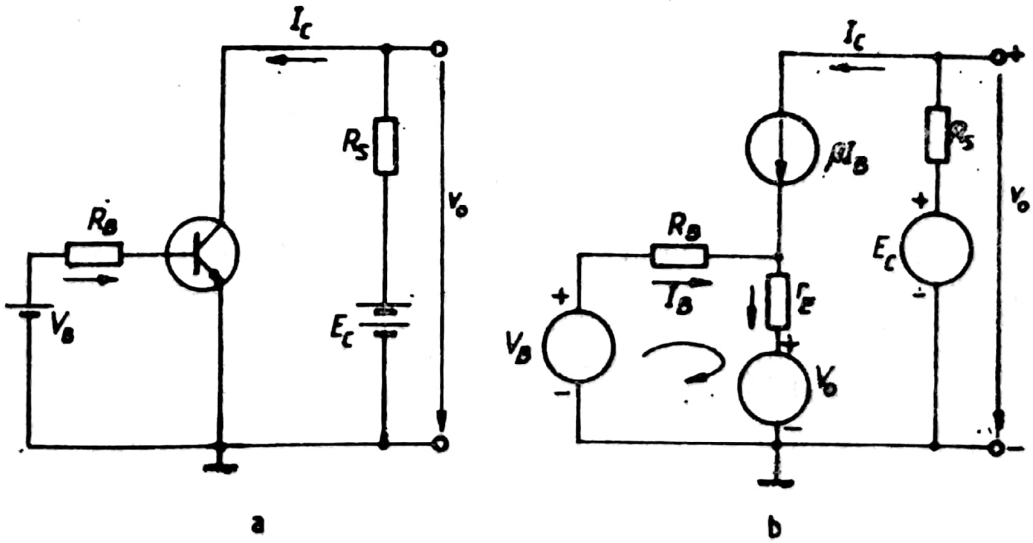


Fig. 2.3

Scanned with OKEN Scanner

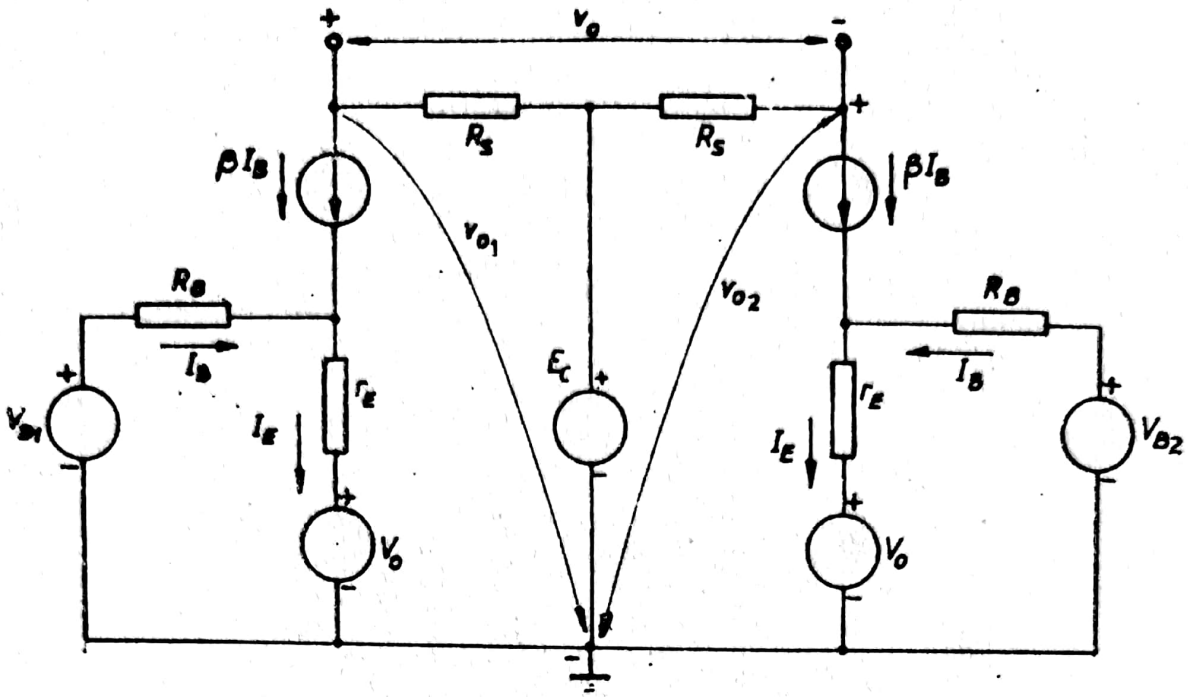


Fig. 2.4

Scoţînd pe I_B din 2.1.1 şi înlocuind în 2.1.2 rezultă

$$v_{01} = E_C + \frac{\beta R_S}{R_B + (1 + \beta) r_E} (V_{B_1} - V_0). \qquad 2.1.3$$

Pentru amplificatorul diferenţial din figura 2.2, circuitul echivalent este redat în figura 2.4 (constituit din două circuite de tipul celei din figura 2.3,*b*). Se vede că tensiunea de ieşire a amplificatorului, v_0, este dată de diferenţa dintre tensiunile de ieşire individuale v_{01} şi v_{02} pentru fiecare tranzistor

$$v_0 = v_{01} - v_{02} \qquad 2.1.4$$

în care v_{01} şi v_{02} sînt de forma 2.1.3 Rezultă prin înlocuirea în 2.1.4 a tensiunilor v_{01} şi v_{02} date de 2.1.3 şi luînd elementele pasive şi cele active identice pentru cele două părţi ale amplificatorului (adică $R_{B_1} = R_{B_2} = R_B$; $\beta_1 = \beta_2 = \beta$; $r_{E_1} = r_{E_2} = r_E$)

$$v_0 = \frac{\beta R_S}{R_B + (1 + \beta) r_E} (V_{B_1} - V_{B_2}) = k(V_{B_1} - V_{B_2}) \qquad 2.1.5$$

Se observă că tensiunea de ieşire nu depinde decît de tensiunile aplicate la cele două intrări, tensiuni care pe lîngă cele de polarizare pot conţine şi pe cele de semnal variabil aplicat la intrările respective. Se constată că v_0 nu depinde de tensiunea V_0 care este puternic dependentă de temperatură (scăzînd cu o viteză de circa 2mV/°C) [30]. Tensiunea de prag (sau de decalaj) V_0 este total compensată numai dacă circuitul este perfect simetric şi izoterm, lucru realizabil în tehnologia (planară) a circuitelor integrate[2] la care tranzistorii şi elementele pasive se realizează la distanţe foarte mici pe pastila (cip-ul) de siliciu avînd parametrii practic identici şi o disipare termică bună.

[2] Tehnologia circuitelor integrate este descrisă în numeroase cărţi şi tratate de specialitate (a se vedea de exemplu [13, 19, 43—47]: unele elemente specifice ale tehnologiilor moderne de fabricare a circuitelor integrate sînt redate în capitolul 6

Scanned with OKEN Scanner

Un amplificator poate fi modelat sub forma unui circuit electronic de tip cuadripol (diport) avînd două borne de intrare la care se aplică semnalul ce trebuie amplificat și două borne de ieșire la care se conectează rezistența de sarcină de pe care se culege semnalul amplificat (fig. 2.5,*a*).

În cazul amplificatorului diferențial este convenabil să se exprime tensiunea de intrare v_i (de la bornele 1 și 2, fig. 2.5,*a*) prin cele două tensiuni v_i^+ și v_i^- față de borna 0 de referință a tensiunilor care poate să nu coincidă cu nici una din bornele de intrare (fig. 2.5,*b*), adică

$$v_i = v_i^+ - v_i^- = v_{id}. \qquad 2.1.6$$

Tensiunea de ieșire v_0 va fi astfel o funcție de tensiunea de intrare v_i adică

$$v_0 = k(v_i^+ - v_i^-). \qquad 2.1.7$$

Dacă una din bornele 1 sau 2 este conectată la cea de referință, apar două cazuri distincte :

— borna 1 — conectată la borna de referință (la masă); în acest caz $v_i = v_i^+$ și ca atare $v_0 = kv_i^+$. Aceasta reprezintă intrarea **neinversoare** a amplificatorului, întrucît dacă la intrare se aplică un semnal sinusoidal, la ieșire va apărea tot un semnal sinusoidal (amplificat), dar în fază cu cel aplicat la intrare ;

— borna 2 — conectata la bornă 0 (la masă); în acest caz $v_i = -v_i$ tensiunea de ieșire depinzînd doar de tensiunea v_i^- (prin intermediul factorului de transfer k vezi și 2.1.7) aplicată la intrarea 2, dar cu semn schimbat, adică $v_0 = -k\,v_i^-$. Această intrare este deci o intrare **inversoare**, semnalul de ieșire fiind defazat cu 180° față de cel aplicat la intrare.

Pe lîngă *tensiunea diferențială de intrare* v_{id} (definită în 2.1.6) la un amplificator diferențial se poate defini și o *tensiune de mod comun de intrare*

$$v_{ic} = \frac{v_i^+ + v_i^-}{2} = \frac{v_i^+}{2} + \frac{v_i^-}{2} \qquad 2.1.8$$

pentru care tensiunile de intrare sînt egale : $v_i^+ = v_i^-$ (v. și 2.1.8); acest lucru se obține cînd bornele de intrare sînt legate între ele și conectate împreună la generatorul extern de tensiune e_g (fig. 2.5, *c*); tensiunea e_g se va repartiza în mod egal $e_g/2$ și $e_g/2$ la fiecare intrare.

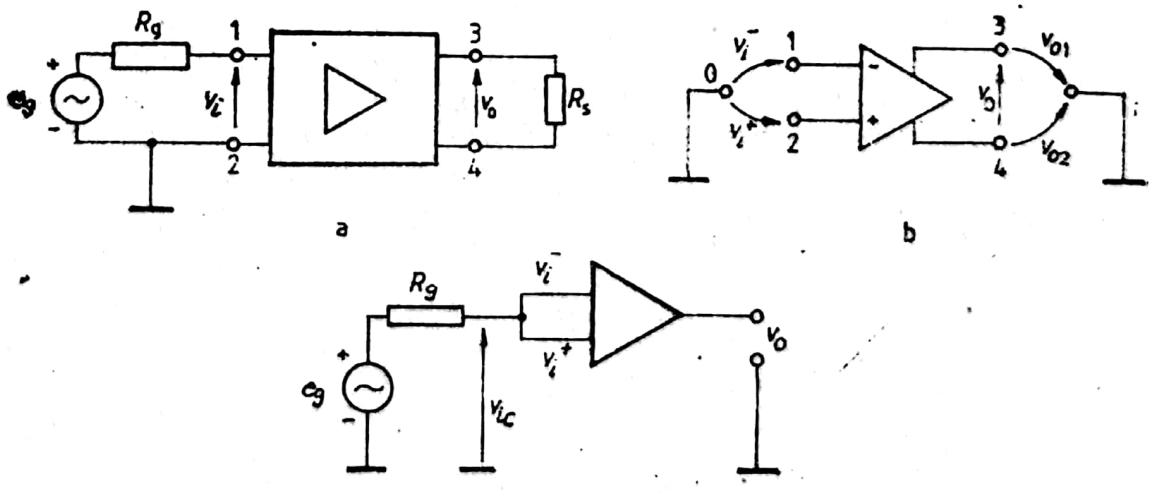


Fig. 2.5

În mod similar se pot defini *tensiunile de ieșire*, pe *mod diferențial* (cînd nici una din bornele 3 și 4 nu au punct comun cu borna de referință 0, cu masa) (fig. 2.5,*b*)

$$v_{0d} = v_{01} - v_{02} \qquad 2.1.9$$

sau pe *mod comun*

$$v_{0c} = \frac{v_{01} + v_{02}}{2}. \qquad 2.1.10$$

Din relațiile 2.1.6—2.1.10 se pot găsi tensiunile individuale de intrare și de ieșire în funcție de noile variabile introduse mai sus:

$$v_i^+ = v_{ic} + \frac{v_{id}}{2} = v_{i1}; \qquad 2.1.11$$

$$v_i^- = v_{ic} - \frac{v_{id}}{2} = v_{i2}; \qquad 2.1.12$$

$$v_{01} = v_{0c} + \frac{v_{0d}}{2}; \qquad 2.1.13$$

$$v_{02} = v_{0c} - \frac{v_{0d}}{2}. \qquad 2.1.14$$

Deși în cazul unei simetrii și a unei echilibrări perfecte tensiunea de ieșire v_0 a unui amplificator diferențial nu depinde decît de tensiunile v_{01} și v_{02} (v.2.1.4), tensiunile individuale de ieșire v_{01} (sau v_{02}) depind puternic de tensiunile de intrare V_{B_1} și V_{B_2} (conform rel. 2.1.3). Pentru a reduce cît mai mult această dependență se introduce în circuitul comun de emitor un generator de curent constant constituit dintr-o rezistență de valoare ridicată și o sursă de polarizare $-E_E$ (fig. 2.6,*a*). Pentru a nu ocupa o suprafață mare de

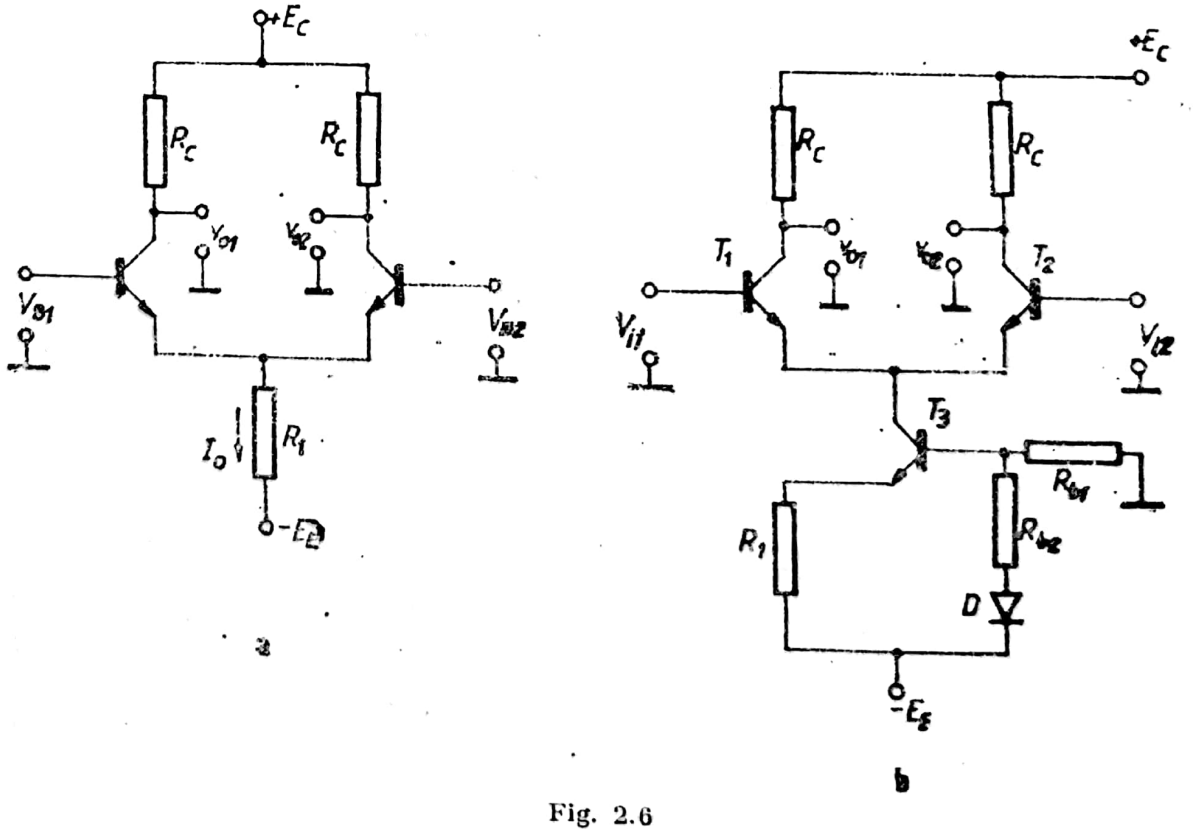


Fig. 2.6

cip, rezistența de valoare ridicată R_1 este adesea înlocuită cu o structură de tranzistor. Regimul de lucru al acestui tranzistor este fixat prin rezistențele de polarizare R_{b1}, R_{b2} și dioda D, care, în același timp, realizează compensarea cu temperatura a tensiunii V_{BE} a tranzistorului respectiv (fig. 2.6,*b*).

Datorită simetriei circuitului, pentru tensiuni de intrare V_{B_1} și V_{B_2} egale (sau $e_{g_1} = e_{g_2}$), curentul I_0 prin generatorul de curent constant (fig. 2.6,*a*) se divide în mod egal între cele două jumătăți ale circuitului, adică

$$I_{E_1} = I_{E_2} = \frac{I_0}{2}. \qquad 2.1.15$$

Ca urmare tensiunile de ieșire individuale v_{01} și v_{02} vor fi date de (v. fig. 2.6,*a* și 2.7)

$$v_{01} = v_{02} = E_c - \frac{I_0}{2} R_c \qquad 2.1.16$$

în care s-a aproximat că $I_E \approx I_C$. Se vede din 2.1.16 că de data aceasta tensiunile individuale de ieșire sînt independente de tensiunile de intrare dacă acestea sînt egale între ele ($V_{B_1} = V_{B_2}$ sau $e_{g_1} = e_{g_2}$) adică amplificarea pe mod comun scade apreciabil. Amplificarea diferențială nu este însă afectată de I_0 deoarece semnalele de intrare diferențială conduc la aceea că intensitatea curentului printr-un tranzistor va crește cu aceeași valoare cu care scade curentul prin celălalt tranzistor deci suma curenților prin emitor rămîne constantă și egală cu I_0. Rezultă că ecuația 2.1.5 este valabilă atît pentru circuitul simplu din figura 2.4, cît și pentru circuitul completat cu generator de curent constant din figura 2.6; adăugarea generatorului de curent constant reduce amplificarea pe mod comun, fără a afecta amplificarea pe modul diferențial. Asemenea amplificatoare diferențiale cu sursă comună de curent se folosesc mult în circuitele integrate analogice și vor fi analizate mai pe larg în paragraful următor.

2.2. Etaje diferențiale de amplificare

2.2.1. Caracteristicile de transfer

Pentru analiza în curent continuu se consideră mai întîi amplificatorul diferențial complet simetric (fig. 2.7), cu tranzistori simpli și cu o sursă de curent constant I_0 în emitor avînd o rezistență echivalentă (a sursei) practic infinită (nu se mai figurează pe figură).

Mai întîi se vor determina caracteristicile statice de transfer adică dependența curenților de ieșire I_{c_1} și I_{c_2} ai tranzistorilor în funcție de tensiunea aplicată la intrare $V_{i_1} - V_{i_2}$.

Din figura 2.7, scriind legea lui Kirchhoff pentru ochiul care conține cele două joncțiuni bază-emitor rezultă

$$V_{i_1} - V_{BE_1} + V_{BE_2} - V_{i_2} = 0 \qquad 2.2.1$$

în care, pentru un tranzistor (de Si) deschis, $V_{BE} \simeq 0{,}7$ V. Pentru $T \simeq 300$ K, tensiunile V_{BE_1}, V_{BE_2} sînt mult mai mari decît „potențialul termodinamic"

Scanned with OKEN Scanner

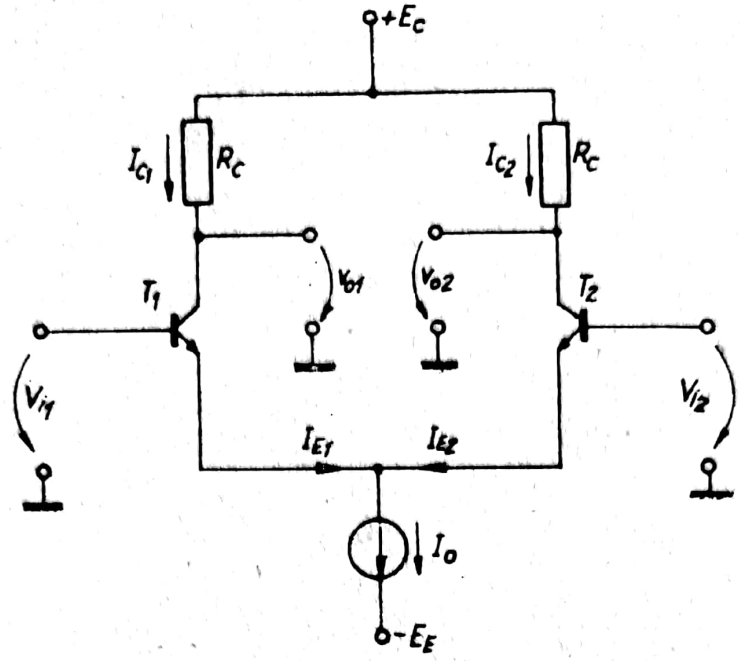


Fig. 2.7

$V_T \simeq 0{,}026$ V și din relațiile Moll-Ross pentru curenții de colectori (v.[7,48]) rezultă :

$$V_{B_1} = V_T \ln \frac{I_{c_1}}{I_{s_1}} \qquad 2.2.2$$

$$V_{B_2} = V_T \ln \frac{I_{c_2}}{I_{s_2}}. \qquad 2.2.3$$

Presupunînd că $I_{s_1} = I_{s_2}$, din relațiile precedente se deduce ecuația

$$\frac{I_{c_1}}{I_{c_2}} = e^{\frac{V_{i_1} - V_{i_2}}{V_T}} = e^{\frac{V_{id}}{V_T}} \qquad 2\ 2.4$$

în care $V_{id} = V_{i_1} - V_{i_2}$ este tensiunea diferențială de intrare.

Pe de altă parte din figura 2.7, se vede că

$$I_0 = I_{E_1} + I_{E_2} = \frac{I_{c_1}}{\alpha_1} + \frac{I_{c_2}}{\alpha_2}. \qquad 2.2.5$$

Presupunînd că cei doi tranzistori (identici) au același α, adică $\alpha_1 = \alpha_2 = \alpha$ rezultă

$$I_0 = \frac{1}{\alpha}(I_{c_1} + I_{c_2}). \qquad 2.2.6$$

Din relațiile 2.2.4 și 2.2.6 rezultă expresiile curenților de colector în funcție de tensiunea diferențială V_{id}, adică tocmai caracteristicile statice (în c.c.) de transfer

$$I_{c_1} = \alpha I_0 / [1 + e^{-V_{id}/V_T}] \qquad 2.2.7$$

$$I_{c_2} = \alpha I_0 / [1 + e^{V_{id}/V_T}]. \qquad 2.2.8$$

Scanned with OKEN Scanner

Aceste caracteristici de transfer pentru amplificatorul diferenţial sînt reprezentate în figura 2.8. Ele sînt liniare în jurul punctului static de funcţionare $V_{id} \simeq 0$, adică pentru tensiuni de intrare mici (de aproximativ 2 $V_T \approx 50$ mV). Pentru tensiuni de intrare $V_{i_1} - V_{i_2} = V_{id}$ mai mari de $\approx 4\ V_T \simeq 100$ mV curenţii de colector devin independenţi de tensiunea de intrare (partea orizontală a caracteristicilor, fig. 2.8), deoarece, în acest caz, tot curentul dat de sursa de curent, I_0, trece doar printr-un tranzistor.

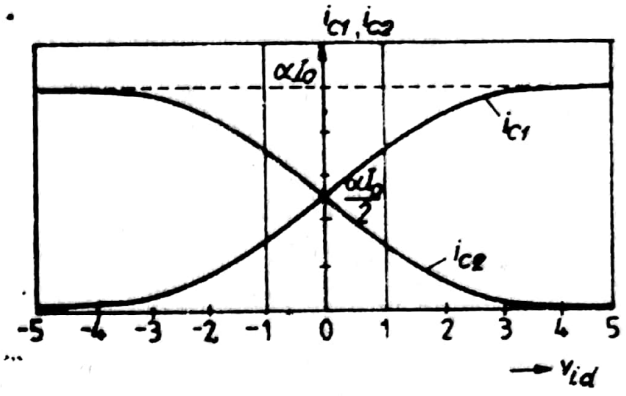


Fig. 2.8

De menţionat că relaţiile 2.2.7 ; 2.2.8, precum şi caracteristicile de transfer reprezentate în figura 2.8 sînt valabile şi pentru regim de semnal mic al amplificatorului diferenţial. Relaţiile de mai sus se scriu atunci în mod similar (apelînd la litere mici pentru tensiunile şi curenţii variabili) :

$$i_{c_1} = \alpha I_0 / [1 + e^{-v_{id}/V_T}] \qquad 2.2.9$$

$$i_{c_2} = \alpha I_0 / [1 + e^{+v_{id}/V_T}]. \qquad 2.2.10$$

Se presupune în acest caz că tensiunea diferenţială de curent continuu la intrare, este foarte apropiată de zero (circuitul este polarizat simetric). De asemenea se presupune că rezistenţa echivalentă a sursei de curent din emitor este finită (v. fig. 2.6.a), deoarece după cum se va arăta mai departe, valoarea acestei rezistenţe are un efect important asupra comportării de semnal mic a circuitului.

Tensiunile de ieşire se pot calcula imediat (v. figura 2.7) :

$$v_{01} = E_c - i_{c_1} R_c \qquad 2.1.12$$

$$v_{02} = E_c - i_{c_2} R_c. \qquad 2.2.12$$

Utilizînd relaţiile 2.2.9 ; 2.2.10 rezultă următoarea expresie pentru tensiunea diferenţială de ieşire

$$v_{0d} = v_{01} - v_{02} = \alpha I_0 R_c \left| \text{th} \left(\frac{-v_{id}}{2V_T} \right) \right. \qquad 2.2.13$$

al cărei grafic este redat în figura 2.9. Se observă că pentru $v_{id} = v_{01} - v_{02} = 0$, deci în repaus, rezultă şi $v_{0d} = 0$, fapt care face posibilă cuplarea directă în cascadă a mai multor etaje (diferenţiale) fără a se introduce tensiuni de decalaj de curent continuu.

Extinderea domeniului tensiunilor de intrare pentru care circuitul se comportă aproximativ ca un amplificator liniar, se poate realiza prin introdu-

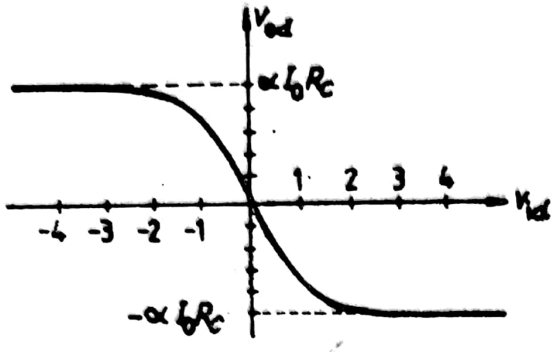


Fig. 2.9

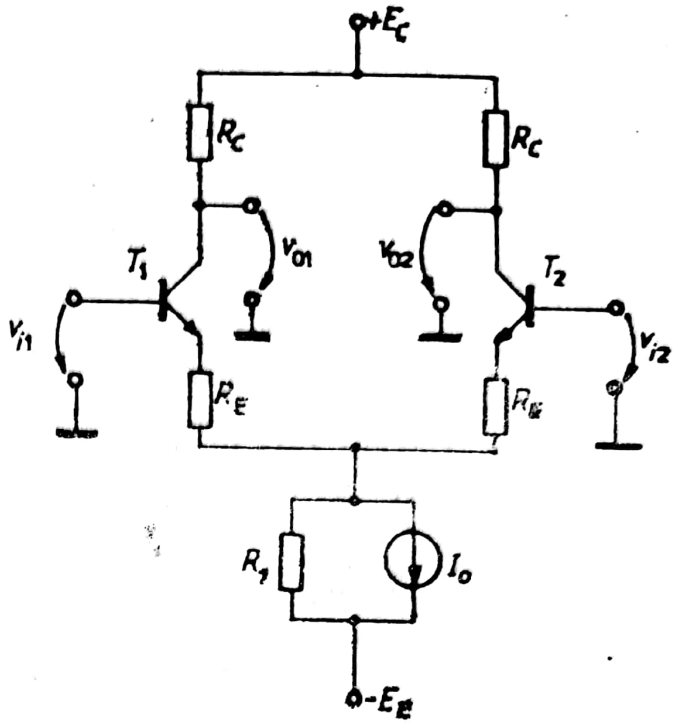


Fig. 2.10

cerea unor rezistenţe în serie cu emitorii tranzistorilor („rezistenţe de degenerare") (fig. 2.10) [43]. Analiza acestui circuit se poate face ca în cazul circuitului precedent (din fig. 2.6,*a*), conducînd la obţinerea unei dependenţe a tensiunii de ieşire v_{0d} în funcţie de tensiunea de intrare v_{id} de forma celei prezentate în figura 2.9. Astfel pentru valori relativ ridicate ale rezistenţelor R_E, domeniul tensiunilor de intrare corespunzător funcţionării liniare a circuitului se extinde cu aproximativ $I_0 R_E$ [43].

De multe ori pentru calculul unor parametrii ai amplificatoarelor diferenţiale perfect simetrice se apelează la **metoda bisecţiei** sau utilizînd conceptul de *semicircuit*. Să considerăm din nou circuitul din figura 2.6 pe care îl redesenăm sub forma reprezentată în figura 2.11,*a*, cu o singură ieşire în partea stîngă a circuitului pe rezistenţa de sarcină R_s (reprezentată punctat): generatorul de tensiune de la intrări este înlocuit printr-un grup alcătuit de rezistenţa R_g şi un generator de curent, iar rezistenţa (mare) R_1 din emitor este reprezentată prin două rezistenţe egale $2R_1$ pe fiecare secţiune a circuitului. Circuitul fiind perfect simetric avem

$$I_{E_1} = I_{E_2} = I_E. \qquad 2.2.14$$

Pentru calculul curenţilor şi tensiunilor de polarizare (în c.c.) în punctul static de funcţionare se scrie legea lui Kirchhoff pentru circuitul de intrare a primei secţiuni a montajului (fig. 2.11,*b*)

$$I_B R_g + V_{BE} + 2R_1 I_E = E_1 \qquad 2.2.15$$

Din relaţia (v. [1]).

$$I_E = I_B + I_C = I_B + \beta_0 I_B = (1 + \beta_0) I_B, \qquad 2.2.16$$

unde β_0 este factorul de amplificare α_E în curent continuu. rezultă

$$I_B = \frac{I_E}{1 + \beta_0} \simeq \frac{I_E}{\beta_0}. \qquad 2.2.17$$

Scanned with OKEN Scanner

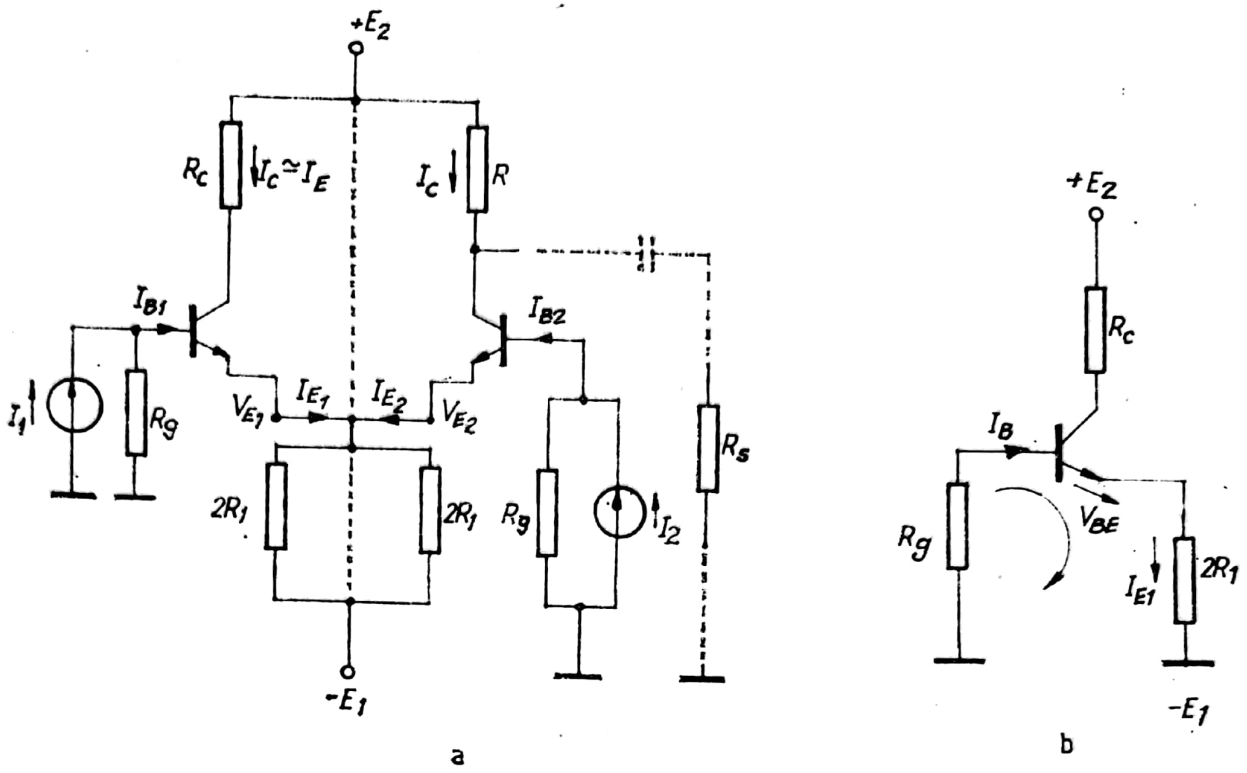


Fig. 2.11

Înlocuind pe I_B în 2.2.15 și rezolvînd în raport cu I_E se obține

$$I_E = \frac{E_1 - V_{BE}}{2R_1 + \frac{R_g}{\beta_0}}. \qquad 2.2.18$$

Tensiunea colector-emitor, adică $V_{CE} = V_{CE_1} \approx V_{CE_2}$, rezultă imediat (fig. 2.11, *b*)

$$V_{CE} = E_2 - I_C R_C - I_E (2R_1) - (-E_1) \approx E_1 + E_2 - I_C (2R_1 + R_C) \qquad 2.2.19$$

întrucît $I_C \simeq I_E$.

În majoritatea cazurilor β_0 este mare (mai mare de 100) și termenul R_g/β_0 poate fi neglijat. Un exemplu este edificator. Se ia $E_1 = E_2 = 9$V; $R_g = 400\ \Omega, R_1 = 1\text{k}\Omega, R_C = 200\ \Omega$ și $\beta_0 = 100$. Din relațiile 2.2.18 și 2.2.19 se obține

$$I_E = I_C = \frac{9 - 0.7}{2 \cdot 10^3} = 4{,}15 \cdot 10^{-3}\text{A}$$

deoarece $V_{BE} \simeq 0{,}7$ V.

$$V_{CE} = (9 + 9)\ \text{V} - 4{,}15 \cdot 10^{-3}\ \text{A} \cdot 2{,}2 \cdot 10^3\ \Omega \simeq 8{,}87\ \text{V}.$$

2.2.2. Factorul de rejecție pe mod comun

Ținînd seama de relația (v. 2.1.7)

$$v_0 = A\,(v_i^+ - v_i) \qquad 2.1.7.a$$

deci de faptul că tensiunea (sau curentul) de ieșire este o funcție de tensiunea de intrare, semnalul de la ieșirea amplificatorului diferențial va fi proporțional cu diferența curenților de intrare, adică

$$i_{ieș} = k\,\Delta i \qquad 2.2.20$$

unde

$$\Delta i = i_{i_2} - i_{i_1}\,. \qquad 2.2.21$$

Atunci este comod să se exprime fiecare din curenții i_{i_1} și i_{i_2} sub forma unor sume algebrice de tipul celor scrise pentru tensiuni (v. relațiile 2.1.7—— 2.1.10):

$$i_{i1} = I_C - \frac{\Delta i}{2}; \qquad i_{i_2} = I_C + \frac{\Delta i}{2} \qquad 2.2.22$$

unde

$$I_C = \frac{i_{i_2} + i_{i_2}}{2} = \frac{i_{i_1}}{2} + \frac{i_{i_2}}{2} \qquad 2.2.23$$

reprezintă componenta de **mod comun** (sau **în fază**) a semnalului de intrare ce determină acea parte a curentului care este același ($i_{i_1} = i_{i_2}$) pentru fiecare intrare a amplificatorului (cînd $v_i^+ = v_i^-$, vezi și 2.1.8).

Petru a determina valorile de semnal mic ale curenților de ieșire $i_{C_1} \approx i_{E_1}$, $i_{C_2} = i_{E_2}$, se va folosi schema echivalentă din figura 2.12,*a* corespunzătoare schemei amplificatorului diferențial din figura 2.11,*a* în care sarcina se ia în ramura de ieșire a tranzistorului T_2 (deci interesează numai curentul de ieșire $i_{E_2} = i_{C_2}$). Se introduc, de asemenea, noțiunile de componentă de mod comun a semnalului (curentului) de ieșire

$$I_{E_2C} = k_C I_C \qquad 2.2.24$$

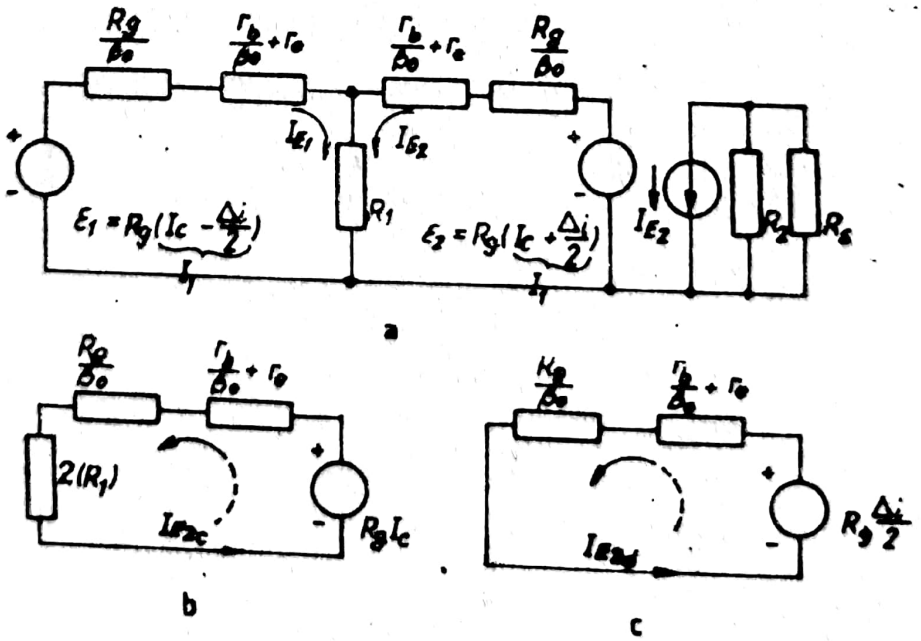


Fig. 2.12

și respectiv componenta diferențială a acestuia (v. 2.2.20)

$$I_{E_2 d} = k_d \Delta i. \qquad 2.2.25$$

Pentru definirea și determinarea curenților $I_{E_2 C}$ și $I_{E_2 d}$ este comod să se folosească circuitele echivalente din figura 2.12, *b*, *c*, defalcate din circuitul echivalent general (fig. 2.12,*a*) în care s-a ținut seama și de rezistențele intrinseci r_b și r_e ale tranzistorului. Pentru a exprima faptul că $I_{E_1} + I_{E_2} = 2I_{E_2} = I_0$ s-au defalcat rezistența R_1 în $2R_1$ și la fel sursa de tensiune din circuitul de ieșire (pentru curentul i_{i_2}).

Aplicînd legile lui Kirchhoff celor două ochiuri ale circuitelor 2.12. *b*, *c*, rezultă

$$k_C = \frac{I_{E_2 C}}{I_C} = \frac{R_g}{2R_1 + \frac{R_g + r_b}{\beta_0} + r_e} \qquad 2.2.26$$

$$k_d = \frac{I_{E_2 d}}{\Delta i} = \frac{R_g}{2\left(\frac{R_g + r_b}{\beta_0}\right) + r_e}. \qquad 2.2.27$$

Cu ajutorul relațiilor de mai sus se poate defini așa-numitul **factor de rejecție pe mod comun (FRMC)**.. Acest parametru — deosebit de important — arată de cîte ori factorul de amplificare pentru componenta diferențială este mai mare decît factorul de amplificare pentru componenta de mod comun a semnalului, adică

$$\pi = \frac{k_d}{k_C}. \qquad 2.2.28$$

Înlocuind pe k_d și k_c cu expresiile lor, rezultă

$$\pi = \frac{R_1 + \frac{R'_E}{2}}{R'_E} = \frac{1}{2} + \frac{R_1}{R'_E} \approx \frac{R_1}{R'_E} \qquad 2.2.29$$

unde

$$R'_E = r_e + \frac{R_g + r_b}{\beta_0}. \qquad 2.2.30$$

În expresia 2.2.29 s-a neglijat $\frac{1}{2} = 0{,}5 \ll \pi$ deoarece factorul π ia, de regulă, valori mari și foarte mari. De exemplu, pentru $Rg = 200\ \Omega$, $r_b = 300\ \Omega$, $r_e = 5\ \Omega$, $R_1 = 1000\ \Omega$ și $\beta_0 = 100$ rezultă

$$\pi = \frac{1000}{5 + \frac{500}{100}} = 100$$

Scanned with OKEN Scanner

sau, în decibeli

$$\pi_{(dB)} = 20 \log 100 = 40 \text{ dB}.$$

O valoare mult mai ridicată se obține pentru π, dacă în loc de R_1 (care ocupă și o suprafață mare pe cip) se adoptă structura cu generator de curent constant cu tranzistor (fig. 2.6, *b*). În acest caz rezistența din emitori este dată de rezistența echivalentă R_1' de ieșire a tranzistorului T_3 care poate fi destul de ridicată; pentru $R_1' \simeq 1\ \text{M}\Omega$ și restul elementelor cu valori ca cele din exemplul precedent, rezultă pentru factorul de rejecție pe mod comun valoarea

$$\pi = \frac{10^6}{5 + \frac{500}{100}} = 100\,000$$

sau în decibeli

$$\pi_{(dB)} = 20 \log 10^5 = 100 \text{ dB}.$$

Se vede că prin utilizarea structurilor de tranzistor în generatorul de curent constant (și în alte etaje ale amplificatoarelor) se obține atît o economie de semiconductor pe cip, cît și o valoare mare pentru factorul de rejecție de mod comun ceea ce este de dorit în etajele diferențiale de amplificare. În mod similar se poate exprima factorul de rejecție pe mod comun și prin raportul A_d/A_0 dintre amplificarea în tensiune pe mod diferențial față de amplificarea de tensiune pe mod comun [43, 46].

2.3. Etaje constituente de bază în structura circuitelor integrate analogice

Circuitul integrat analogic de bază este **amplificatorul operațional** (*AO*) care va fi tratat pe larg în paragrafele următoare. După cum s-a menționat în § 2.1, datorită cuplajului direct între etaje, precum și pentru eliminarea diferitelor influențe perturbatoare, în construcția circuitelor integrate analogice se utilizează etaje specifice adaptate tehnologiei și cerințelor pentru aceste circuite. Astfel se apelează pe scară largă la amplificatoare diferențiale (cu tranzistori simpli sau compuși) atît în etajele de intrare, cît și în cele intermediare, circuite speciale de polarizare, etaje de deplasare a nivelului de curent continuu etc. În continuare vor fi trecute pe scurt în revistă unele din aceste etaje componente, tratarea completă a diverselor variante posibile fiind făcută în diferite lucrări de specialitate [7, 43 — 47].

2.3.1. Circuite de intrare de impedanță ridicată

2.3.1.1. Etaje diferențiale cu tranzistori compuși (în montaj Darlington). Pentru a obține o impedanță de intrare ridicată, precum și o mai mare amplificare, în multe circuite integrate analogice se folosesc etaje de intrare cu tranzitori în montaj Darlington (fig. 2.13). Într-un asemenea montaj, fiecare pereche de tranzistori $T_1 - T_3$ și $T_2 - T_4$ este echivalentă cu cîte un tranzistor simplu avînd un cîștig egal cu produsul cîștigurilor tranzistorilor perechi (de exemplu, $\beta_0^c = \beta_{01}\,\beta_{02}$ etc.) [43, 44]. Rezultă astfel impedanțe de intrare pe

mod diferențial de 10 — 20 MΩ (vezi cap. 1 și [43, 44]) și curenți de polarizare la intrare foarte mici.

Pentru calculul în curent continuu (curenții și tensiunile în punctul static de funcționare) a schemei din figura 2.13 se consideră că :

$$\beta_{01} = \beta_{02} = 50\,; \qquad \beta_{03} = \beta_{04} = 100, \tag{2.3.1}$$

celelalte valori ale elementelor (pasive) fiind cele indicate în figură. În presupunerea că circuitul este perfect simetric, avem, de asemenea

$$I_1 = I_2 = \frac{I_{C_5}}{2} \simeq \frac{I_{E_5}}{2}; \tag{2.3.2}$$

$$I_{E_3} = I_{E_4} = I_1 = I_2; \tag{2.3.3}$$

$$I_{C_1} \simeq I_{E_1} = I_{B_3}. \tag{2.3.4}$$

Tensiunea la baza tranzistorului T_5 se calculează cu relația

$$V_{B_5} = I_{E_5} R_{B_1} = \left(\frac{-E_1}{R_{B_1} + R_{B_2}}\right) R_{B_1} = -5\,\frac{2{,}7\cdot 10^3}{(2{,}7+1)10^3} = -3{,}648\ \text{V}. \tag{2.3.5}$$

Tensiunea la emitorul lui T_5 va fi deci

$$V_{E_5} = V_{B_5} - V_{BE_5} = -3{,}648 - 0.7 = -4{,}348\ \text{V}. \tag{2.3.6}$$

Curentul din emitor se poate afla imediat (fig. 2.13)

$$I_{E_5} = \frac{V_{E_5} - (-E_1)}{R_1} = \frac{-4{,}348 + 5}{1.10^3} = 0{,}652\cdot 10^{-3}\,\text{A}. \tag{2.3.7}$$

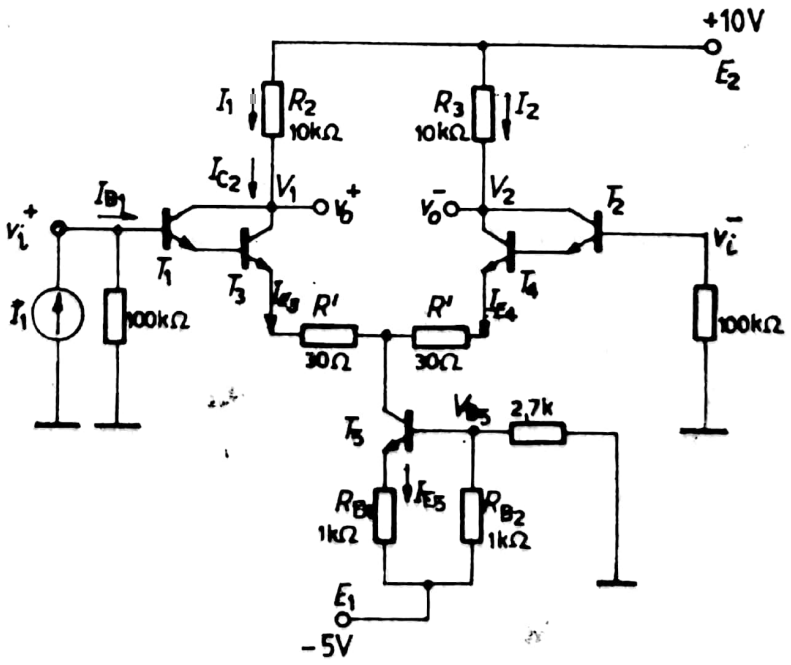


Fig. 2.13

Din 2.3.3 și 2.3.7 rezultă imediat

$$I_{C_3} \simeq I_{E_3} = I_1 = I_2 = \frac{0{,}652}{2} 10^{-3} = 0{,}326 \cdot 10^{-3}\ \text{A} = 0{,}326\ \text{mA}. \qquad 2.3.8$$

Din relația $I_{C_3} = \beta_{03} I_{B_3}$, ținînd seama de 2.3.4 și 2.3.8 se obține

$$I_{B_3} = \frac{I_{C_4}}{\beta_{03}} = \frac{0{,}326 \cdot 10^{-3}}{100} = 3{,}26 \cdot 10^{-6}\ \text{A} = 3{,}26\ \mu\text{A}. \qquad 2.3.9$$

Rezultă deci (v. 2.3.4)

$$I_{C_1} \simeq I_{E_1} = I_{B_3} = 3{,}26\ \mu\text{A}.$$

De asemenea, din relația $I_{C_1} = \beta_{01} \cdot I_{B_1}$ se obține

$$I_{B_1} = \frac{I_{C_1}}{\beta_{01}} = \frac{3{,}26 \cdot 10^{-6}}{50} = 0{,}065 \cdot 10^{-6}\ \text{A} = I_{B_2}. \qquad 2.3.10$$

Se vede deci că în circuitele de intrare ale amplificatorului diferențial cu tranzistori compuși (fig. 2.13), avem curenți extrem de mici, ceea ce conferă o mare rezistență (impedanță) de intrare pentru respectivele montaje.

Tensiunile pe colectorii tranzistorilor compuși T_1-T_3 și T_2-T_4 vor fi

$$V_1 = V_2 = E_2 - I_1 R_1 = 10 - 0{,}326 \cdot 10^{-3} \cdot 10 \cdot 10^3 = 6.74\ \text{V}. \qquad 2.3.11$$

Tensiunea în emitorul lui T_1 este dată de

$$V_{E_1} = V_{B_1} - V_{BE} = 100 \cdot 10^3 \cdot I_{B_1} - 0{,}7 = 100 \cdot 10^3 \cdot 0{,}065 \cdot 10^{-6} - \\ - 0{,}7 \approx -0{,}7\ \text{V}. \qquad 2.3.12$$

Tensiunea în emitorul lui T_3 va fi

$$V_{E_3} = V_{E_1} - V_{BE} = -0{,}7 - 0{,}7 = -1{,}4\ \text{V}, \qquad 2.3.13$$

iar tensiunea pe colectorul lui T_5 poate fi găsită cu relația

$$V_{C_5} \simeq V_{E_3} - R' I_{E_3} = -1{,}4 - 30.0{,}326 \cdot 10^{-3} \simeq 1{,}41\ \text{V}. \qquad 2.3.14$$

2.3.1.2. Etaje de intrare cu tranzistori cu efect de cîmp și tranzistori superbeta. Amplificatoarele diferențiale cu tranzistori compuși (Darlignton) deși posedă impedanțe mari de intrare (și o bună amplificare) prezintă însă unele inconveniente. Astfel factorul de amplificare în curent β_0^c al structurilor Darlington are o variație mai mare cu temperatura, ceea ce determină o dependență mai pronunțată a tensiunilor și curenților de lucru în funcție de temperatură. De asemenea este dificil a se realiza structuri integrate de tip Darlington cu o oarecare bună concordanță între parametrii tranzistorilor componenți (simetrici).

Scanned with OKEN Scanner

În anumite aplicații speciale, în care sînt necesare impedanțe de intrare de valori ridicate se apelează la etaje diferențiale cu tranzistori cu efect de cîmp cu poartă-joncțiune (*TECJ*) sau la tranzistori bipolari cu factorul de amplificare în curent β_0 de valoare foarte mare.

Schema unui amplificator diferențial cu *TECJ* în circuitele de intrare este redată în figura 2.14,*a*. Asemenea etaje se utilizează în unele circuite integrate analogice dar răspîndirea lor este mai restrînsă deoarece amplificarea tranzistorilor cu efect de cîmp este mai mică în comparație cu a tranzistorilor bipolari.

În figura 2.14, *b* se reprezintă schema etajului diferențial cu tranzistorii superbeta T_1 și T_2 la intrări. Tehnologia tranzistorilor superbeta (la care $\beta_0 = 3000 - 10000$) implică precauții speciale pentru evitarea introducerii de defecte în rețea în timpul dopării semiconductorului și obținerea unei baze de grosime foarte mică ($w < 0{,}3$ μm). Tensiunea de străpungere V_{CE} a tranzistorilor superbeta este foarte mică, de ordinul a 3—5 V (datorită grosimei foarte mici a bazei) ceea ce impune utilizarea acestor tranzistori împreună cu tranzistorii standard (care preiau surplusul de tensiune), cu care sînt realizați simultan, în același proces tehnologic (fig. 2.14, *b*). În acest mod se combină avantajul tensiunii ridicate de străpungere al tranzistorului standard cu factorul mare de amplificare în curent al tranzistorului superbeta.

Preluarea surplusului de tensiune de către tranzistorii standard se realizează prin utilizarea unei configurații de tip cascodă în care tranzistorii superbeta sînt conectați ca repetoare pe emitor ce debitează pe tranzistorii T_3 și T_4. Diodele D_1 și D_2, împreună cu sursa de curent I_1, polarizează bazele tranzistorilor T_3 și T_4 la un potențial mai mare cu $2V_{BE}$ decît potențialul emitorilor tranzistorilor superbeta (T_1 și T_2) astfel încît tensiunea V_{CB} a tranzistorilor T_1 și T_2 este practic zero.

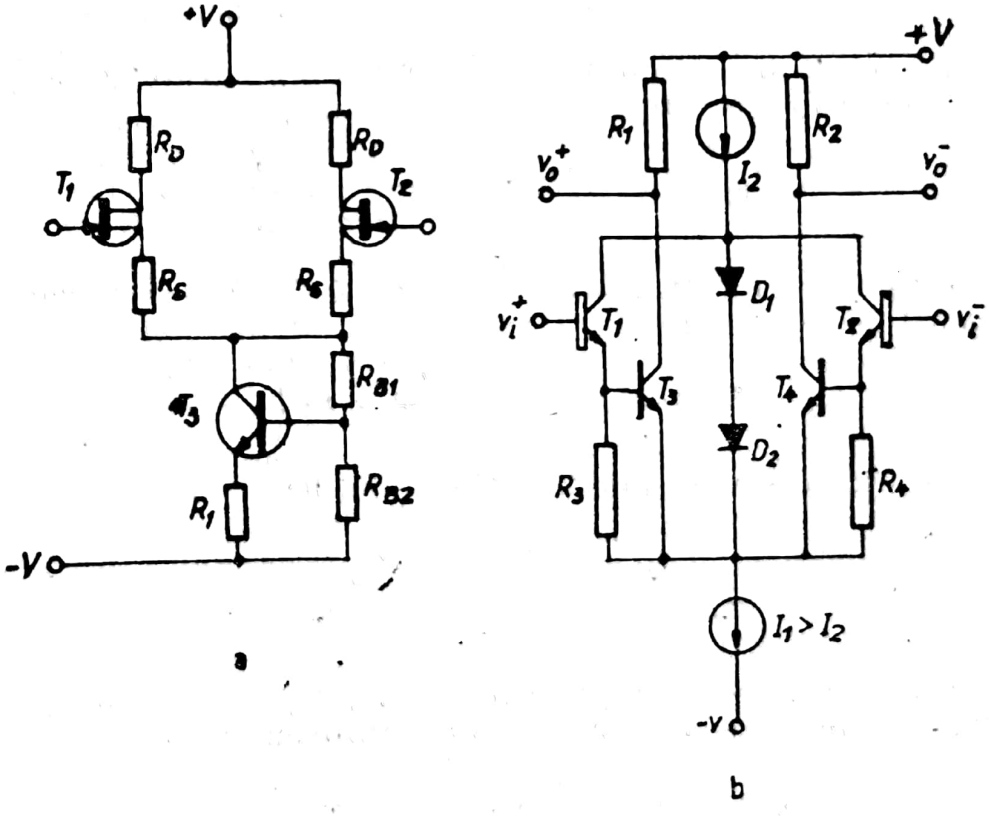


Fig. 2.14

Scanned with OKEN Scanner

Etajele diferențiale realizate cu tranzistori superbeta în montaj cascodă (cu tranzistori „compuși") sînt caracterizate prin rezistențe mari de intrare avînd curenți de intrare foarte mici (5—20 nA). În plus asemenea etaje nu prezintă dezavantajele etajelor de tip Darlington referitoare la derivele termice și neîmperecherile (exacte) ale parametrilor tranzistorilor componenți. Etaje de intrare cu tranzistori superbeta sînt folosite în amplificatorul operațional LM 108, avînd un curent de polarizare al intrărilor de 3 nA și un curent de ofset de 0,5 nA [43].

2.3.2. Surse de curent constant. Sarcini active cu surse de curent

După cum s-a arătat în §2.1, utilizarea surselor de curent constant ca elemente de polarizare duce la micșorarea sensibilității circuitului (în speță a amplificatorului diferențial) față de variațiile surselor de alimentație și ale temperaturii. În plus, atunci cînd valorile necesare ale curenților de polarizare sînt mici (mai ales în primele etaje ale unui amplificator cu mai multe etaje), sursele de curent cu tranzistori ocupă o suprafață mult mai mică pe cip în comparație cu rezistoarele de valori mari pentru asemenea etaje. După cum se va arăta mai departe, sursele de curent constant se folosesc de asemenea ca sarcină (activă) în amplificatoarele cu tranzistori (sau din circuitele integrate analogice), în scopul evitării rezistoarelor de valori mari în circuitele de colector cînd se folosesc surse de alimentare de valori relativ mari ($\pm$15V).

În figura 2.15, *a* este redată una dintre cele mai simple surse de curent în care tranzistorul T_1 este conectat ca diodă, deci are $V_{CB} = 0$. Ca urmare acest tranzistor nu lucrează la saturație ci se află în regiunea sa activă pentru care $I_{C_1} = \beta_{01} I_{B_1}$.

Deoarece tranzistorii T_1 și T_2 au aceeași tensiune bază-emitor, curenții lor de colector vor fi egali

$$I_{C_1} = I_{C_2}. \qquad 2.3.15$$

În punctul B din colectorul tranzistorului T_1 curentul de referință I_{ref} se divide în I_{C_1} și I_B, în care

$$I_B = I_{B_1} + I_{B_2} = \frac{I_{C_1}}{\beta_{01}} + \frac{I_{C_2}}{\beta_{02}} = 2\frac{I_{C_1}}{\beta_0}, \qquad 2.3.16$$

dacă tranzistorii sînt identici, avînd $\beta_{01} = \beta_{02} = \beta_0$. Atunci curentul de referință va fi dat de (v. fig. 2.15,*a*)

$$I_{ref} = I_{C_1} + I_B = I_{C_1} + 2\frac{I_{C_1}}{\beta_0} = I_{C_1}\left(1 + \frac{2}{\beta_0}\right). \qquad 2.3.17$$

De aici (ținînd seama și de 2.3.15) se obține

$$I_{C_1} = \frac{I_{ref}}{1 + \frac{2}{\beta_0}} = I_{C_2}. \qquad 2.3.18$$

Interesează valoarea curentului (constant) I_{C_2} debitat de sursă[3] care în cazul cînd β_0 este mare (caz practic) este aproximativ egal cu curentul de

[3] Se consideră că rezistența de ieșire a tranzistorului T_2 este infinită (foarte mare).

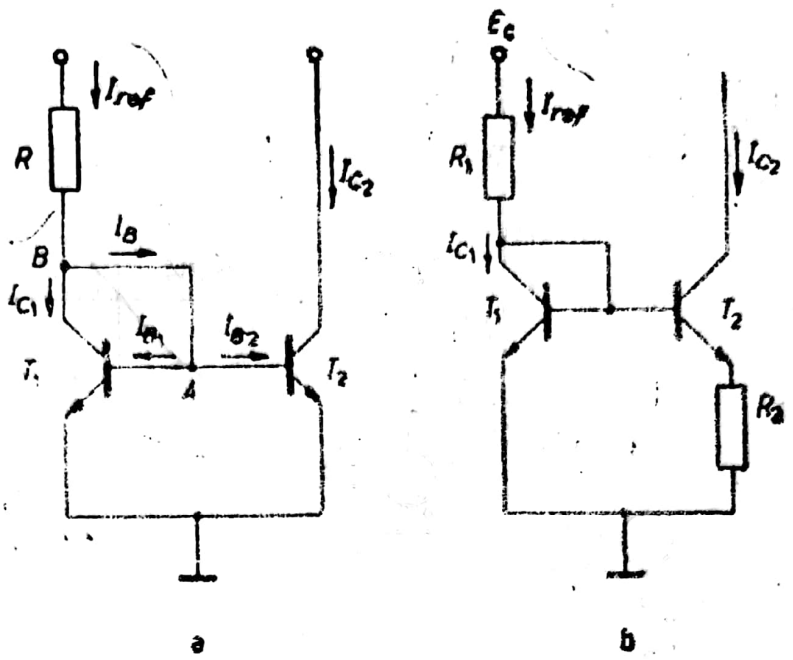


Fig. 2.15

referință (v. 2.3.18) care poate fi fixat alegînd corespunzător valoarea rezistorului R (v. fig. 2.15,*a*), adică

$$I_{C_2} \simeq I_{ref} = \frac{E_C - V_{BE}}{R}. \qquad 2.3.19$$

În amplificatoarele operaționale (în alte circuite integrate analogice în general) valoarea foarte mică impusă curentului de la intrările diferențiale (pentru a avea impedanțe mari de intrare, v. subparagraful precedent) dictează, de asemenea, valori mici (3—10 μA) pentru curentul de polarizare a etajelor de intrare. Pentru a obține asemenea valori mici ale curentului I_{C_2} este necesară micșorarea corespunzătoare a curentului I_{ref} (v. rel. 2.3.19) prin algerea unui rezistor R de valoare ridicată (sute de kΩ) lucru greu de acceptat din punctul de vedere al economiei de arie activă de semiconductor.

Valori mici pentru curentul I_{C_2} al sursei de polarizare (de curent constant) se pot obține cu sursa de curent Widlar [50, 51] din figura 2.15,*b* care derivă din sursa (simplă) de curent din fig. 2.15,*a* prin plasarea unui rezistor R_2 în serie cu emitorul lui T_2.

Neglijînd curenții bazelor, din legea a II-a a lui Kirchhoff scrisă pentru bucla emitorilor, rezultă

$$V_{BE_1} - V_{BE_2} - I_{C_2}R_2 = 0. \qquad 2.3.20$$

Ținînd seama de relația Moll-Ross se obține (v. și 2.2.2; 2.2.3)

$$V_T \ln \frac{I_{C_1}}{I_{S_1}} - V_T \ln \frac{I_{C_2}}{I_{S_2}} - I_{C_2}R_2 = 0. \qquad 2.3.21$$

Pentru tranzistori identici $I_{S_1} \simeq I_{S_2}$ și 2.3.21 devine

$$V_T \ln \frac{I_{C_1}}{I_{C_2}} = I_{C_2}R_2. \qquad 2.3.22$$

Scanned with OKEN Scanner

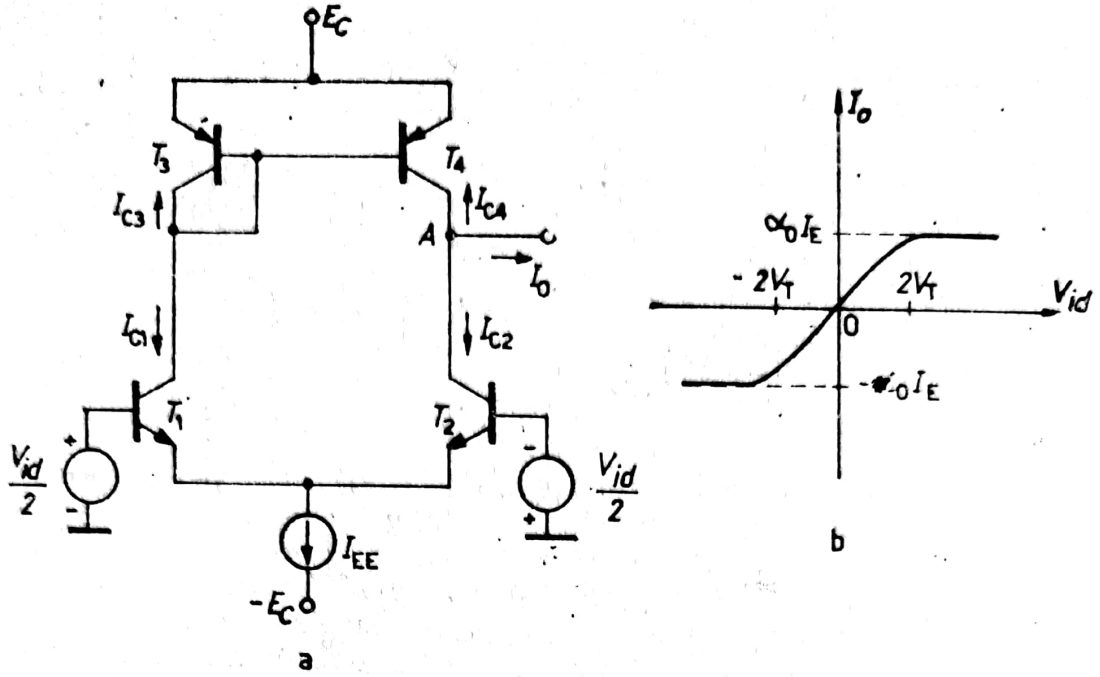


Fig. 2.16

Valoarea rezistorului R_2 se calculează din 2.3.22 pentru valori date pentru curenții I_{C_1} și respectiv I_{C_2}.

Alte diferite surse de curent constant sînt descrise în excelenta lucrare a lui Gray și Meyer (v. [43], capit. 4). În cele ce urmează se va analiza modul cum se pot folosi sursele de curent constant în calitate de sarcini active pentru amplificatoare.

De regulă în amplificatoarele operaționale integrate, se folosesc foarte rar configurațiile simple în care colectoarele tranzistorilor care alcătuiesc etajele diferențiale sînt conectate direct la sursă, prin rezistențele de colector R_C (cum s-a considerat în figurile 2.6; 2.7; 2.10; 2.11 etc.). Valoarea relativ ridicată a acestor rezistențe (mai ales pentru etajele de la intrare) necesară cînd circuitele sînt alimentate de la surse standard de $\pm$15V, conduce la risipă de material activ pe cipul circuitului integrat. Pentru a elimina acest dezavantaj, rezistențele R_C — de valoare mai mică — sînt conectate nu direct la sursa externă de tensiune $+E_c$, ci la o așa numită sursă internă de tensiune (cum se face în cazul AO μA 709), sau se folosesc etaje diferențiale cu surse de curent în calitate de sarcină activă (fig. 2.16). După cum se vede din figura 2.16,*a*, colectorii etajului diferențial nu se leagă direct (sau prin rezistențe R_c) la sursa E_c ci prin generatorul (simplu) de curent constant de tipul celui din figura 2.15,*a* care constituie o sarcină activă (cu elemente active). Tranzistorii T_3 și T_4 fiind identici este satisfăcută relația (figura 2.16,*a*)

$$-I_{C_1} = I_{C_3} = I_{C_4}. \qquad 2.3.23$$

De asemenea în punctul A avem

$$-I_{C_2} = I_{C_4} + I_0 \qquad 2.3.24$$

unde I_0 este curentul de ieșire. Din 2.3.24 rezultă

$$I_0 = -I_{C_4} - I_{C_2} = I_{C_1} - I_{C_2} \qquad 2.3.25$$

Scanned with OKEN Scanner

în care (v. 2.2.7; 2.2.8);

$$I_{C_1} = \alpha_0 I_E/[1 + e^{-V_{id}/V_T}] \qquad 2.3.26$$

$$I_{C_2} = \alpha_0 I_E/[1 + e^{V_{id}/V_T}], \qquad 2.3.27$$

I_E fiind intensitatea curentului dat de generatorul de curent din emitor (fig. 2.16,*a*). Înlocuind 2.3.26 și 2.3.27 în 2.3.25 rezultă caracteristica de transfer pentru amplificatorul diferențial cu sarcină activă din figura 2.16,*a*

$$I_0 = \alpha_0 I_E \operatorname{th}\left(\frac{V_{id}}{2V_T}\right) \qquad 3.3.28$$

reprezentată în figura 2.16,*b*. Se vede că $I_0 = 0$ atunci cînd $V_{id} = 0$. Circuitul din figura 2.16,*a* este capabil atît să absoarbă curent I_E, cît și să livreze curent unei sarcini cuplate la ieșire. Cînd ieșirea este în scurtcircuit, curentul de ieșire I_0 variază între $+I_E$ și $-I_E$ corespunzător variației tensiunii V_{id} pe un interval de cîteva sute de milivolți (fig. 2.16,*b*) [43].

2.3.3. Etaje de deplasare a nivelului de curent continuu

Deoarece, după cum s-a arătat, în construcția circuitelor integrate analogice se folosește cuplajul direct, este necesar să se proiecteze în așa fel circuitul integrat încît să se asigure compatibilitatea nivelului de curent continuu de la ieșirea unui etaj cu cel de la intrarea etajului următor. Cum, pentru un etaj cu emitorul la masă, nivelul de c.c. de la ieșire este întotdeauna mai mare decît cel de la intrare, rezultă că în cazul înserierii mai multor etaje, nivelul de c.c. de la ieșire crește foarte mult ceea ce conduce la greutăți în cuplarea și adaptabilitatea diferitelor etaje.

Pentru o mai bună adaptabilitate între etaje ar fi de dorit ca ieșirea amplificatorului să aibă un potențial (de c.c.) cît mai mic, apropiat de potențialul zero al sursei. Acest lucru se poate obține cu ajutorul unui circuit divizor de tensiune de tip repetor pe emitor (fig. 2.17,*a*). Se alege astfel valoarea rezistenței R_b încît pe ea să cadă practic întreaga tensiune $-E_1$ și deci punctul A (de ieșire) va fi la nivel mic de c.c. Pentru a nu folosi rezistențe R_b cu valori mari (deci necconomice), în multe cazuri se utilizează etaje cu diode Zener sau cu tranzistori în surse de curent constant (fig. 2.17, *b*, *c*).

Un exemplu de coborîre apreciabilă a nivelului de c.c. de la ieșirea unui amplificator (simplu sau diferențial) este ilustrat în figura 2.17,*c* (în secțiunea după linia punctată). Ținînd seama de valorile rezistențelor și surselor de polarizare tensiunea din baza lui T_3 va fi

$$V_{B_3} = (-5)\frac{2{,}8 \cdot 10^3}{(2{,}8 + 3{,}5) \cdot 10^3} = -2{,}2\text{V}. \qquad 2.3.29$$

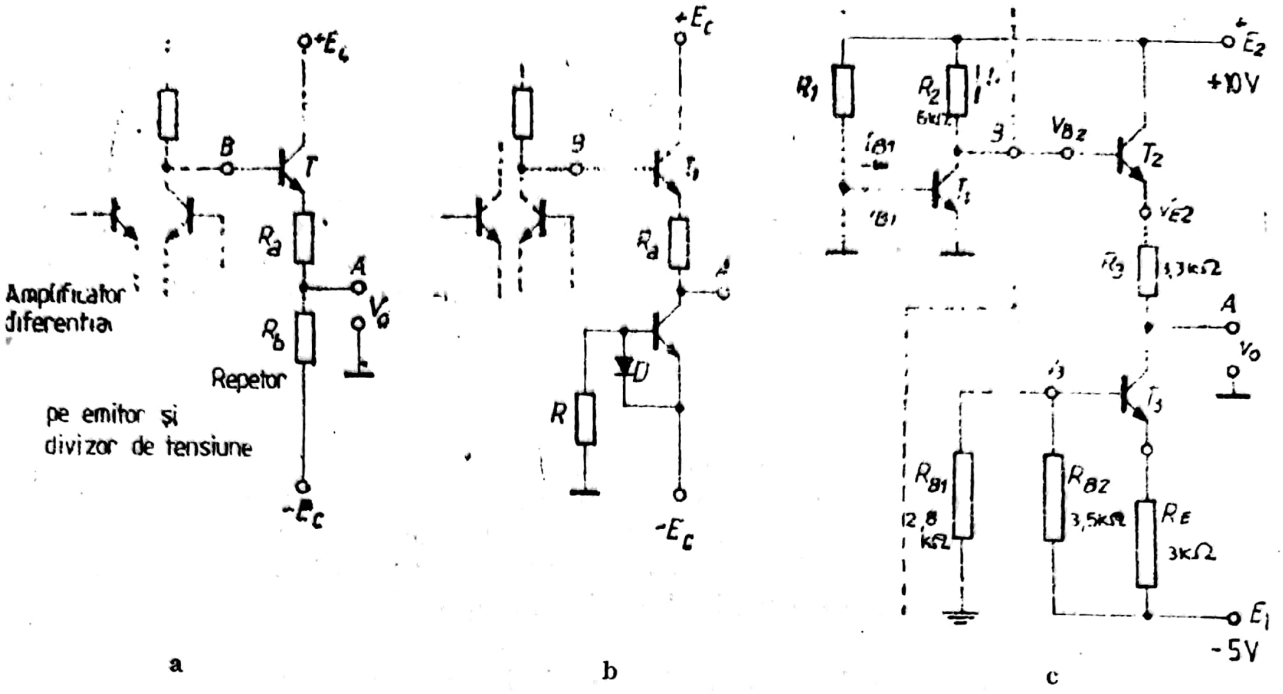
Tensiunea și curentul din emitorul lui T_3 rezultă imediat:

$$V_{E_3} \simeq V_{B_3} - V_{BE_3} = -2{,}2 - 0{,}7 = -2{,}9\text{V}; \qquad 2.3.30$$

$$I_{E_3} = \frac{V_{E_3} - E_1}{R_E} = \frac{-2{,}9 - (-5)}{3 \cdot 10^3} = 0{,}7 \cdot 10^{-3}\text{A}. \qquad 2.3.31$$

Dacă se cere un nivel de tensiune în c.c. în punctul A (la ieșire) cît mai apropiat de zero (adică $V_{ies} \simeq 0 = V_0$), atunci tensiunea V_{E_3} în emitorul

Scanned with OKEN Scanner



a b c

Fig. 2.17

lui T_2 va fi

$$V_{E_2} = V_0 + I_{E_3} \cdot R_3 \simeq 0 + 0{,}7 \cdot 10^{-3} \cdot 3{,}3 \cdot 10^3 = 2{,}3\ \text{V}. \qquad 2.3.32$$

Potențialul punctului B care reprezintă și potențialul (ridicat) de ieșire al amplificatorului fără etaj de deplasare în c.c. va fi

$$V_B = V_{B_2} = V_{E_2} + V_{BE_{(2)}} = 2{,}3 + 0{,}7 = 3{,}0\text{V}. \qquad 2.3.33$$

Curentul de colector I_1 al tranzistorului T_1 va fi dat de

$$I_1 = \frac{E_2 - V_{B_2}}{R_2} = \frac{10 - 3}{6 \cdot 10^3} = 1{,}16 \cdot 10^{-3}\ \text{A} = \beta_{01} I_{B_1}. \qquad 2.3.34$$

Tranzistorul T_1 fiind în conducție (aparține etajului de amplificare precedent) necesită cel puțin 0,7 V pentru V_{B_1}, ca joncțiunea bază-emitor să fie deschisă; în acest caz rezistența R_1 va fi determinată de (v. și 2.3.34)

$$R_1 = \frac{E_2 - V_{B_1}}{I_{B_1}} = \frac{10 - 0{,}7}{I_1}\,\beta_{01}.$$

Luînd $\beta_{01} \simeq 100$, se obține în final

$$R_1 \approx \frac{9{,}3}{1{,}16 \cdot 10^{-3}}\,100 \approx 800 \cdot 10^3\ \Omega.$$

De remarcat că rezistențe de valori așa de mari necesare pentru polarizare pot fi înlocuite cu sarcini active (cu tranzistori) analizate în subparagraful precedent. O metodă mult folosită pentru deplasarea nivelului de curent continuu se bazează pe folosirea tranzistorilor $p-n-p$ în montaj de tranzistor compus (împreună cu tranzistorii $n-p-n$) așa cum se vede în figura 2.18. Colectorii tranzistorilor $p-n-p$ trebuie să fie polarizați cu o tensiune cît mai apropiată de valoarea tensiunii sursei $-E_1$. În figura 2.18 de exemplu

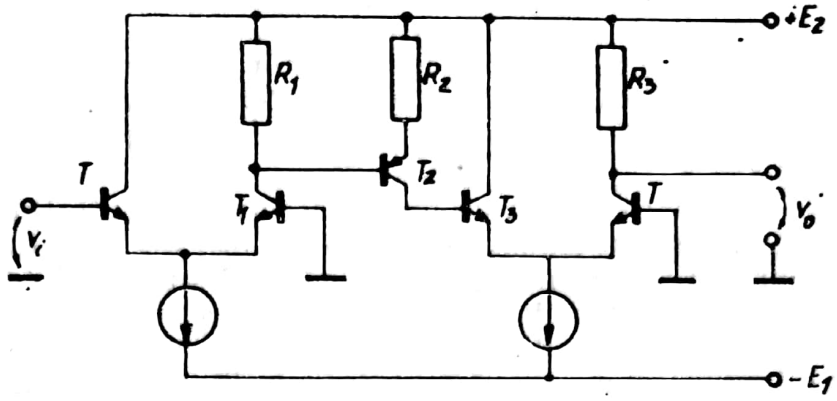


Fig. 2.18

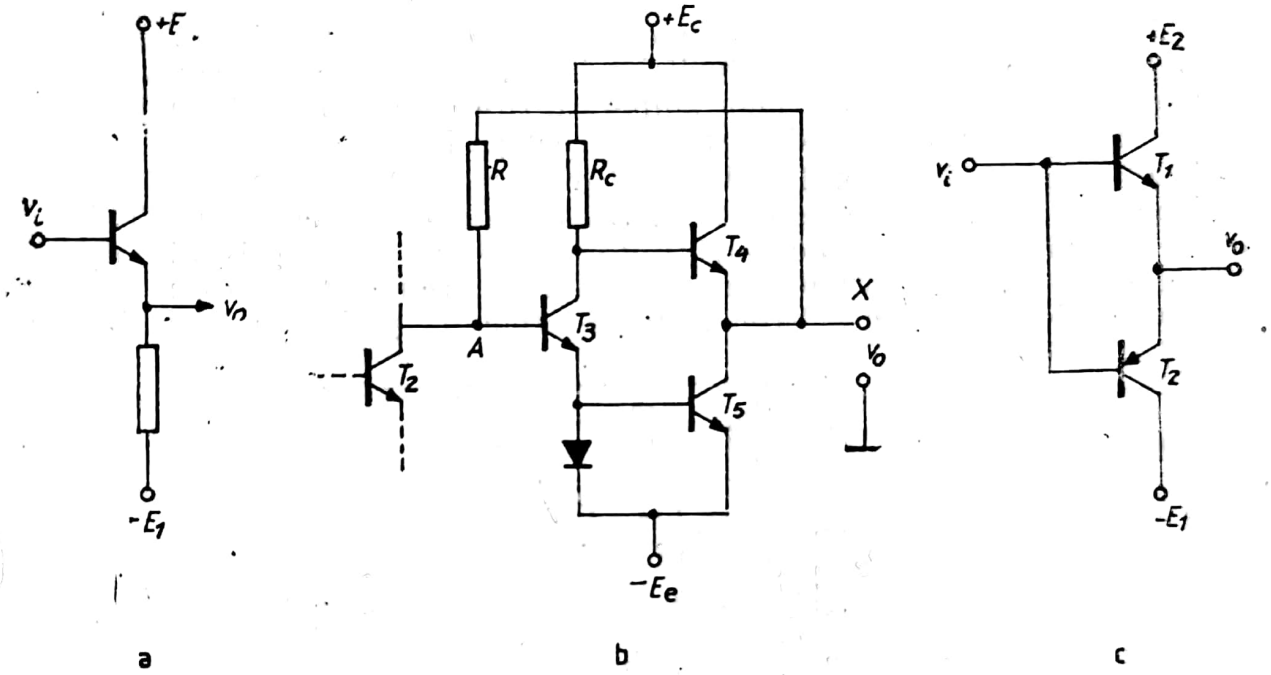


Fig. 2.19

deplasarea nivelului de curent continuu între colectorul lui T_1 și baza tranzistorului T_3 se face prin intermediul tensiunii bază-colector a tranzistorului T_2 (de tip $p-n-p$). O variantă a unei asemenea scheme se utilizează în amplificatorul operațional μA 741 (v. §.2.4).

2.3.4. Etaje de ieșire (finale)

Etajele de ieșire ale circuitelor integrate analogice sînt destinate pentru lucrul pe o sarcină externă cum ar fi intrarea unui tranzistor de putere, difuzor, releu etc., de aceea ele trebuie să fie caracterizate printr-o mică rezistență de ieșire și o tensiune nulă la ieșire în absența semnalului la intrarea circuitului.

Cea mai simplă configurație a unui etaj de ieșire este aceea a unui repetor pe emitor (fig. 2.19,*a*). Deși ieșirea unui etaj de deplasarea nivelului de c.c. (ieșirea *A*, fig. 2.17) are un potențial mai puțin pozitiv decît colectorii

etajului precedent, această ieșire nu este folosită ca ieșire finală în amplificatoare ci este urmată de un etaj amplificator așa cum se vede în figura 2.19,*b*. În această schemă se utilizează un amplificator în contratimp în regim de clasă *A* excitat de etajul defazor realizat cu T_3. Rezistența de reacție R asigură stabilitatea etajului de ieșire evitînd deriva termică a potențialului din punctul X (la ieșire).

Uneori ca etaj final se folosește amplificatorul în contratimp în clasă *B* din figura 2.19,*c* realizat cu tranzistori complementari, tranzistorul T_2 de tip $p-n-p$ fiind obținut sub formă integrată ca un tranzistor lateral [15, 43—46, 49]. Pentru micșorarea distorsiunilor neliniare proprii acestei clase de amplificatoare se utilizează o reacție negativă adecvată. Amplificatorul prezintă avantajul unui consum minim de energie în lipsa semnalului de intrare.

2.4. Structura generală a unor amplificatoare operaționale (integrate)

Pentru ilustrarea modului în care diferite etaje descrise în paragraful precedent intră în alcătuirea circuitelor integrate analogice, în continuare vor fi descrise sumar structurile unor amplificatoare operaționale de mare răspîndire cum au fost μA702, μA709 și mai recent μA741.

Schema amplificatorului A702 (Fairchild, SUA) sau SN 72702 Texas Instruments este redată în figura 2.20. Din figură se vede că etajul de intrare este construit pe schema de amplificator diferențial cu tranzistorii T_2 și T_3 alimentați prin generatorul de curent constant realizat cu tranzistorii T_1 și T_9. Tensiunea de polarizare a bazelor tranzistorilor T_1 și T_8 este dată de la cir-

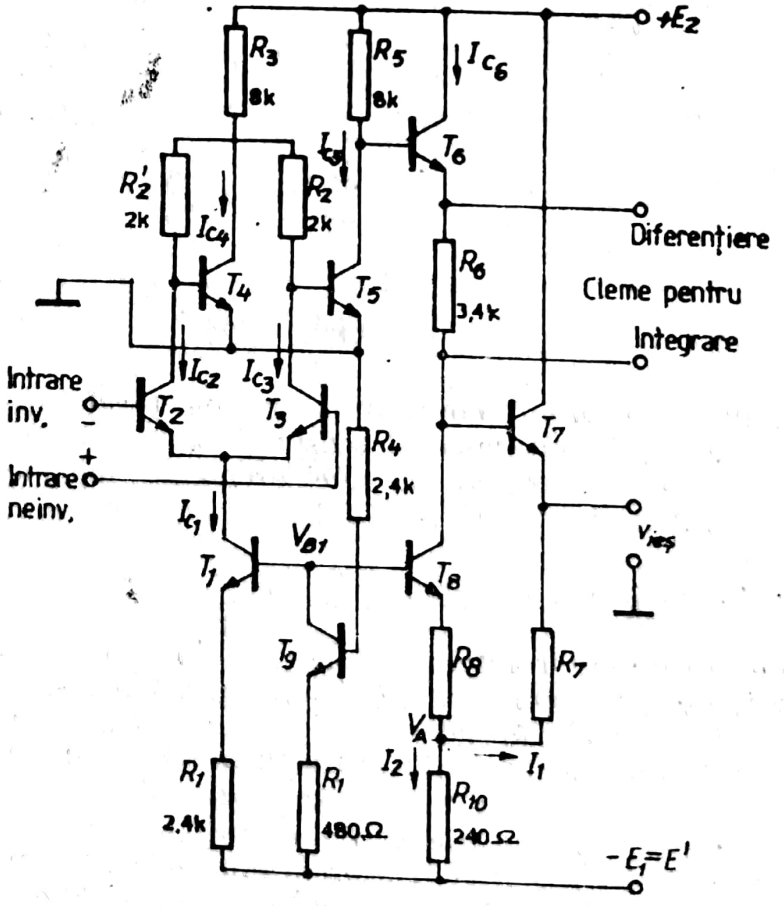


Fig. 2.20

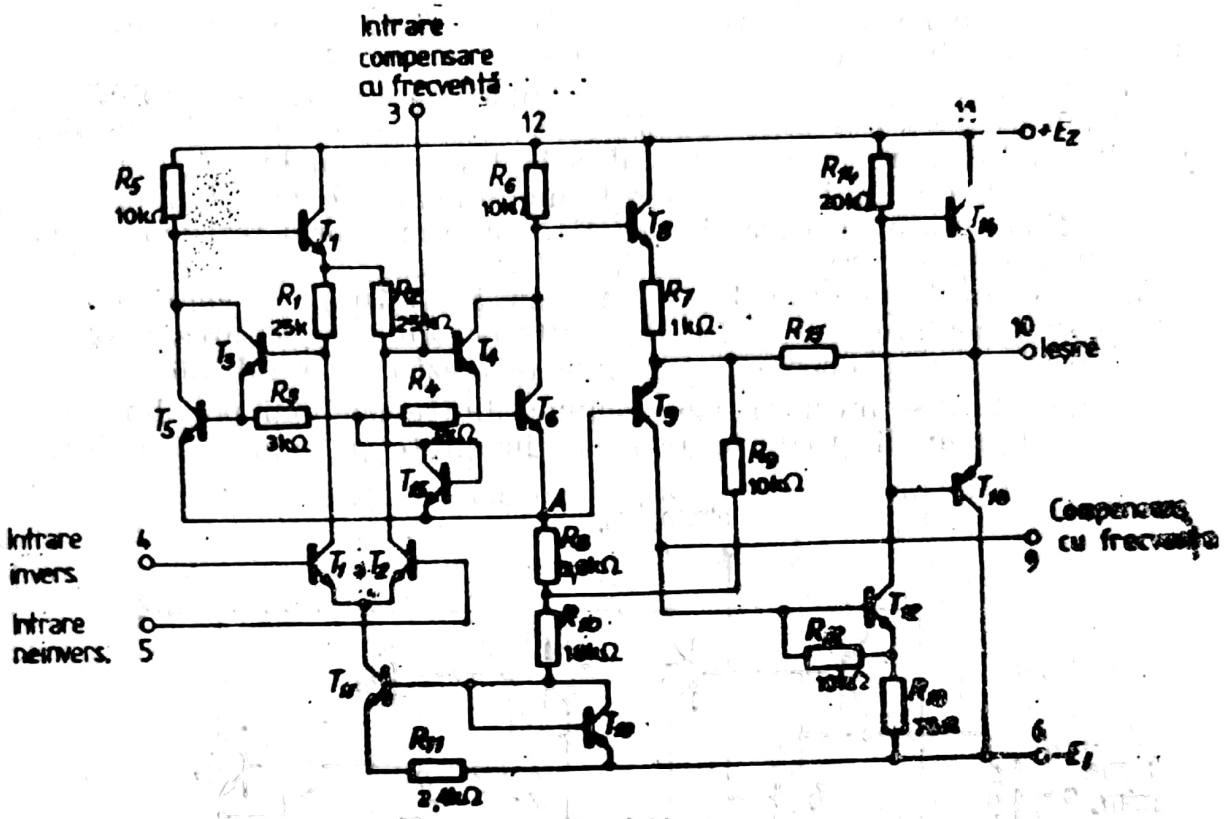


Fig. 2.21

cuitul conținînd tranzistorul T_9 în regim de diodă care compensează variația cu temperatura a tensiunilor V_{BE} ale tranzistorilor T_1 și T_8.

Etajul următor al AO, μA 702, este construit cu tranzistorii T_4 și T_5. Tranzistorul T_5 este conectat în montaj *EC*, iar T_4 este montat în brațul celălalt al amplificatorului diferențial simetrizînd curenții de colector ai tranzistorilor T_2 și T_3 și realizînd totodată o amplificare suplimentară. Tranzistorii T_6 și T_8 constituie etajul de deplasare a nivelului de curent continuu, iar tranzistorul T_7 reprezintă etajul de ieșire (ca repetor pe emitor). Rezistența R_7 din emitorul lui T_7 este conectată la divizorul rezistiv din emitorul tranzistorului T_8 obținîndu-se astfel și o reacție pozitivă care duce la creșterea amplificării etajului de ieșire.

Un alt amplificator operațional realizat printre primele circuite integrate analogice (circuite liniare) de Fairchild și apoi de multe alte firme este μA 709 (v. și tipul echivalent ROB-709 realizat la ICCE—Băneasa, actualmente CCSIT-S) (fig. 2.21). Ca și la AO μA 702 în acest circuit se folosesc două etaje cu amplificatoare diferențiale și anume grupul $T_1 - T_2$ și grupul de tip Darlington $T_3T_5 - T_4T_8$, care permite obținerea unei amplificări mari în buclă deschisă ($A_0 = 30\,000$). Primul etaj cu T_1 și T_2 are în circuitul emitorilor o sursă de curent constant montată pe tranzistorii T_{11} și T_{10}. Constanța curentului este asigurată printr-o reacție negativă dublă (prima ramură prin tranzistorii T_4, T_6 și rezistențele R_8 și R_{10}, iar cea de a doua prin rezistențele R_{15}, R_9 și R_{10} și tranzistorul-diodă T_{10} destinat compensării termice). Alimentarea tranzistorilor T_3 și T_4 (din primele etaje ale montajelor Darlington) este asigurată de la potențialul punctului A (fig. 2.21) prin intermediul circuitelor de stabilizare T_9, R_7, R_9 și T_{12}, T_{13}, R_7 și R_{15} [52].

Tranzistorul-diodă T_{15} este destinat, de asemenea, compensării variației cu temperatura a parametrilor tranzistorilor T_5 și T_6. Tranzistorul T_7 joacă

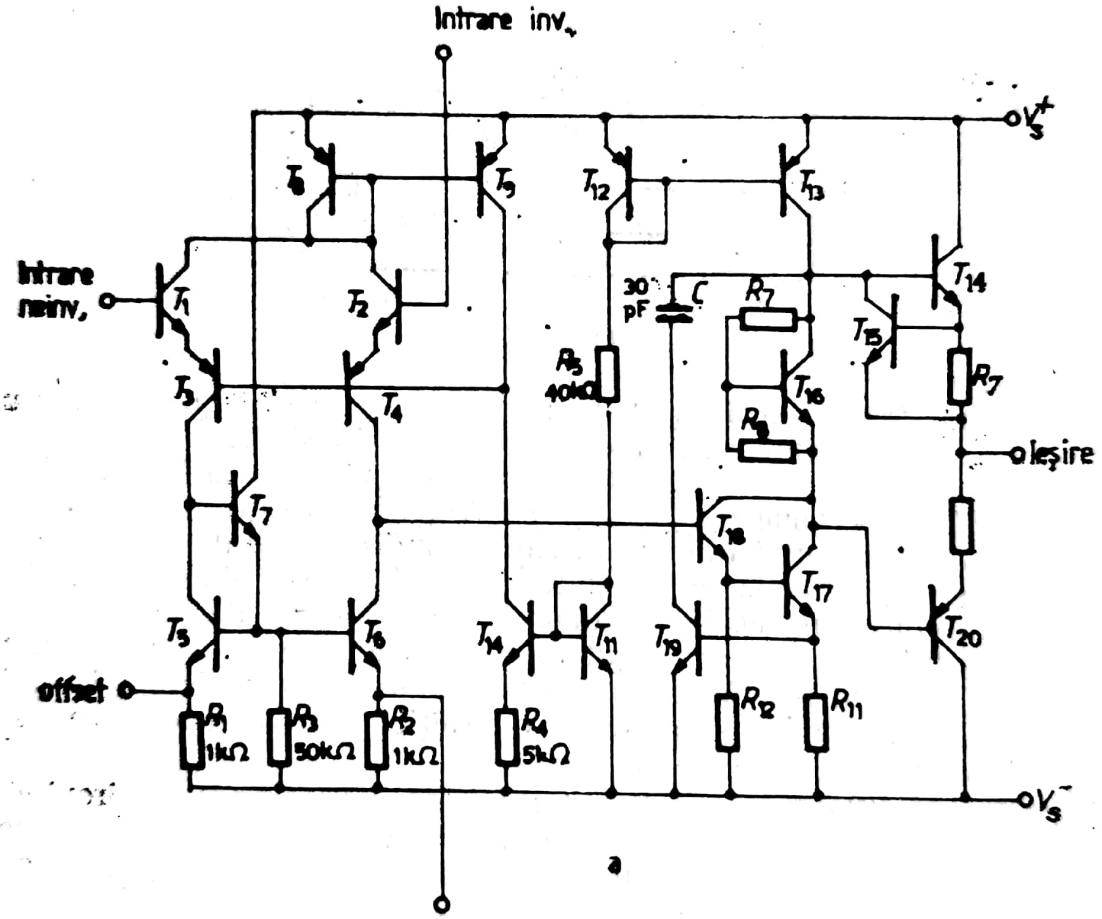
Scanned with OKEN Scanner

rolul de filtru împotriva paraziților care astfel pot sosi la bazele tranzistorilor T_3 și T_4 prin conductorii de alimentare (de la sursa $+E_2$).

Tranzistorii T_8 și T_9 de conducție complementară (tranzistorul T_9 fiind un tranzistor $p-n-p$ lateral, de amplificare mică), constituie etajul de deplasare a nivelului de curent continuu și de adaptare a semnalului pentru amplificarea finală cu etajul final complex format din tranzistorii T_{12}, T_{13} și T_{14}. Acest etaj final cuprinde o reacție negativă puternică prin rezistențele R_7 și R_{15} și prin tranzistorul repetor pe emitor T_9.

Amplificatorul operațional μA 709 (sau ROB 709) mai conține și unele terminale suplimentare (3,9 și 12, fig. 2.21) pentru compensarea externă în frecvență (și în fază) a schemei de amplificare (vezi paragraful 2.6).

In figura 2.22 se prezintă schema unuia dintre cele mai populare și respectiv, utilizate amplificatoare operaționale integrate și anume amplificatorul



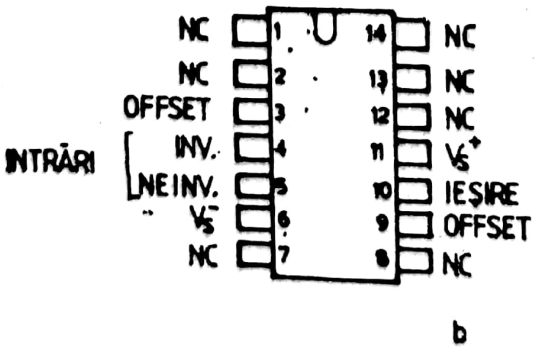


Fig. 2.22

μA 741 (Fairchild, 1966). Etajul de intrare este realizat cu tranzistorii T_1 și T_2 care lucrează ca repetoare pe emitor fapt care determină obținerea unei rezistențe mari de intrare și a unei valori mici a curentului de polarizare al intrărilor. Tranzistorii T_1 și T_2 comandă, în emitoare, perechea diferențială cu tranzistorii $p-n-p$, T_3 și T_4, care realizează și deplasarea nivelului de curent continuu (colectorii lor sînt la un potențial foarte aproape de acel al sursei $-E_1$).

Amplificatoarele operaționale integrate au, de regulă, intrarea diferențială (simetrică) și ieșirea nesimetrică (simplă).

Etajul de intrare realizează totodată trecerea de la intrarea diferențială (simetrică) la o ieșire simplă (nesimetrică), folosind în acest scop un circuit cu sarcină activă format de tranzistorii T_5 și T_6.

Etajul de amplificare intermediară este format de tranzistorii T_{16} (ca repetor pe emitor) și T_{17} (în conexiune EC), care realizează un cîștig în tensiune foarte mare. Tranzistorul T_{16} are drept sarcină activă tranzistorul T_{13B} care este un tranzistor $p-n-p$. Tranzistorul T_{19} constituie de asemenea un repetor pe emitor care previne încărcarea ieșirii etajului de cîștig mare (T_{16}, T_{17}) de către etajul de ieșire [43].

Etajul de ieșire este realizat cu tranzistorii complementari T_{14} și T_{20} lucrînd în clasă AB în conexiune CC. Tranzistorii T_{10} și T_{11} formează o sursă de curent tip Widlar, iar tranzistorii T_8 și T_9 o altă sursă simplă de curent („oglindă" de curent).

Spre deosebire de AO precedente (de exemplu μA 709) care au borne (terminale) de acces pentru compensarea frecvenței și defazajului, AO de tipul μA 741, precum și alte amplificatoare operaționale de tipuri mai recente sînt compensate cu frecvența intern, prin construcție, avînd, în acest scop, unele circuite și componente interne suplimentare (condensator de 30 pF pe cip, fig. 2.22). Asemenea AO de tipul μA 741 sînt fabricate și în țara noastră la I.P.R.S.—Băneasa sub codul β-741 în mai multe variante (Tabel 2.1). În tabelul 2.1 mai sînt redate și alte tipuri de circuite integrate analogice de abricație românească cum sînt AO de mare viteză ROB—115, amplificatorul de joasă frecvență ROB-151, stabilizator de tensiune ROB 723 etc.

Tabelul 2.1

Circuite integrate liniare, românești

Denumirea, funcția	Tipul	Amplif. în buclă deschisă	Amplif. în tensiune	Puterea ieșire, W	Frecvența de tăiere, MHz
1	2	3	4	5	6
Radioreceptor MA/MF	TBA 570A TBA 570C				
Amplificator audio de putere	TBA 790 TBA 790T		49 db	1	
Amplificator de frecvență intermediară	TDA 440N TDA 440P				8,0 (bandă trecere)
Amplificator audio de putere	TCA 150K TCA 150T		49 db	5	

Tabelul 2.1 (continuare)

1	2	3	4	5	6
Decodor pentru semnalul multiplex stereo	βA 758				
Stabilizator de tensiune	βA 723C				
Amplificator operațional	βA 741 βA 741 J βA 741 H βA 741 N	$2 \cdot 10^5$			1,0
Circuit de comandă în fază	βAA 145				
Circuit cu calare pe fază	βE 565				0,5 (pentru OCT)
Amplificator operațional Norton cuadruplu	βM 3900 A βM 3900 B		2800		2,5
Temporizator	βE 555				
Preamplificator dual de zgomot mic	βM 381/381A		160 000		
Bloc de frecvență intermediară MF, Hi—Fi	βM 3189				
Dublu etaj diferențial	βA 3054				
Convertor digital-analog de 8 biți	DAC 09				
Arie termostatată de tranzistoare	βA 726				30 (frecvența de tăiere)

În tabelul 2.2 sînt menționate cîteva din numeroasele tipuri de circuite integrate analogice fabricate de principalele firme străine. Descrierea și analiza diferitelor tipuri de circuite integrate analogice (românești sau străine) se găsesc în cataloagele sau manualele de utilizare care conțin date de catalog referitoare la respectivele circuite (pentru cele românești a se consulta [10, 11, 53, 54]).

Tabelul 2.2

Circuite integrate liniare, firme străine

Denumirea, funcția	Tipul	Amplif. în tensiune K_u, V/mV	Puterea ieșire, W	Frecvența de tăiere MHz
1	2	3	4	5
Amplificator operațional	μA 709	45		5,0
Amplificator operațional	μA 741	50 — 200		1,0
Amplificator operațional	LM 101A	50...100		1,10
Amplificator operațional	140 YD2 (URSS)	35		2,0
Amplificator operațional	153 YD1 (URSS)	20		1,0
Amplificator operațional de precizie	μA 725	$3 \cdot 10^3$		0,5
Amplificator operațional de precizie	LM 108 (superbeta)	300		1,0

Scanned with OKEN Scanner

Tabelul 2.2 (continuare)

1	2	3	4	5
Amplificator operațional de precizie	LM 118	200		15,0
Amplificator operațional de viteză mare, în construcție hibridă (cu straturi subțiri)	LH 0024	60		70,0
Amplificator operațional	M 5133 P (Mitsubishi)	84 db		
Amplificator audio	M 5115 P (Mitsubishi)	60 db	2,0	
Amplificator operațional cu tranzistori MOS	CA 3130			4,0
Amplificator operațional	μA 776	50		0,2
Amplificator operațional de uz industrial	μA 777	25		1,0
Comparatoare: μA 710; μA 711; LM 106; SE 527				

2.5. Amplificatoare operaționale cu reacție. Analiză generală

2.5.1. Funcția de transfer pentru amplificatoare operaționale cu reacție

Analiza generală și calculul circuitelor practice cu *AO* se fac pe baza amplificatorului operațional ideal care este caracterizat prin următoarele proprietăți:

— Amplificare A_0 în buclă deschisă (fără reacție), infinită ($A_0 \to \infty$);
— Impedanță de intrare infinit de mare ($Z_i \to \infty$);
— Impedanță nulă de ieșire ($Z_{ies} \to 0$);
— Factor de rejecție pe mod comun infinit de mare, adică $FRMC \to \infty$;
— Tensiune nulă de decalaj;
— Curenți nuli de decalaj;
— Bandă de trecere (de frecvență) infinită;
— Timp de răspuns infinit de mic ($t \to 0$).

Un asemenea amplificator operațional ideal este reprezentat sub forma unui triunghi (ca orice amplificator) în interiorul căruia nu există alte simboluri decît notațiile de polaritate pentru intrări (fig. 2.23).

Este dificil de obținut un *AO* avînd toate caracteristicile cît mai aproape de un *AO* ideal; acest lucru nu este neapărat necesar, în practică fiind suficient să se realizeze performanțe foarte bune („ideale") doar pentru unii parametrii în funcție de destinația lor: amplificare mare sau bandă largă de frecvențe, putere mică (μA 741) sau mare (μA 791), de mare viteză sau stabilizator de tensiune (μA 723) etc.

Revenind la *AO* ideal (fig. 2.23,*a*) întrucît conform definiției $A_0 \to \infty$, din relația (v. și 2.1.7,*a*)

$$v_0 = v_{ies} = A_0(e_{g_1} - e_{g_2}) = A_0 e_n \qquad 2.5.1$$

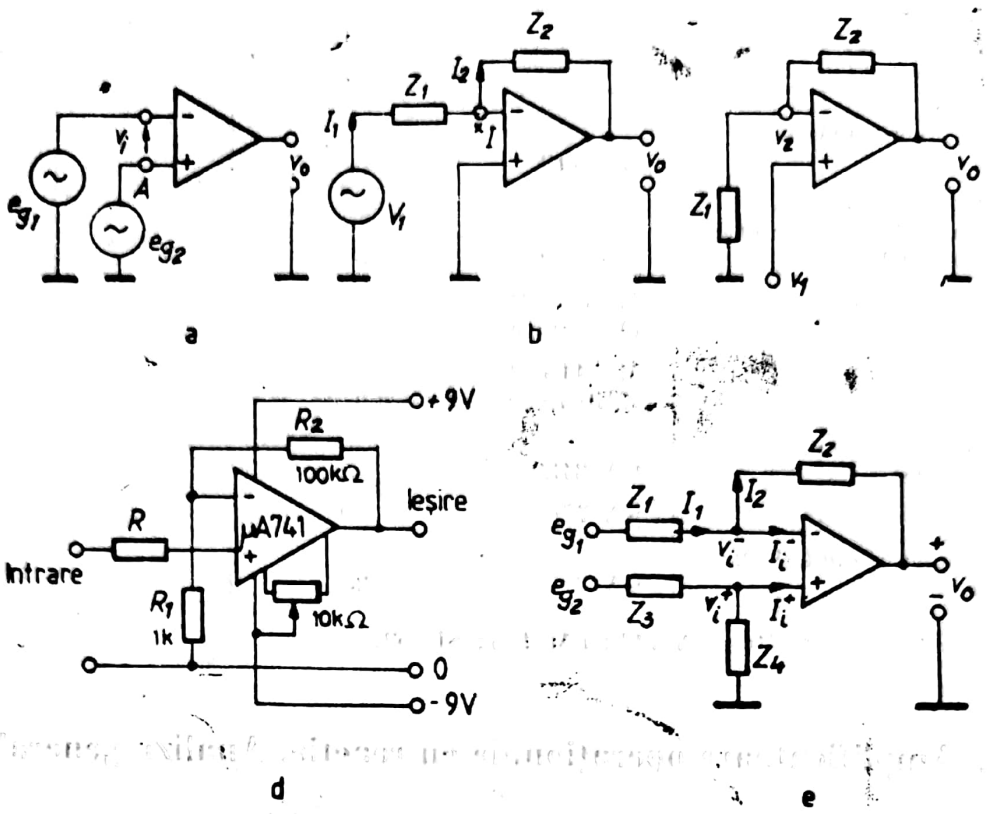


Fig. 2.23

rezultă că $e_n \to 0$; deci punctul A se află la un potenţial practic nul, numindu-se şi **punct de masă virtuală** (fig. 2.23,*a*).

De obicei amplificatoarele operaţionale se utilizează cu reacţie negativă (mai rar cu reacţie pozitivă). În acest caz amplificarea *AO* scade (cazul reacţiei negative), dar stabilitatea, lărgimea benzii de trecere şi imunitatea la semnale parazite etc., se îmbunătăţesc considerabil.

În cazul unui *AO* inversor cu reacţie negativă (fig. 2.23,*b*), întrucît $A_0 \to \infty$ (căci este *AO* ideal), rezultă că impedanţa de intrare $Z_i \to \infty$ (v. şi definiţia) deci curentul de intrare $I \to 0$. Aplicînd punctului x (la intrare) legea I-a a lui Kirchhoff se obţine

$$I_1 + I_2 \simeq 0. \qquad 2.5.2$$

sau $I_2 \approx -I_1$.

Cum

$$I_1 = \frac{V_{int}}{Z_1} \text{ şi } I_2 = \frac{V_{ieş}}{Z_2} \qquad 2.5.3$$

rezultă

$$\frac{V_{int}}{Z_1} = -\frac{V_{ieş}}{Z_2} \qquad 2.5.4$$

unde $V_{int} = v_i$ şi $V_{ieş} = v_0$.

De aici rezultă funcţia (caracteristica) de transfer pentru *AO* în montaj inversor, cu reacţie

$$\mathcal{H}(s)_{inv} = \frac{V_{ieş}}{V_{int}} = \frac{v_0}{v_i} = -\frac{Z_2}{Z_1} \qquad 2.5.5$$

unde mărimile au fost luate în complex ($s = j\omega$).

Scanned with OKEN Scanner

Dacă impedanţele Z_1 şi Z_2 se reduc la rezistenţe pure atunci funcţia de transfer coincide (ca valoare) cu **amplificarea în tensiune în buclă închisă** (cu reacţie!) pentru montaj inversor

$$A_{v_{inv}} = -\frac{R_2}{R_1} \,. \qquad 2.5.6$$

În cazul *AO* neinversor, tensiunea de intrare $V_{int} = v_i^+$ se aplică la borna neinversoare, iar reacţia (negativă) la cealaltă intrare (fig. 2.23,*c*). Tensiunea de reacţie este dată de

$$v_r = IZ_1 = \frac{V_{ieş}}{Z_1 + Z_2} Z_1 = F_{rN} V_{ieş} = v_i^- \,. \qquad 2.5.7$$

Atunci din relaţia 2.1.7,a (v. şi 2.5.1)

$$v_0 = V_{ieş} = A_0(v_i^+ - v_i^-). \qquad 2.5.8$$

Prin înlocuirea lui $v_i^+ = V_{int}$ şi $V_i^- = v_r$, se obţine

$$V_{ieş} = A_0 \left(V_{int} - V_{ieş} \frac{Z_1}{Z_1 + Z_2} \right) . \qquad 2.5.9$$

Dînd factor pe A_0 rezultă

$$A_0 V_{ieş} \left(\frac{1}{A_0} + \frac{Z_1}{Z_1 + Z_2} \right) = A_0 V_{int}. \qquad 2.5.10$$

Cum pentru *AO* în buclă deschisă $A_0 \to \infty$, relaţia 2.5.10 devine

$$V_{ieş} = V_{int} \left(\frac{Z_1 + Z_2}{Z_1} \right) = V_{int} \left(1 + \frac{Z_2}{Z_1} \right) . \qquad 2.5.11$$

Funcţia de transfer pentru circuitul neinversor va fi deci

$$\mathcal{H}(s)_{neinv} = \frac{V_{ieş}}{V_{int}} = 1 + \frac{Z_2}{Z_1} \,. \qquad 2.5.12$$

Ea coincide cu amplificarea în buclă închisă pentru acest circuit

$$A_{neinv} = 1 + \frac{R_2}{R_1} \qquad 2.5.13$$

dacă în locul impedanţelor se aleg rezistenţe pure.

Din 2.5.13 se vede că se poate fixa o valoare pentru amplificare A_{neinv} (sau A_{inv}) alegînd în mod corespunzător valorile pentru R_2 şi R_1. În cazul figurii 2.23,*d* unde se dă o schemă practică pentru *AO* de larg consum

Scanned with OKEN Scanner

(μA 741) amplificarea în buclă închisă (cu reacție) va fi (conform cu 2.5.13)

$$A_{netav} = \frac{R_1 + R_2}{R_1} = \frac{100 \cdot 10^3 + 10^3}{10^3} = 101. \qquad 2.5.14$$

În figura 2.23,*e* este reprezentat montajul diferențial pentru *AO* cu reacție negativă. Aplicînd prima lege a lui Kirchhoff bornei inversoare a *AO* se obține (fig. 2.23,*e*)

$$I_i^- = I_1 + I_2 \simeq 0 \qquad 2.5.15$$

căci s-a considerat *AO* ideal.

Relația se poate scrie (explicitînd curenții) sub forma

$$\frac{e_{g_1} - v_i^-}{Z_1} + \frac{v_0 - v_i^-}{Z_2} = 0. \qquad 2.5.16$$

De aici

$$v_0 = v_i^- \left(1 + \frac{Z_2}{Z_1}\right) - e_{g_1} \frac{Z_2}{Z_1}. \qquad 2.5.17$$

Tensiunea v_i^- se exprimă mai dificil în funcție de e_{g_1} din cauză că intervin și termenii legați de bucla de reacție. Cum pentru *AO* ideal $e_a \simeq 0$, adică $v_i^- = v_i^+$, iar

$$v_i^+ = I_i^+ Z_4 = \frac{e_{g_2}}{Z_3 + Z_4} Z_4 = v_i^-, \qquad 2.5.18$$

ecuația 2.5.17 se poate pune sub forma

$$v_0 = e_{g_2}\left(1 + \frac{Z_2}{Z_1}\right)\frac{Z_4}{Z_3 + Z_4} - e_{g_1}\frac{Z_2}{Z_1}. \qquad 2.5.19$$

Dacă se aleg impedanțele astfel încît

$$\frac{Z_1}{Z_2} = \frac{Z_3}{Z_4} \qquad 2.5.20$$

se obține

$$v_0 = e_{g_2}\left(1 + \frac{Z_2}{Z_1}\right)\frac{\frac{Z_4}{Z_3}}{1 + \frac{Z_4}{Z_3}} - e_{g_1}\frac{Z_2}{Z_1} = \frac{Z_2}{Z_1}(e_{g_2} - e_{g_1}) \qquad 2.5.21$$

sau

$$v_0 = (e_{g_2} - e_{g_1})\frac{Z_2}{Z_1} = v_{id}\frac{Z_2}{Z_1}. \qquad 2.5.22$$

Funcția de transfer pentru acest montaj diferențial va fi deci

$$\mathcal{H}(s)_{dif} = \frac{v_0}{v_{id}} = \frac{Z_2}{Z_1}. \qquad 2.5.23$$

Scanned with OKEN Scanner

Pentru rezistenţe pure se obţine amplificarea în buclă deschisă în montaj diferenţial

$$A_{v_{dif}} = \frac{R_2}{R_1}. \qquad 2.5.24$$

2.5.2. Calculul impedanţelor de intrare şi de ieşire ale *AO* integrate

După cum s-a arătat mai înainte, pentru un *AO* ideal în montaj inversor (fig. 2.23,*b*) întrucît potenţialul punctului x este nul („punct de masă virtuală"), impedanţa de intrare a *AO* în acest montaj va fi determinată de impedanţa Z_1, adică (v. fig. 2.23,*b*)

$$Z_{int}(s) = \frac{v_i(s) - 0}{I_1(s)} = Z_1(s); \quad s = j\omega. \qquad 2.5.25$$

Impedanţa de ieşire a *AO* ideal este egală cu zero (neglijabil de mică).

Pentru montajul neinversor (fig. 2.23,*c*), pentru *AO* ideal, la bornele impedanţei Z_1 (la borne inversoare) acţionează tensiunea de reacţie

$$v_r = v_i^- = v_0 \frac{Z_1}{Z_2 + Z_1}, \qquad 2.5.26$$

Curentul de intrare (în montaj neinversor) va fi deci (v. fig. 2.23,*c*)

$$I_i(s) = \frac{v_i^+(s) - v_r(s)}{Z_{id}} \qquad 2.5.27$$

în care Z_{id} reprezintă impedanţa diferenţială de intrare a *AO* propriu zis. (Se ia Z_{id} căci avem tensiuni de intrare la ambele intrări, datorită reacţiei) Înlocuind pe v_r relaţia 2.5.27 devine

$$I_i(s) = \frac{v_i - v_0 \dfrac{Z_1}{Z_1 + Z_2}}{Z_{id}}. \qquad 2.5.28$$

Pe de altă parte din definiţia amplificării pentru un *AO* tensiunea de ieşire se poate exprima sub forma

$$v_0 = A v_{int} = A Z_{id} I_i. \qquad 2.5.29$$

Înlocuind în 2.5.28, după unele transformări, se obţine:

$$Z_{id} I_i(s) = v_i - A Z_{id} I_i \frac{Z_1}{Z_1 + Z_2}; \qquad 2.5.30$$

$$I_i Z_{id} \left(1 + A \frac{Z_1}{Z_1 + Z_2}\right) = v_i; \qquad 2.5.31$$

Scanned with OKEN Scanner

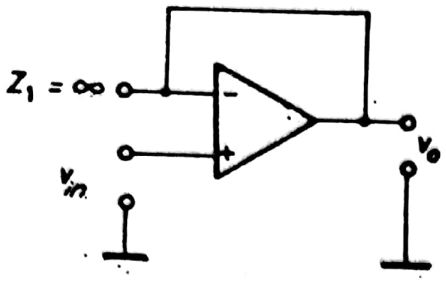


Fig. 2.24

$$Z_i = \frac{v_i}{I_i} = Z_{id}\left(1 + A\frac{Z_1}{Z_1 + Z_2}\right); \qquad 2.5.32$$

$$Z_i(s) = Z_{id}A\left(\frac{1}{A} + \frac{Z_1}{Z_1 + Z_2}\right) \simeq \frac{A \cdot Z_{id}}{1 + \frac{Z_2}{Z_1}} \qquad 2.5.33$$

întrucît se consideră $A \to \infty$.

În cazul particular, cînd $Z_1 \to \infty$ și $Z_2 = 0$ (fig. 2.24) se obține montajul repetor (fără inversare), adică (v. 2.5.12)

$$v_0 = v_i. \qquad 2.5.34$$

Pentru acest montaj (inversor) din 2.5.33 rezultă că impedanța de intrare Z_i este de A ori mai mare decît Z_{id}, adică

$$Z_i(s) = A(s) \cdot Z_{id}(s). \qquad 2.5.35$$

În realitate nu se pot obține valori atît de mari pentru impedanța de intrare deoarece în paralel cu această impedanță există întotdeauna (la intrare) **rezistența de mod comun**, o caracteristică constructivă a *AO* respectiv care este, în general, cu pînă la un ordin de mărime mai mică decît impedanța de intrare diferențială (v. subparagraful următor).

2.5.3. Abateri de la modelul ideal în *AO* reale

Analiza simplificată a amplificatoarelor operaționale prezentată în paragrafele precedente a fost efectuată pe baza conceptului de *AO* ideal ale cărui caracteristici au fost prezentate la începutul subparagrafului 2.5.1. În aplicațiile practice ale circuitelor integrate analogice trebuie să se țină seama de erorile care pot fi introduse în relațiile de calcul de abaterile de la modelul ideal care se întîlnesc la *AO* reale. Uneori aceste corecții sînt foarte mici, dar în anumite cazuri speciale (aparatură de măsură de precizie, controlul automat etc.) ele pot avea influențe de o importanță considerabilă.

Cauzele cele mai importante ale erorilor care pot afecta *AO* reale sînt următoarele:

1) Amplificarea în gol a oricărui *AO* real ia valori foarte mari, dar finite; aceasta implică $e_n \neq 0$, deci apariția unei tensiuni la intrare (în punctul de „masă virtuală");

2) Impedanțele de intrare Z_i și ieșire Z_e au valori finite (respectiv nenule) și într-o anumită măsură neliniare; în figura 2.25 sînt ilustrate elementele caracteristice *AO* real (triunghiul mare) care constituie abateri de la *AO* ideal, reprezentat printr-un triunghi mic, în interior;

3) *AO* reale generează întotdeauna semnale nedorite care acționează asupra intrărilor și anume tensiunea și curenții de offset (de decalaj). Acestea fac să apară un semnal la ieșire (de curent continuu), chiar cînd asupra intrării nu este aplicat nici un semnal extern. Offsetul poate fi compensat din polarizări numai pentru un set unic de condiții, schimbarea acestora reclamînd un nou reglaj al zeroului. În figura 2.25 semnale de offset sînt V_{OB}

Scanned with OKEN Scanner

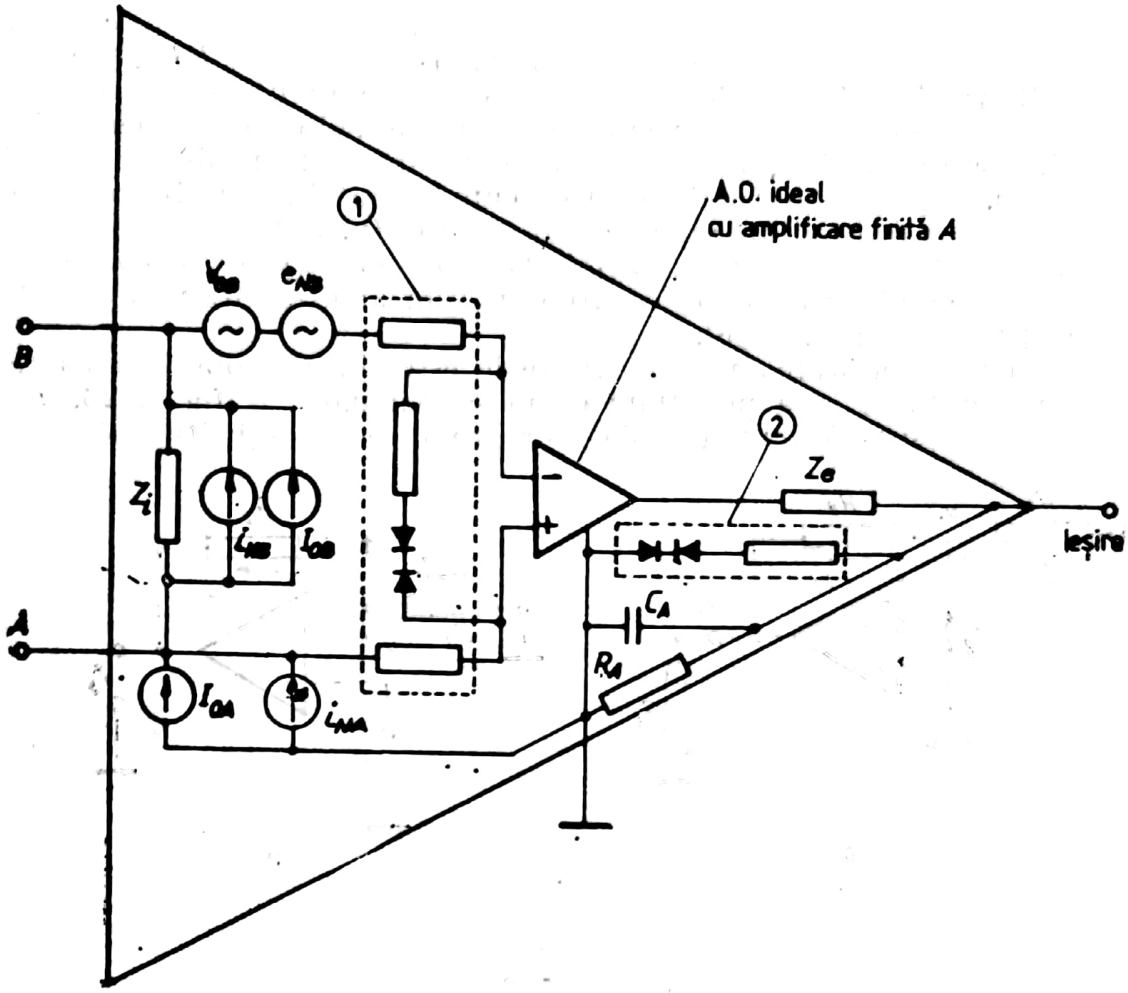


Fig. 2.25

(tensiunea numai la una din intrări) și I_{OA} și I_{OB} date de generatoarele interne respective.

Offsetul se modifică cu temperatura (fenomenul de „drift"); efectul este inclus în schema din figura 2.25 tot în V_{OB}.

4) *AO* real are un răspuns neideal cu frecvența al amplificării și fazei. Asupra acestor două caracteristici mai acționează și temperatura, tensiunea de alimentare, îmbătrînirea elementelor electronice etc. Influența lor este redată în schemă prin rezistența variabilă R_A, iar influența cea mai importantă, a frecvenței, este foarte simplificat reprezentată de capacitatea C_A.

5) Zgomotul general inerent generat de toate componentele electronice pasive și active avînd o structură și o tratare matematică complexă [43]. Driftul constituie componenta cu cea mai joasă frecvență din spectrul zgomotului. Celelalte mărimi de zgomot sînt indicate în schema *AO* real din figura 2.25 (e_{NB}, i_{NA} și i_{NB} și generatoarele respective).

6) Atît la intrare cît și la ieșire există neliniarități și limitări. În schema din figura 2.25 ele sînt reprezentate prin circuitele ① și ②.

7) Există erori de mod comun (valoare finită pentru *FRMC*).

Pentru o oarecare sistematizare abaterile de la cazul ideal se pot împărți în următoarele grupe:

a) Valoare finită a amplificării în buclă deschisă și influența acestui fapt asupra parametrilor amplificatorului operațional (Z_{int}, $Z_{ieș}$ etc.);

b) Erori produse de nesimetria *AO* la intrare, așa numitele **erori statice** (prezența tensiunii și curenților de offset, valoarea finită a *FRMC*);

c) **Erori dinamice** (limitarea în frecvență a amplificării) și de zgomot.

În continuare vor fi succint analizate principalele influențe date de *AO* real, analiza pe larg a acestora fiind făcută în lucrările de specialitate [43—46, 49, 55]. Caracteristicile de frecvență și stabilitatea *AO* reale (erorile dinamice) vor fi tratate într-un paragraf separat (v. § 2.6).

2.5.3.1 Valoarea finită a coeficientului de amplificare în tensiune $A' \neq \neq \infty$. Spre exemplificare, în cele ce urmează vom analiza *AO* real cu $A' \neq \infty$, în montaj inversor (fig. 2.26).

Întrucît amplificarea pentru *AO* reale este finită (notată în continuare prin *A'*), tensiunea v_1 a punctului de masă virtuală *x* (fig. 2.26, *a*) va fi diferită de zero și la fel curentul de ieșire va fi nenul deși *AO* debitează pe o

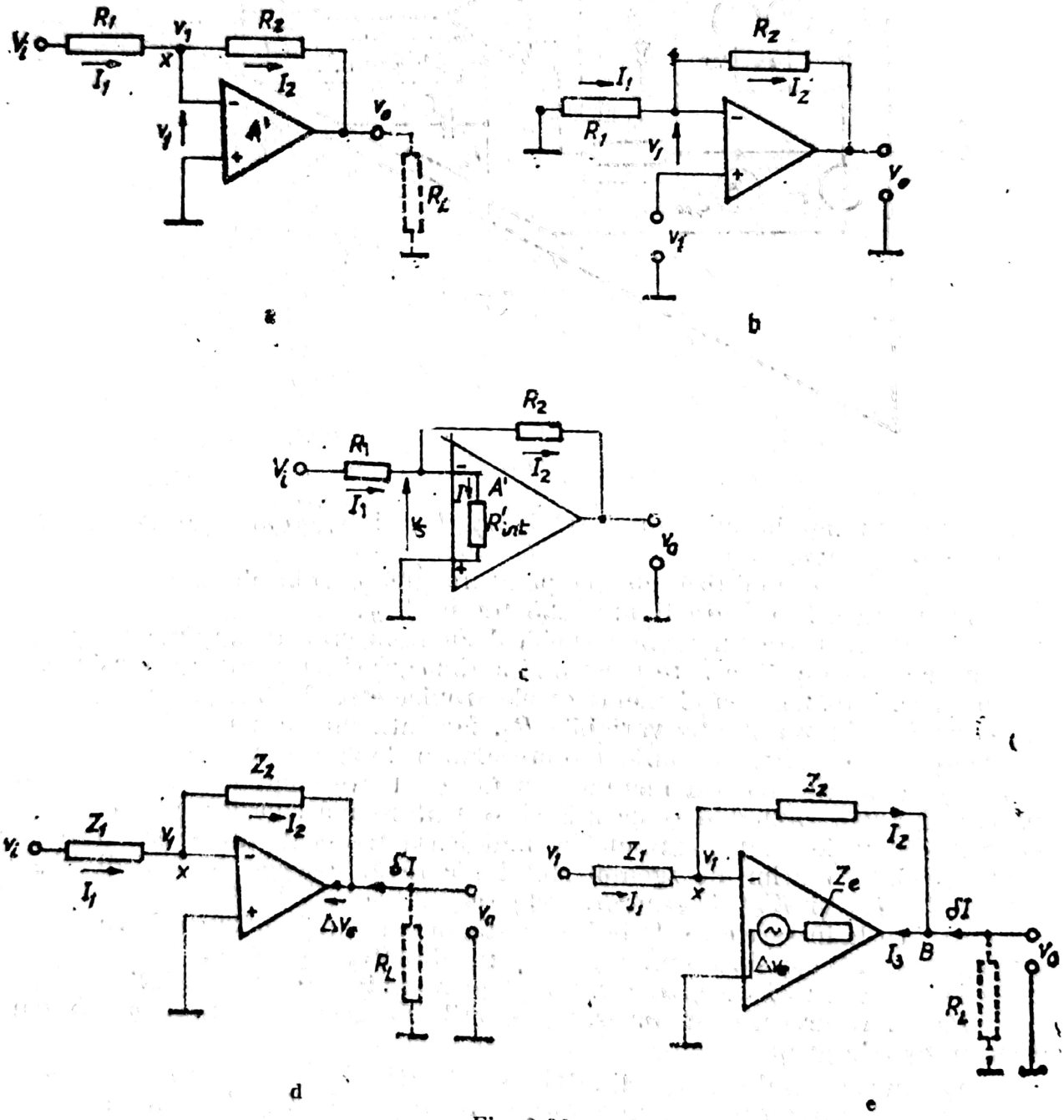


Fig. 2.26

sarcină R_L practic infinit de mare (sarcina R_L deconectată!) (fig. 2.26, *a*); ca urmare din 2.5.1 pentru $A' \neq \infty$, rezultă pentru v_1.

$$v_1 = -\frac{v_0}{A'} \cdot \qquad 2.5.36$$

Pentru curenţii $I_1 = I_2$ care trec prin rezistenţele R_1 şi R_2 se obţin relaţiile :

$$I_1 = I_2 = \frac{V_i - v_1}{R_1} = \frac{v_1 - v_0}{R_2} \cdot \qquad 2.5.37$$

Din relaţiile 2.5.36; 2.5.37 rezultă pentru funcţia de transfer (amplificarea în tensiune) expresia

$$A_{v_{inv}} = \frac{V_{ieş}}{V_{int}} = \frac{v_0}{V_i} = -\frac{R_2}{R_1} \cdot \frac{1}{\left[1 + \frac{R_1 + R_2}{A' R_1}\right]} \qquad 2.5.38$$

sau

$$A_{v_{inv}} = -\frac{R_2}{R_1} \cdot \frac{1}{1 + \frac{1}{A'A''}} \qquad 2.5.39$$

în care

$$A'' = \frac{1}{1 + R_2/R_1} \cdot \qquad 2.5.40$$

Dezvoltînd cel de al doilea factor din 2.5.39 în seria binomială

$$A_v = -\frac{R_2}{R_1}\left[1 - \frac{1}{A'A''} + \left(\frac{1}{A'A''}\right)^2 - \dots\right] \qquad 2.5.41$$

şi oprindu-ne, pentru $A'A'' \gg 1$, numai la primii doi termeni rezultă

$$A_{v_{inv}} \approx -\frac{R_2}{R_1} \cdot \left[1 - \frac{1}{A'A''}\right] \cdot \qquad 2.5.42$$

În mod analog pentru montajul neinversor al *AO* real (fig. 2.26,*b*) avem în cazul unei amplificări finite; A'

$$v_1 = \frac{v_0}{A'}, \qquad 2.5.43$$

iar tensiunea de la intrarea inversoare va fi (v. şi 2.5.7)

$$v_i^- = v_r + v_k = \frac{v_0}{R_1 + R_2} R_1 + \frac{v_0}{A'} \cdot \qquad 2.5.44$$

Scanned with OKEN Scanner

Cum $v_i^+ = V_i$, se poate scrie (v. 2.5.1 și 2.5.9)

$$v_0 = A_0\left(V_i - \frac{v_0 R_1}{R_1 + R_2} - \frac{v_0}{A'}\right). \qquad 2.5.45$$

Rezultă în final

$$A_v = \frac{v_0}{V_i} = \frac{1 + R_2/R_1}{1 + \dfrac{1}{A'A''}}; \quad A'' = \frac{1}{1 + R_2/R_1}. \qquad 2.5.46$$

Cum $A'A'' \gg 1$, dezvoltînd în serie binomială se obține

$$A_{v_{neinv}} \approx \left(1 + \frac{R_2}{R_1}\right)\left(1 - \frac{1}{A'A''}\right). \qquad 2.5.47$$

Se vede că în ambele cazuri de conectare a *AO* real (inversor și neinversor), se obțin relații similare cu cele pentru *AO* ideal (v. formulele 2.5.5; 2.5.42 și 2.5.13; 2.5.47), ele conținînd în plus factorul de corecție $\left(1 - \dfrac{1}{A'A''}\right)$ care, în funcție de valoarea lui A' și a raportului R_2/R_1, poate avea valori extrem de mici.

2.5.3.2. Impedanțele de intrare și de ieșire ale AO real. Pentru simplitate vom considera din nou, că impedanțele se reduc la rezistențe pure (frecvență foarte joasă sau curent continuu).

În figura 2.26,*c* se reprezintă schema *AO* real cu $A' \neq 0$ și rezistență de intrare $R'_{int} \neq \infty$, în montaj inversor. Aplicînd legea lui Kirchhoff în nodul x avem

$$I_1 = I_2 + I' \qquad 2.5.48$$

în care I' reprezintă curentul prin rezistența de intrare (finită) R'_{int}. Ținînd seama că în punctul x avem tensiunea v_1 (dată de 2.5.36), relația 2.5.38 se scrie ca

$$\frac{V_i - v_1}{R_1} = \frac{v_1 - v_0}{R_2} + \frac{v_1}{R'_{int}}. \qquad 2.5.49$$

Înlocuind în 2.5.49 pe v_1 din 2.5.36, rezultă pentru amplificarea în tensiune

$$A_{v_{inv}} = -\frac{R_2}{R_1}\left[\frac{1}{1 + \dfrac{1}{A'A''}}\right] \qquad 2.5.50$$

în care

$$A'' = \frac{1}{1 + R_2/R_1 + R_2/R'_{int}}. \qquad 2.5.51$$

Pentru $R'_{int} \to \infty$, expresia lui A'' din 2.5.51 devine identică cu 2.5.40; dacă însă $R'_{int} \neq \infty$, A'' devine mai mică, fapt care duce la micșorarea amplificării $A_{v_{inv}}$. Un exemplu este edificator. Dacă $A' = 10^4$, $R_1 = 100\,k\Omega$,

Scanned with OKEN Scanner

$R_2 = 1$ MΩ, pentru $R'_{int} = 1$ MΩ se obține:

$$\frac{1}{A''} = 1 + \frac{R_2}{R_1} + \frac{R_2}{R'_{int}} = 1 + 10 + 1 = 12.$$

Înlocuind în 2.5.50 rezultă

$$A_{v_{inv}} = -10\left(\frac{1}{1 + 12/10^4}\right) = -9{,}988. \qquad 2.5.52$$

Dacă $R'_{int} \to \infty$, atunci $\frac{1}{A''} = 1 + \frac{R_2}{R_1} = 1 + 10 = 11$ și folosind formula 2.5.42, se obține

$$A_{v_{inv}} = -10\left(1 - \frac{11}{10^4}\right) = -9{,}989. \qquad 2.5.53$$

Comparînd 2.5.53 cu 2.5.52 se vede că prezența lui R'_{int} $(= Z_{int})$ la *AO* real, are o slabă influență asupra amplificării (la a treia zecimală cel mult).

Pentru calculul impedanței de ieșire a *AO* real se va ține seama de faptul că întrucît $A_v \neq \infty$, tensiunea v_1 a punctului de masă virtuală x va fi diferită de zero și la fel curentul de ieșire va fi nenul deși *AO* debitează pe o sarcină R_L practic infinit de mare (fig. 2.26,*d*); ca urmare, la ieșirea *AO* real vom avea variația de tensiune Δv_e datorită curentului, δI care trece prin impedanța nenulă de ieșire Z_e (fig. 2.26, *d*, *e*). Astfel *AO* se poate considera a fi echivalent cu un generator intern de tensiune Δv_e, cu o impedanță internă Z_e, determinată de caracteristicile constructive ale tipului respectiv de circuit integrat, plasate în triunghiul care simbolizează *AO* (fig. 2.26,*e*).

Curentul de ieșire I_3 va fi dat de (v. fig. 2.26, *e*)

$$I_3 = \frac{v_0 - \Delta v_e}{Z_e}. \qquad 2.5.54$$

Vom calcula acest curent în două situații și anume: $R_L = \infty$ și $R_L \neq \infty$, rezultînd valorile $I_3^{(1)}$ și $I_3^{(2)}$ ale curentului.

a) $R_L = \infty$, cînd *AO* debitează pe o sarcină infinită (adică nu se cuplează vreo sarcină deci nu există curent δI de ieșire). În acest caz

$$I_1 = I_2 = I_3 \,(= I_3^{(1)}) \qquad 2.5.55$$

cu $I_3^{(1)}$ dat de 2.5.54 și

$$\Delta v_e = -A v_1. \qquad 2.5.56$$

Cum

$$v_1 = IZ_1 = \frac{v_0}{Z_2 + Z_1} Z_1, \qquad 2.5.57$$

prin înlocuire în 2.5.56 și apoi în 2.5.54 rezultă

$$I_3^{(1)} = \frac{v_0\left(1 + A\dfrac{Z_1}{Z_1 + Z_2}\right)}{Z_e}. \qquad 2.5.58$$

De aici se găsește v_0, notat în continuare cu $v_0^{(1)}$ (cînd nu se conectează R_L, adică AO debitează în gol)

$$v_0^{(1)} = I_3^{(1)} \cdot \frac{Z_e}{1 + A\dfrac{Z_1}{Z_1 + Z_2}}. \qquad 2.5.59$$

b) Pentru o sarcină $R_L \neq \infty$, dar finită, care absoarbe un curent $\delta I \neq 0$, se poate scrie (analog cu 2.5.59)

$$v_0^{(2)} = I_3^{(2)} \frac{Z_e}{1 + A\dfrac{Z_1}{Z_1 + Z_2}}. \qquad 2.5.60$$

De data aceasta, întrucît $R_L \neq 0\,;\ \infty$, avem un curent δI astfel încît în punctul A (fig. 2.26, *e*) există relația (Legea I-a Kirchhoff)

$$I_2 = \delta I + I_3, \quad (\text{cu } I_3^{(2)} = I_3). \qquad 2.5.61$$

Cum $I_2 = I_3^{(1)}$ (v. din 2.5.55) se obține din 2.5.61

$$\delta I = I_3^{(1)} - I_3^{(2)} \qquad 2.5.62$$

În mod corespunzător va avea loc o variație a tensiunii de ieșire (pentru cele două situații menționate) adică

$$\delta V = v_0^{(1)} - v_0^{(2)} = [I_3^{(1)} - I_3^{(2)}]\left[\frac{Z_e}{1 + A\dfrac{Z_1}{Z_1 + Z_2}}\right]. \qquad 2.5.63$$

Impedanța de ieșire Z_e pentru montajul cu reacție considerat (inversor) va fi determinată de raportul

$$Z_e' = \frac{\delta v}{\delta I} = \frac{Z_e}{1 + A\dfrac{Z_1}{Z_1 + Z_2}}. \qquad 2.5.64$$

Pentru cazul limită, $Z_1 \to \infty$ și $Z_2 = 0$ (amplificator repetor) se obține

$$Z_e'(s) = \frac{Z_e(s)}{A}\ ;\quad s = j\omega. \qquad 2.5.65$$

Se vede că pentru AO cu A finit (dar mare), se obțin impedanțe de ieșire extrem de mici (v. rel. 2.5.64 ; 2.5.65).

Scanned with OKEN Scanner

2.5.3.3. Erori produse de nesimetria AO la intrare. După cum s-a mai menţionat, *AO* reale prezintă o tensiune de ieşire $v_0 \neq 0$, în absenţa oricăror semnale aplicate la intrare, datorită tensiunii şi curenţilor de offset (decalaj) prezenţi la intrările diferenţiale ca urmare a nesimetriei (ideale) a circuitului. Curenţii de decalaj provin de la neechilibrarea curenţilor de polarizare care se suprapun peste curenţii diferenţiali aplicaţi la intrare. Aceste influenţe — care constituie deriva de zero a *AO* real, — sînt reprezentate în figura 2.27,*a* prin tensiunea de decalaj V_{OB} (la o singură intrare) şi curenţii de dcalaj I_{OA} şi I_{OB}, care se aplică la intrările *AO* ideal (reprezentat în figură prin triunghiul mic).

În vederea compensării erorilor de decalaj, la *AO* reale cu reacţie (fig. 2.27,*a*, montaj inversor) se adaugă unele elemente pasive (sau active) pe cealaltă intrare. În cazul figurii 2.27,*a*, la intrarea neinversoare se adaugă o rezistenţă R_2 (uneori şi o capacitate în paralel, dacă se lucrează la frecvenţe mari), a cărei valoare se calculează după cum urmează.

Aplicînd legea lui Kirchhoff pentru circuitul R_1, R_3, v_0, avem

$$(I_{OB} + I_3) R_1 + I_3 R_3 = v_0. \qquad 2.5.66$$

La fel pentru circuitul R_1, R_2, V_{OB} avem

$$(I_{OB} + I_3) R_1 = I_{OA} R_2 + V_{OB}. \qquad 2.5.67$$

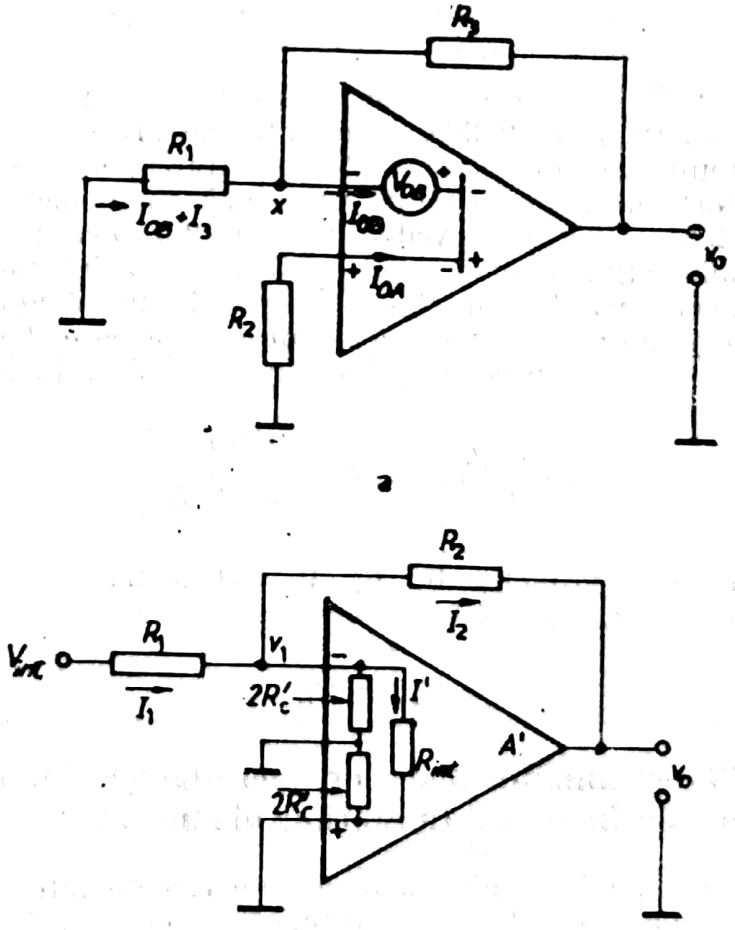


Fig. 2.27

Eliminînd pe I_3 se obţine pentru tensiunea de ieşire v_0

$$v_0 = V_{OB}\left(1 + \frac{R_3}{R_1}\right) + I_{OA} R_2 \left(1 + \frac{R_3}{R_1}\right) - I_{OB} R_3 . \qquad 2.5.68$$

De obicei diferenţele între cei doi curenţi de decalaj sînt mici, adică $I_{OA} \simeq I_{OB}$. Pentru a reduce la minim dependenţa lui v_0 de curenţii şi tensiunea de decalaj se alege valoarea lui R_2 astfel încît

$$R_2 (1 + R_3/R_1) = R_3 \qquad 2.5.69$$

sau

$$R_2 = \frac{R_1 R_3}{R_1 + R_3} = R_1 || R_3 . \qquad 2.5.70$$

În acest caz relaţia 2.5.68 capătă valoarea minimă

$$v_0 = \frac{V_0}{A''} + I_0 R_3 \qquad 2.5.71$$

unde

$$I_0 = I_{OA} - I_{OB} \text{ şi } A'' = \frac{1}{1 + R_3/R_1} . \qquad 2.5.72$$

În figura 2.27,*b* se prezintă schema *AO* real (cu $A' \neq \infty$) cu rezistenţa de intrare $R'_{int} = \infty$ (v. şi fig. 2.26,*c*) între intrările inversoare şi neinversoare, precum şi rezistenţa de mod comun R'_C de intrare pentru cele două intrări în paralel în raport cu masa (în figură cele două componente de mod comun se notează prin $2R'_c$ şi $2R'_c$). Se vede din figura 2.27,*b* că una din rezistenţele $2R'_c$ (în cazul montajului inversor, cea de la intrarea inversoare) este scurtcircuitată prin masă, astfel încît R'_{int} este scurtcircuitată numai de jumătate ($2R'_c$) din rezistenţa de intrare pe mod comun, fapt care duce la micşorarea apreciabilă a rezistenţei (impedanţei) de intrare şi valoarea acesteia este dată de

$$R''_{int} = 2R'_c || R'_{int} = \frac{2R'_c R'_{int}}{2R'_c + R'_{int}} . \qquad 2.5.73$$

Pentru a micşora influenţa lui R'_c, în *AO* de înaltă calitate se îndeplineşte condiţia $R'_c \gg R'_{int}$, astfel încît rezultă

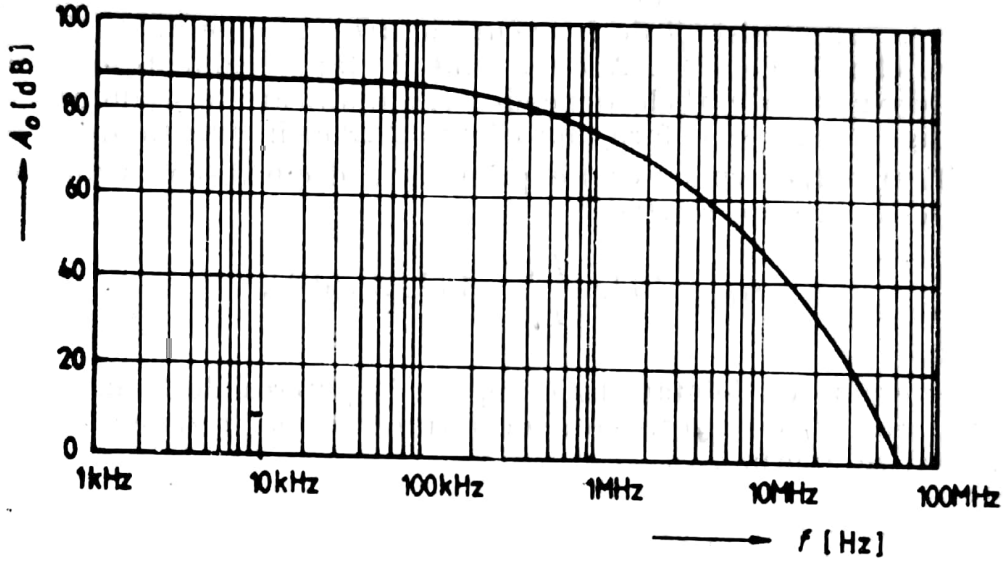
$$R''_{int} \simeq R'_{int} . \qquad 2.5.74$$

2.6. Stabilitatea amplificatoarelor operaţionale. Compensarea caracteristicii de frecvenţă (a erorilor dinamice)

Un *AO* ideal trebuie să aibă o bandă de trecere infinit de mare, adică amplificarea în buclă deschisă să se menţină constantă pentru $\omega = 2\pi\nu$ variind între $\omega = 0$ (curent continuu) şi $\omega = \infty$. Fiecare etaj al unui *AO* real conţine însă capacităţi distribuite sau concentrate ale elementelor de circuit,

astfel încît la frecvenţe înalte reactanţele acestor capacităţi pot scurtcircuita semnalul util de la ieşirile respectivelor etaje. Ca urmare amplificarea *AO* reale scade odată cu mărirea frecvenţei aşa cum se vede din figura 2.28, *a* în care este reprezentată caracteristica de frecvenţă $A(\omega)$ a unui amplificator. Frecvenţa pentru care $A(\omega) = 0$ se numeşte frecvenţă de tăiere şi este caracteristică fiecărui tip de amplificator în parte.

Pe lîngă o micşorare a cîştigului G (= Gain, în l. engleză), în tensiune (sau în putere) odată cu mărirea frecvenţei are loc şi o creştere a defazării semnalului de ieşire în raport cu cel de la intrare. În mod normal, la frecvenţe joase ($\omega \to 0$), diferenţa de fază între semnalul de ieşire şi cel de intrare,



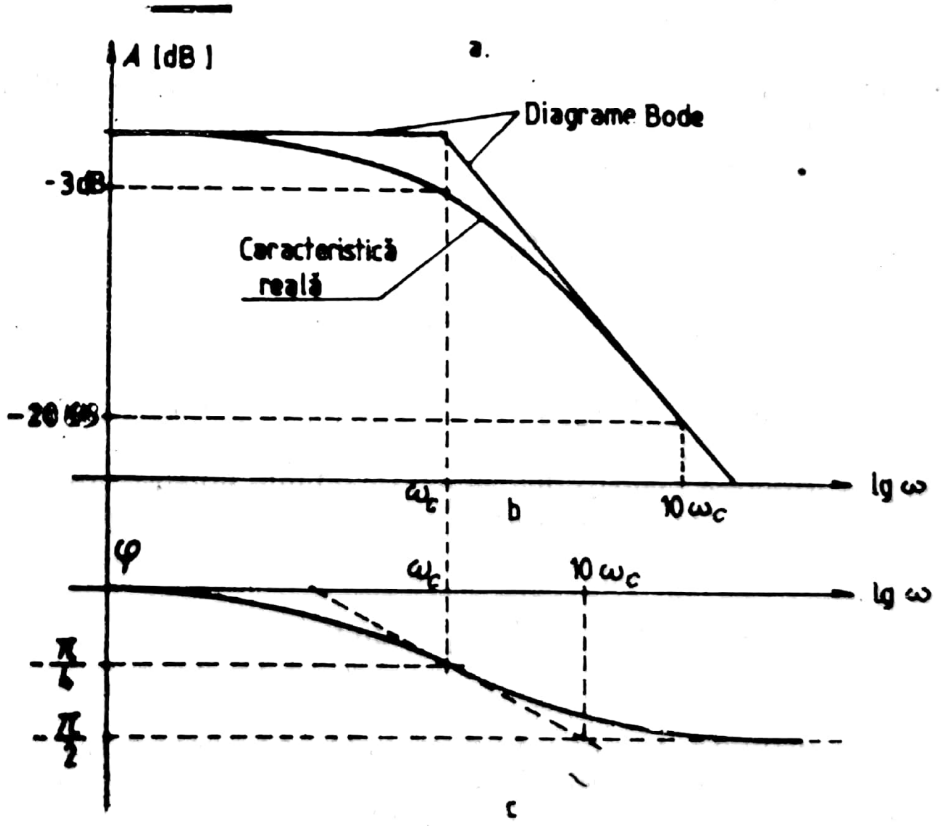


Fig. 2.28

în cazul unui amplificator cu reacţie negativă este egală cu 180°, dar din cauza prezenţei capacităţilor (de reacţie etc.) acest defazaj poate creşte mult ajungînd şi la 360° (ca în cazul mai multor reţele RC înseriate [4, 6, 7]). În această situaţie, dacă la frecvenţa pentru care $\varphi = 2\pi$, amplificarea este egală cu unitatea, reacţia negativă (în cazul AO cu reacţie negativă) se transformă într-o reacţie pozitivă ce întreţine oscilaţii într-un AO care astfel devine foarte instabil (se transformă în oscilator). Dacă amplificarea este mai mare, oscilaţiile pot apare pentru defazaje mai mici de 2π. Pentru a evita această situaţie se utilizează diferite circuite de compensare a defazajului asigurînd astfel stabilitatea cu frecvenţa a amplificării.

Răspunsul în funcţie de frecvenţă, variaţia defazajului, stabilitatea şi compensarea caracteristicii de frecvenţă a AO reale pot fi studiate cu ajutorul diagramelor Bode [56]. Acestea sînt de fapt segmente de dreaptă (1 şi 2) care aproximează curbele dependenţei amplificării (cîştigului) exprimată în decibeli (fig. 2.28,*b*) şi defazajului (figura 2.28,*c*) în funcţie de lg ω.

Amplificarea (pentru putere) exprimată în decibeli se mai numeşte *cîştig* (= Gain) şi este dată de relaţia

$$G_P = 10 \lg \frac{P_0}{P_i} = 10 \lg A_P \text{ [dB]}, \qquad 2.6.1$$

în care P_0 este puterea debitată la ieşire, iar P_i puterea de la intrarea amplificatorului. Dacă R_i este rezistenţa de intrare iar R_L rezistenţa de sarcină, atunci cîştigul se exprimă ca

$$G_P = \frac{P_0}{P_i} = G_I G_V = G_V^2 \frac{R_i}{R_L} = G_I^2 \frac{R_L}{R_i}, \qquad 2.6.2$$

în care G_V şi G_I reprezintă cîştigul de tensiune şi respectiv cîştigul de curent ale amplificatorului.

Pentru $R_i = R_L$ se obţine

$$G_P = G_V^2 = G_I^2 = G. \qquad 2.6.3$$

Exprimat în logaritmi se poate scrie

$$G(\text{dB}) = 20 \lg G_V = 20 \lg G_I = 10 \lg G_P. \qquad 2.6.4$$

Folosind exprimarea logaritmică se poate calcula mărirea amplificării (sau atenuării) unui lanţ de etaje conectate în cascadă (fig. 2.29) prin însumarea cîştigurilor parţiale

$$G_V = 20 \lg \frac{V_4}{V_1} = 20 \lg A_1 + 20 \lg A_2 + 20 \lg A_3. \qquad 2.6.5$$

În ceea ce priveşte atenuarea în frecvenţă (şi creşterea defazajului) fiecare etaj al unui AO real poate fi aproximat cu o reţea RC de tipul celei din figura 2.30,*a* (sau similare, fig. 2.30,*b*). Funcţia de transfer $\mathcal{H}(j\omega)$ a unui astfel de circuit, ca şi al oricărui amplificator are forma generală [6, 43]

Scanned with OKEN Scanner

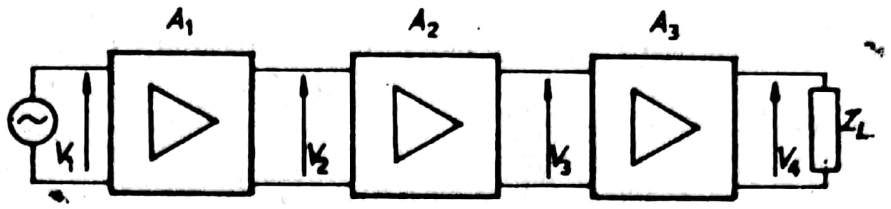


Fig. 2.29

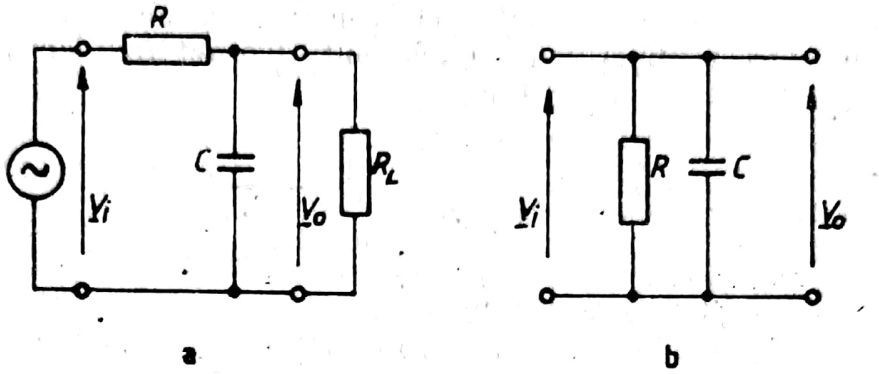


Fig. 2.30

(v. și § 1.3.4).

$$\mathscr{H}(s) = \frac{a_0 + a_1 s + a_2 s^2 + \ldots + a_n s^n}{b_0 + b_1 s + b_2 s^2 + \ldots + b_m s^m} = \frac{A(s)}{B(s)}; \quad s = j\omega. \qquad 2.6.6$$

Rădăcinile ecuației $A(s) = 0$, în număr de n, se numesc **zerouri**, iar rădăcinile ecuației $B(s) = 0$, în număr de m, se numesc **poli** și acționează în planul complex al funcției $\mathscr{H}(j\omega)$.

În cazul rețelei din figura 2.30,*a* funcția de transfer este dată de

$$\mathscr{H}(j\omega) = \frac{\underline{V}_0}{\underline{V}_i} = \frac{X_c}{R + X_c} = \frac{\frac{1}{jC\omega}}{R + \frac{1}{jC\omega}} = \frac{1}{1 + jRC\omega} = \frac{1 - jRC\omega}{1 + R^2 C^2 \omega^2}. \qquad 2.6.7$$

Amplificarea corespunzătoare acestui circuit va fi dată de modulul funcției de transfer,

$$A = |\mathscr{H}(s)| = \frac{1}{\sqrt{1 + R^2 C^2 \omega^2}}. \qquad 2.6.8$$

Pentru reprezentarea grafică a cîștigului $20 \lg A$ în funcție de frecvență se aleg diferite valori pentru ω:

1) $\omega = 0$, rezultă $A = 1$, $\lg A = 0$.

2) $\omega = \frac{1}{RC} = \omega_c$; se obține $A = \frac{1}{\sqrt{2}}$ 2.6.9

$$20 \lg \frac{1}{\sqrt{2}} = -20 \lg 2^{1/2} = -20 \frac{1}{2} \lg 2 = -10 \lg 2 = -3 \text{ dB}.$$

Aceasta este deci frecvența pentru care amplificarea A_v scade de $\frac{1}{\sqrt{2}}$ ori, adică cu 3 dB, deci

$$v_0 = \frac{V_i}{\sqrt{2}}, \quad \Rightarrow A = -3\,\text{dB}; \quad RC\omega_c = 1.$$

Valoarea ω_c a frecvenței (pulsației) pentru care amplificarea scade cu -3dB se numește **frecvență critică** sau „**de colț**" (corner frequency) (fig. 2.28, *b*). În acest caz relația 2.6.7 devine

$$\mathscr{H}(s) = \frac{1}{1 + \mathrm{j}\,RC\omega} = \frac{1}{1 + \mathrm{j}\,\frac{\omega}{\omega_c}}. \qquad 2.6.7, a$$

3) $\omega \to \infty$; din 2.6.8 se obține

$$R^2C^2\omega^2 \gg 1, \text{ deci } A_\infty(\omega) = \frac{1}{RC\omega}; \qquad 2.6.10$$

$$20 \lg A_\infty(\omega) = -20 \lg RC - 20 \lg \omega. \qquad 2.6.11$$

Relația 2.6.11 reprezintă ecuația dreptei asimptotice la curba $A(\omega)$ (asimptota oblică, fig. 2.28,*b*) în funcție de ω. Pentru a o defini sînt necesare două puncte:

a) $\omega = \frac{1}{RC} = \omega_c$; din 2.6.11 se obține

$$20 \lg A_\infty(\omega) = -20 \lg RC + 20 \lg RC = 0, \text{ dB}. \qquad 2.6.12$$

b) $\omega = \frac{10}{RC} = 10\,\omega_c$;

$$20 \lg A_\infty(\omega) = -20 \lg RC - 20 \lg 10 + 20 \lg RC = -20 \text{ dB}. \qquad 2.6.13$$

Dreapta asimptotică care trece prin cele două puncte definite prin 2.6.12 și 2.6.13, împreună cu dreapta orizontală tangentă sus, corespunzătoare frecvențelor cuprinse între 0 și ω (fig. 2.22,*b*) constituie **diagramele Bode** pentru rețeaua RC considerată.

Graficul pentru defazaj se construiește în mod asemănător luînd cîteva valori pentru ω. Din relația 2.6.7 rezultă

$$\operatorname{tg}\varphi = \frac{Im[\mathscr{H}(\mathrm{j}\omega)]}{Re[\mathscr{H}(\mathrm{j}\omega)]} = -RC\omega \qquad 2.6.14$$

$$\varphi = -\operatorname{arctg} RC\omega. \qquad 2.6.15$$

Scanned with OKEN Scanner

Pentru $\omega = 0$, $\operatorname{tg}\varphi = 0$ și deci $\varphi = 0$;

Pentru $\omega = \omega_c$, $\operatorname{tg}\varphi = 1$ și $\varphi = \frac{\pi}{4}$; 2.6.16

Pentru $\omega \to \infty$, $\operatorname{tg}\varphi \to \infty$, deci $\varphi = \frac{\pi}{2}$.

Graficul lui φ în funcție de $\lg\omega$ este redat în fig. 2.28,*c*.

Din cele de mai sus rezultă că în cazul rețelei *RC* ca cea din figura 2.30,*a* (sau fig. 2.30,*b*), amplificarea scade odată cu creșterea frecvenței, scădere care poate fi aproximată foarte bine printr-o diagramă (dreaptă) Bode a cărei pantă este de 20 dB/decadă (adică pentru creșterea frecvenței de zece ori față de ω_c, v. 2.6.13)[4]. Pentru o asemenea iată de scădere a amplificării apare un defazaj (suplimentar) de $\pi/4$ între tensiunile de ieșire și respectiv de intrare la frecvența corespunzătoare polului (adică pentru frecvența critică ω_c) și un defazaj egal cu $\pi/2$ la frecvențe mult mai mari decît cea corespunzătoare polului, adică pentru $\omega \gg \omega_c$, cînd diagrama Bode aproximează asimptotic caracteristica de frecvență. Aceste variații sînt proprii funcției de transfer dată de 2.6.7 care poate avea doar un singur pol (al ecuației $B(s) = 0$).

În cazul a două rețele înseriate ca în figura 2.31,*a* funcția de transfer va fi

$$\mathcal{H}(j\omega) = \frac{V_3}{V_1} = \frac{V_3}{V_2} \cdot \frac{V_2}{V_1} = \mathcal{H}_2(j\omega) \cdot \mathcal{H}_1(j\omega) \qquad 2.6.17$$

sau

$$\mathcal{H}(j\omega) = \frac{1}{1 + jR_1C_1\omega_1} \cdot \frac{1}{1 + jC_2R_2\omega_2} = \frac{1}{(1 + sR_1C_1)(1 + sR_2C_2)}. \qquad 2.6.18$$

Amplificarea va fi dată de

$$A = |\mathcal{H}(s)| = \frac{1}{\sqrt{(1 + R_1^2 C_1^2 \omega_1^2)(1 + R_2^2 C_2^2 \omega_2^2)}}; \quad s = j\omega. \qquad 2.6.19$$

Se observă că funcția de transfer 2.5.18 poate avea doi poli (referitor la pătratul frecvenței ω) dar nu are nici un zero. Pentru cazul particular al identităților rețelelor (deci $\omega_{c1} = \omega_{c2} = \omega_c$) se obține

$$20 \lg\left(\frac{1}{1 + R^2C^2\omega^2}\right) = \begin{cases} 0 \text{ dB, pentru } \omega = 0; \\ -6 \text{ dB, pentru } \omega_{c1} = \omega_{c2} = \dfrac{1}{RC}; \\ -40 \lg RC - 40 \lg \omega, \text{ pentru } \omega \gg \omega_c. \end{cases} \qquad 2.6.20$$

Alegînd două puncte corespunzătoare dreptei (asimptotice) $-40 \lg RC - 40 \lg\omega$ rezultă (fig. 2.31, *b*):

a) $20 \lg A = 0$ dB, pentru $\omega = 0$

b) $20 \lg A = -40 \lg 10 = -40$ dB, pentru $\omega = 10\,\omega_c$. 2.6.21

[4] Uneori panta respectivă se exprimă prin 6 dB/octavă care este echivalentă cu 20 dB/decadă. Octava reprezintă diapazonul între două frecvențe care se deosebesc între ele de două ori, adică 6 dB/octavă = 20 lg 2.

Scanned with OKEN Scanner

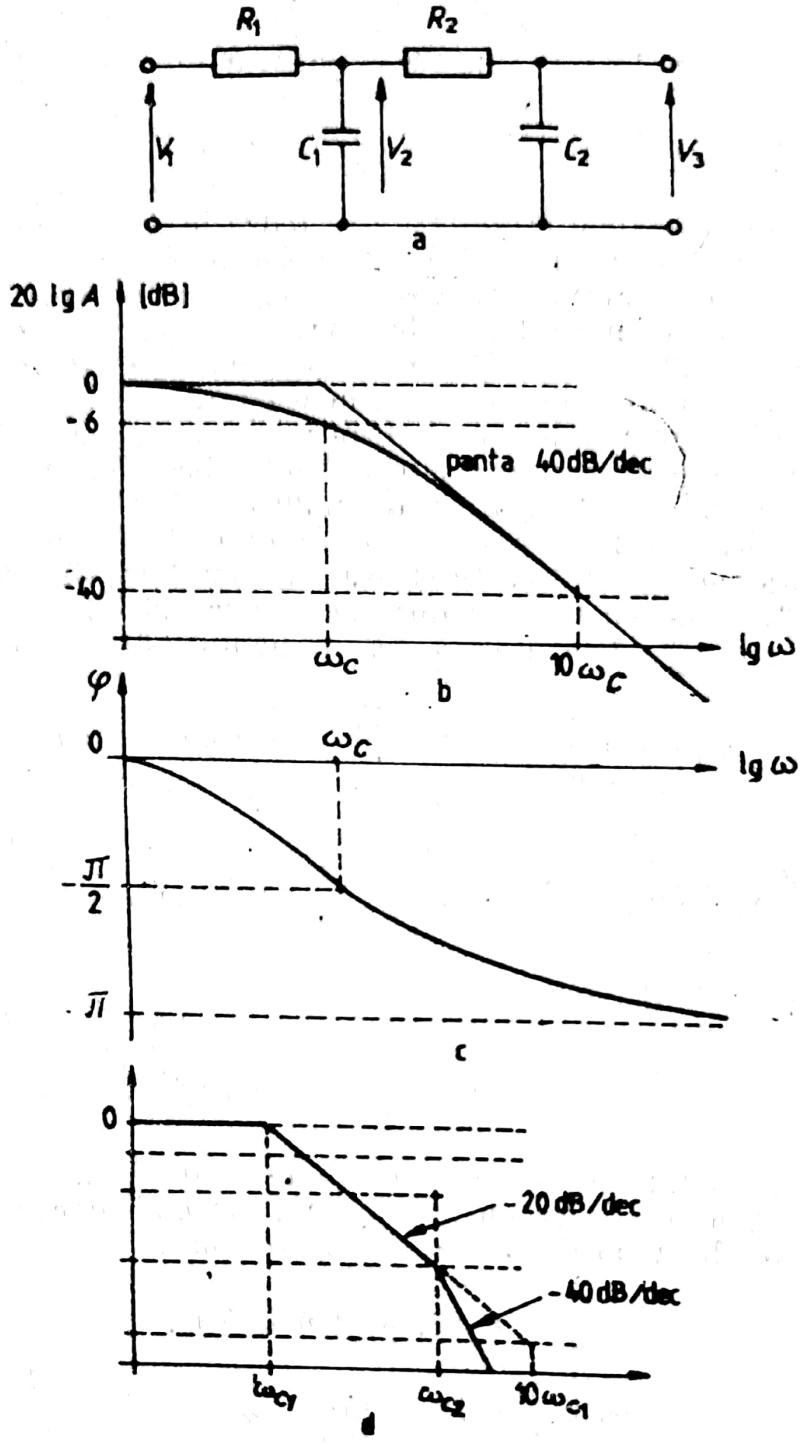


Fig. 2.31

Se obţin astfel diagramele Bode care constau dintr-o dreaptă paralelă cu Ox pentru $\omega < \omega_c$ şi cu o dreaptă asimptotică la caracteristica reală, avînd o pantă de -40dB/decadă (v. 2.6.21).

Defazajul rezultă direct din 2.6.18 (v. şi rel. 2.6.15), pentru reţele identice şi $\omega_1 = \omega_2 = \omega$:

$$\varphi = -\operatorname{arctg} R_1C_1\omega_1 - \operatorname{arctg} R_2C_2\omega_2 = -2 \operatorname{arctg} RC\,\omega, \qquad 2.6.22$$

adică este de două ori mai mare decît în cazul unei singure reţele (fig. 2.31,*c*), ceea ce corespunde introducerii de cîte 45° pentru fiecare pantă de 20 dB/decadă (adică pentru fiecare pol).

Scanned with OKEN Scanner

Dacă frecvenţele nu coincid, adică $\omega_{c1} \neq \omega_{c2}$, atunci dreptele asimptotice (diagramele Bode) se decalează în mod corespunzător, rezultînd — în cazul reţelei considerate — două segmente asimptotice cu panta de 20 dB/decadă şi respectiv 40 dB/decadă (fig. 2.31, *d*).

Pentru cazul funcţiilor de transfer cu mai mulţi poli, corespunzătoare unor reţele mai complexe, în urma unui raţionament similar se pot reprezenta direct diagramele Bode care aproximează caracteristica de frecvenţă, precum şi defazajul introdus, aşa cum se vede în figura 2.32.

Ţinînd seama simultan atît de defazare cît şi de amplificarea fiecărui etaj, un *AO* real se poate reprezenta ca în figura 2.32,*c* unde

$$A_{DC} = A_1 A_2 \ldots A_n \qquad 2.6.23$$

reprezintă amplificarea în *c.c.* (pentru $\omega = 0$) şi constituie un număr real şi pozitiv. Întrucît funcţia de transfer totală poate fi exprimată prin produsul funcţiilor de transfer individuale, se poate scrie

$$\mathcal{H}_t(s) = \frac{A_{DC}}{\left(1 + j\frac{\omega}{\omega_{c1}}\right)\left(1 + j\frac{\omega}{\omega_{c2}}\right)\cdots\cdots} \qquad 2.6.24$$

în care se consideră că $A_{DC} = \mathcal{H}_0(s)$ şi deci

$$\mathcal{H}_t(s) = \mathcal{H}(s)\,\mathcal{H}_0(s). \qquad 2.6.25$$

În acest caz, pentru $\omega = 0$, în graficul 20 lg A (fig. 2.32,*a*) în loc de 0 dB se ia ca origine valoarea $A_0 = A_{DC}$ de la care are loc apoi micşorarea amplificării odată cu mărirea frecvenţei.

Pentru a micşora defazajul care apare la frecvenţe ridicate în funcţionarea *AO* reale, se introduc circuite de corecţie speciale care compensează caracteristica de frecvenţă a amplificatorului şi prin aceasta îi modifică şi celelalte proprietăţi în special, factorul de amplificare. Un astfel de circuit trebuie să aibă o asemenea funcţie de transfer care pe lîngă unul sau mai mulţi poli (inerenţi), să posede şi unul sau mai multe zerouri care produc **defazări pozitive** ceea ce imprimă reţelei considerate caracterul de circuit de corecţie **cu avans de fază.** Pentru a introduce un zero (sau mai multe) circuitul defazor din figura 2.30,*a* (sau fig. 2.31) se poate modifica, introducînd elemente pasive suplimentare ca în figura 2.33,*a*, *b*, de exemplu.

Funcţie de transfer a circuitului din figura 2.33,*a* va fi atunci

$$\mathcal{H}(j\omega) = \frac{R_2 + \dfrac{1}{jC_2\omega}}{R_1 + R_2 + \dfrac{1}{jC\omega}} = \frac{1 + j\omega CR_2}{1 + j\omega C(R_1 + R_2)} \qquad 2.6.26$$

În funcţie de frecvenţele critice („de colţ") $\mathcal{H}(\omega)$ se scrie

$$\mathcal{H}(\omega) = \frac{V_0(\omega)}{V_i(\omega)} = \frac{1 + j\dfrac{\omega}{\omega_2}}{1 + j\dfrac{\omega}{\omega_1}} \qquad 2.6.27$$

Scanned with OKEN Scanner

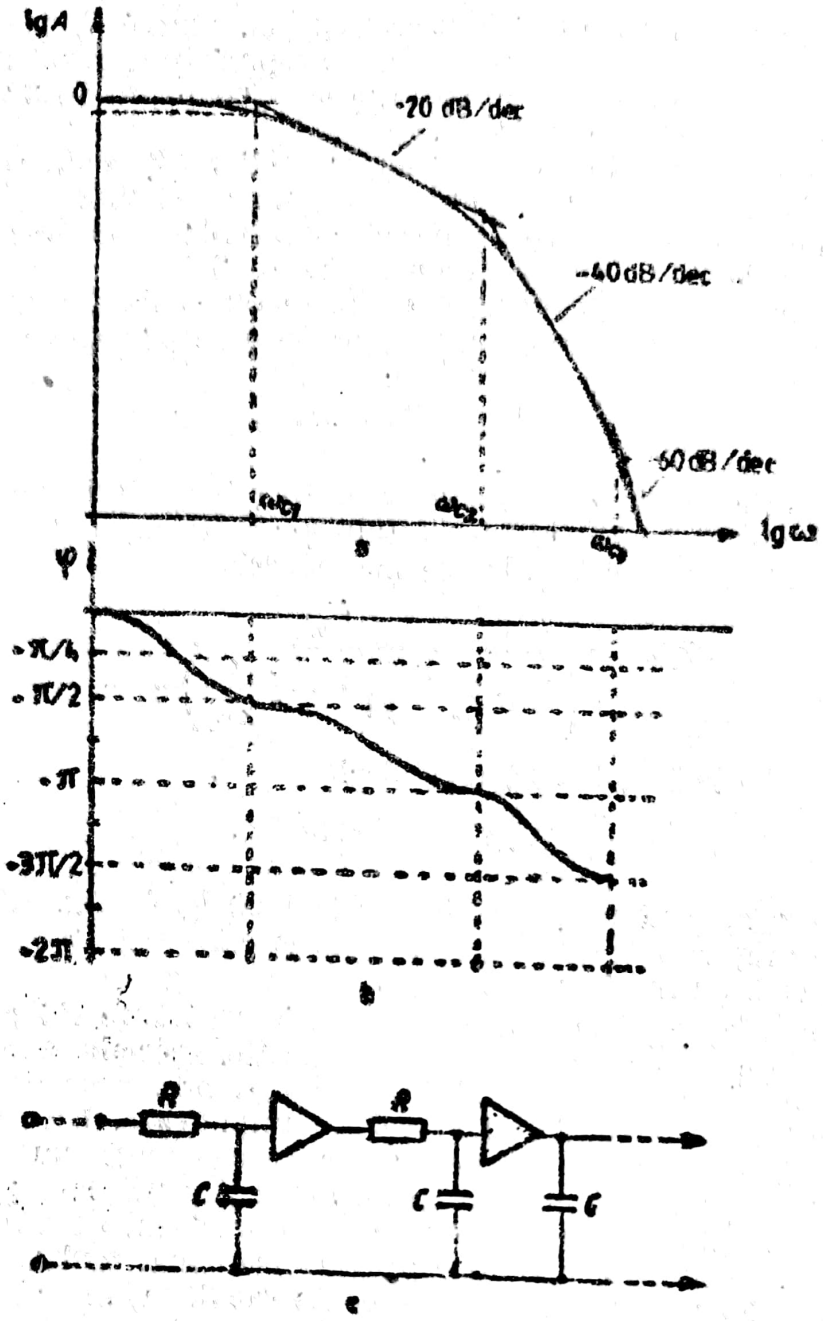


Fig. 2.32

în care frecvențele de colț (critice) sînt date de:

$$f_1 = \frac{1}{2\pi(R_1 + R_2)C} \qquad 2.6.28$$

$$f_2 = \frac{1}{2\pi R_2 C}. \qquad 2.6.29$$

Diagramele Bode ale rețelei de defazare modificate din figura 2.33,*a*, pentru $f_2 = 100\ f_1$ sînt redate în figura 2.33,*c*, iar defazajul corespunzător în figura 2.33,*d* [57]. Se observă că datorită zeroului funcției de transfer

Scanned with OKEN Scanner

2.6.26 în punctul corespunzător pulsației critice ω_2 panta dreptei scade cu 20 dB/decadă devenind paralelă cu axa Ox (fig. 2.33,*c*). Defazajul de asemenea se modifică așa cum se vede în figura 2.33, *d*, întrucît din 2.6.27 se obține

$$\varphi = \operatorname{arctg}\frac{\omega}{\omega_2} - \operatorname{arctg}\frac{\omega}{\omega_1}. \qquad 2.6.30$$

Așa cum rezultă din 2.6.28; 2.6.29, raportul $\frac{\omega_2}{\omega_1}$ este determinat de valorile rezistențelor R_1 și R_2

$$\frac{\omega_2}{\omega_1} = \frac{R_1 + R_2}{R_2} = 1 + \frac{R_1}{R_2}. \qquad 2.6.31$$

care pot fi alese în mod corespunzător pentru a realiza o „rezervă de fază" suficientă pentru a asigura stabilitatea *AO*.

Un circuit cu avans de fază utilizat numai pentru compensarea *AO* integrate este cel din figura 2.33,*b*. Funcția de transfer a circuitului va fi

$$\mathcal{H}(j\omega) = \frac{R_2}{R_1 + R_2} \cdot \frac{1 + j\omega CR_1}{1 + jC\omega \frac{R_1R_2}{R_1 + R_2}}. \qquad 2.6.32$$

Reprezentînd în funcție de frecvențele critice f_1 și f_2, $\mathcal{H}(j\omega)$ se scrie ca

$$\mathcal{H}(jf) = \frac{f_1}{f_2} \cdot \frac{1 + j\frac{f}{f_1}}{1 + j\frac{f}{f_2}}. \qquad 2.6.33$$

Defazajul rezultant va fi

$$\varphi = \operatorname{arctg}\frac{\omega}{\omega_1} - \operatorname{arctg}\frac{\omega}{\omega_2} \qquad 2.6.34$$

$$\text{cu} \quad 2\pi f_1 = \omega_1 = \frac{1}{R_1C}; \quad \omega_2 = \frac{1}{C\frac{R_1R_2}{R_1 + R_2}} = 2\pi f_2. \qquad 2.6.35$$

Diagramele Bode și defazajul φ corespunzătoare circuitului sînt redate în figura 2.33,*e*, *f* [57].

După cum s-a mai precizat anterior, de obicei *AO* integrate se folosesc cu reacție negativă care conduce la modificarea amplificării, caracteristicii de frecvență și răspunsului tranzitoriu al circuitului. Ca orice circuit suplimentar bucla de reacție provoacă și o defazare suplimentară a semnalului fapt, care împreună cu cele menționate mai sus, pot conduce la o instabilitate a sistemului.

Scanned with OKEN Scanner

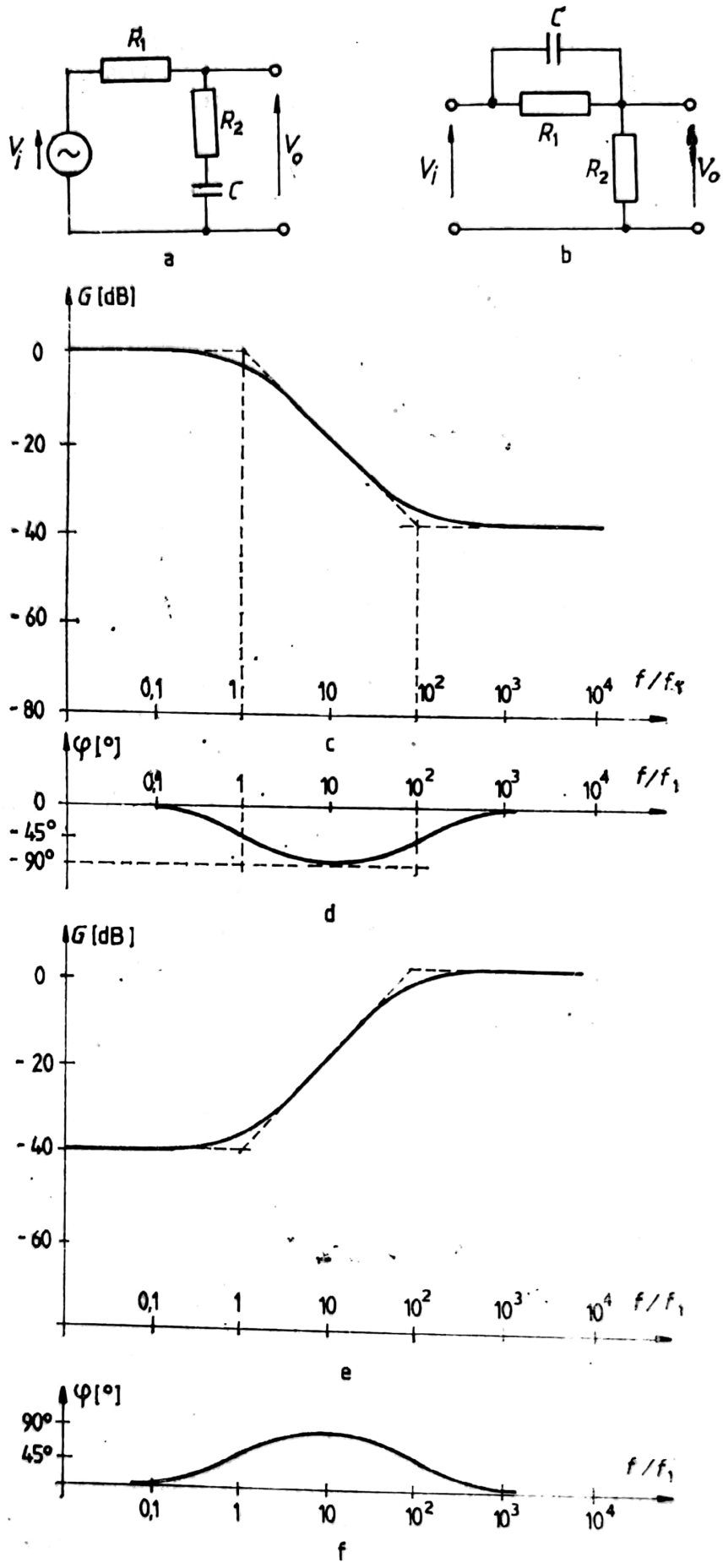


Fig. 2.33

Scanned with OKEN Scanner

S-a arătat că în cazul *AO* integrat neinversor (fig. 2.34,*a*), amplificarea în buclă închisă (cu reacţie) este dată de (v. 2.5.7 ; 2.5.10)

$$V_{ieş}(1 + AF_{rN}) = AV_{int} \qquad 2.6.35$$

$$A_{rN} = \frac{V_{ieş}}{V_{int}} = \frac{A}{1 + AF_{rN}}; \quad F_{rN} = \frac{R_1}{R_1 + R_2} \text{ cu } Z_1 = R_1; Z_2 = R_2. \qquad 2.6.36$$

Dar, după cum s-a discutat mai sus, în cazul unui *AO* amplificarea depinde de frecvenţă, dependenţă care în cazul unui singur pol (polul dominant) poate fi pusă sub forma (v. 2.6.24)

$$A = |\mathscr{H}(s)| = \frac{A_{DC}}{\sqrt{\left(1 + j\frac{\omega}{\omega_c}\right)^2}} = \frac{A_{DC}}{1 + j\frac{\omega}{\omega_c}}. \qquad 2.6.37$$

Înlocuind relaţia 2.6.37 în 2.6.36 se obţine

$$A_{rN} = \frac{A_{DC}}{1 + \mathrm{j}\frac{\omega}{\omega_c} + F_{rN}A_{DC}} = \frac{A_{DC}}{1 + \mathrm{j}\frac{\omega}{\omega_c(1 + F_{rN}A_{DC})}} =$$

$$= \frac{M_{DC}}{1 + j\frac{\omega}{\omega_c\frac{A_{DC}}{M_{DC}}}} \qquad 2.6.38$$

unde M_{DC} reprezintă amplificarea în curent continuu ($\omega = 0$) pentru amplificatorul cu reacţie, avînd expresia

$$M_{DC} = \frac{A_{DC}}{1 + A_{DC}F_{rN}}. \qquad 2.6.39$$

Relaţiile 2.6.38 şi 2.6.39 pot fi bine ilustrate prin diagramele Bode din figura 2.34,*c*, pentru un *AO* care are $A_{DC} = 10.000$ (fără reacţie), cu un factor de reacţie $F_{rN} = 0{,}0099$. Se vede că în prezenţa reacţiei amplificarea scade cu 40 dB rezultînd $M_{DC} = 100$, dar frecvenţa critică creşte foarte mult (fig. 2.34, *c*). Este necesar însă să se ţină seama şi de defazajul introdus de bucla de reacţie, defazaj care poate provoca instabilitatea *AO* considerat.

Din teoria generală a amplificatoarelor se cunoaşte că un amplificator devine instabil cînd numitorul relaţiei 2.6.36 devine egal cu zero, adică pentru [4, 6, 7, 30, 58].

$$A(s)\,B(s) = -1 \text{ sau } |(A(s)\,B(s)| = 1. \qquad 2.6.40$$

Prin $B(s)$ s-a notat factorul de reacţie (din 2.3.36) F_{rN}, unde $s = \mathrm{j}\omega$. Cînd această condiţie este satisfăcută, atunci amplificarea în buclă închisă în

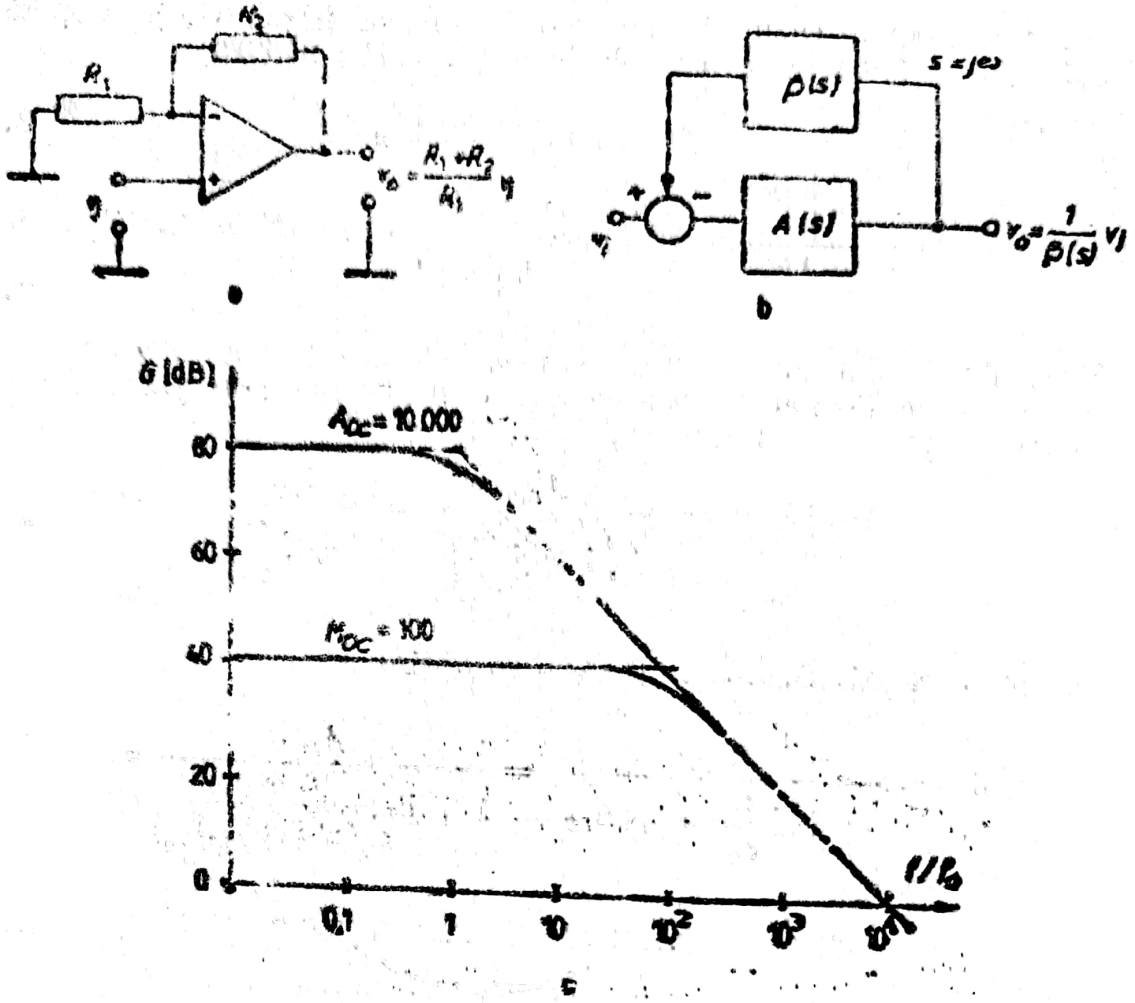


Fig. 2.34

montaj neinversor A_{rN} (dată de 2.6.36) devine **infinită**, adică la ieşirea amplificatorului apare un semnal fără să se fi aplicat semnul la intrare, astfel rezultînd un oscilator care îşi întreţine oscilaţiile; evident pentru ca oscilaţiile să se autoîntreţină trebuie să fie satisfăcută şi condiţia de fază, adică tensiunea de la ieşire să fie în fază cu cea de la intrare (condiţiile Barkhausenn) [4, 6, 7, 30] (v. şi cap. 1).

Condiţia de stabilitate rezultă din 2.6.40 ca fiind

$$|A(s)B(s)| < 1 \qquad 2.6.41$$

şi este cunoscută şi sub denumirea de **criteriul lui Nyquist** de stabilitate a amplificatoarelor. Criteriul lui Nyquist afirmă că dacă în ecuaţia (v. 2.6.36)

$$A_{rN} = \frac{A}{1 + A\beta}, \qquad 2.6.42$$

A descrie un sistem stabil, atunci sistemul descris de A_{rN}, deci de relaţia 2.6.42, este stabil dacă şi numai dacă curba ce reprezintă pe $A\beta$ între $-\infty$ şi $+\infty$ în planul complex $(j\omega)$ — cunoscută sub denumirea de diagramă Nyquist — nu încercuieşte punctul $-1 + j0$. Astfel de diagrame Nyquist

sînt redate în figura 2.35, *a*, *b*, *c* pentru sisteme stabile și în figura 2.35, *d*,*e* pentru sisteme instabile [57, 59]. Pentru sistemele fizic realizabile aceste curbe sînt curbe închise (v. fig. 2.35).

În figura 2.35,*a* este redată diagrama Nyquist pentru un *AO* asimilat cu un circuit defazor cu un singur pol, avînd amplificarea

$$A_{rN} = \frac{A_{D0}}{1 + j\frac{\omega}{\omega_c}} \qquad 2.6.43$$

într-un montaj neinversor cu reacție, cu factor de reacție $\beta(= F_{rN})$. Produsul $A\beta$ pentru acest sistem este

$$A\beta = A_{rN}\beta = \frac{A_{DC}\beta}{1 + j\frac{\omega}{\omega_c}}. \qquad 2.6.44$$

Pentru $\omega = 0$ (sau $f = 0$), rezultă $A\beta = A_{DC}\beta$; la $\omega = \pm\infty$, se obține $A\beta = 0$. Cum faza produsului $A\beta$ variază mereu între $+\pi/2$ și $-\frac{\pi}{2}$, ea neatingînd $-180°$, atunci punctul $(-1,0)$ nu poate fi încercuit deci amplifica-

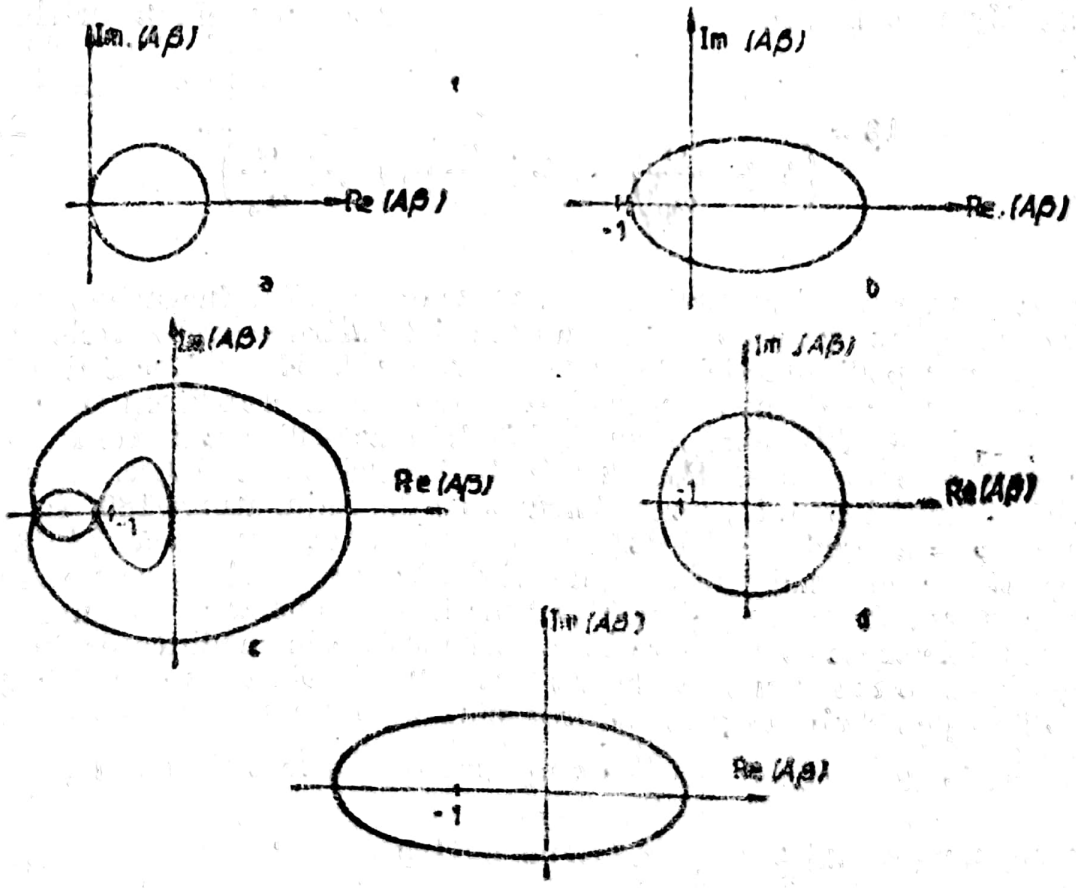


Fig. 2.35

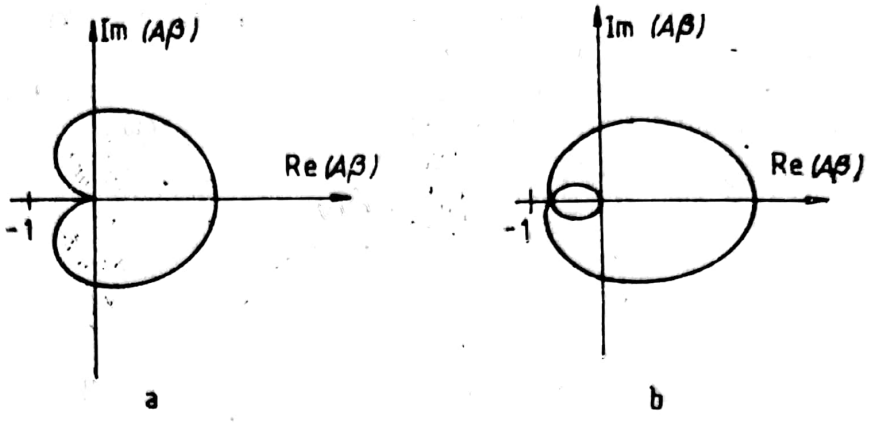


Fig. 2.36

torul cu reacţie considerat este stabil. Pentru un *AO* corespunzînd la două reţele de defazare, funcţia $A\beta$ este descrisă de

$$A\beta = \frac{A_{DC}\beta}{\left(1 + j\frac{\omega}{\omega_{c1}}\right)\left(1 + j\frac{\omega}{\omega_{c2}}\right)} \qquad 2.6.45$$

şi de diagrama Nyquist din figura 2.36,*a*, iar în figura 2.36,*b* este redată diagrama Nyquist pentru un sistem corespunzător funcţiei $A\beta$ cu trei poli [57, 59]

$$A\beta = \frac{A_{DC}\beta}{\left(1 + j\frac{\omega}{\omega_{c1}}\right)\left(1 + j\frac{\omega}{\omega_{c2}}\right)\left(1 + j\frac{\omega}{\omega_{c3}}\right)}. \qquad 2.6.46$$

După cum s-a arătat mai sus, în prezenţa reacţiei (negative) amplificarea *AO* scade, fapt care conduce simultan şi la mărirea frecvenţelor critice ω_c la care apar polii funcţiei de transfer (v. fig. 2.34, *c*). Bucla de reacţie — ca orice circuit cu elemente pasive — conduce în acelaşi timp şi la modificarea defazajului, fapt care permite folosirea acestui circuit de reacţie ca un circuit de compensare. Pentru a evita instabilitatea *AO*, care în cazul îndeplinirii condiţiei 2.6.41, apare imediat ce defazajul atinge 180° se urmăreşte ca la $\varphi = \pi$ produsul $|A||\beta|$ să fie subunitar, sau dacă $|A||\beta| \geqslant 1$ atunci φ să fie cît mai mic faţă de 180°. Aceste condiţii se pot realiza prin introducerea de zerouri şi poli în funcţia de transfer a sistemului prin conectarea reţelelor de compensare speciale, inclusiv prin modificarea buclei de reacţie pozitivă. După cum se vede din figura 2.37 evitarea regiunii instabile ($\varphi \geqslant 180°$) se poate obţine prin mărirea pînă la o anumită valoare a factorului de reacţie (deci prin micşorarea amplificării globale); pentru $A_{rN} = \frac{1}{|\beta_1|} = A_1$ defazajul este de $\frac{\pi}{2}$ (fig. 2.37), pe cînd pentru $A_{rN} = \frac{1}{|\beta_2|} = A_2$, adică în cazul unei reacţii puternice ($\beta_2 > \beta_1$) defazajul devine egal cu 180°, iar sistemul va fi instabil. Introducerea reţelelor de compensare adecvate con-

duce şi la modificarea amplificării rezultînd A_{comp}, astfel încît produsul $A\beta$ devine

$$A_{comp}.\beta = \frac{A\beta}{1 + j\frac{\omega}{\omega_c}} \qquad 2.6.47$$

în care (v. 2.6.7 şi 2.6.24)

$$\mathcal{H}_c(s) = \frac{1}{1 + j\frac{\omega}{\omega_c}}, \qquad 2.6.48$$

reprezintă funcţia de transfer a reţelei de compensare cu frecvenţa critică ω_0.

Dacă se consideră de exemplu un AO cu trei etaje a cărui amplificare totală este (v. 2.6.43)

$$A = \frac{A_{DC}}{\left(1 + j\frac{\omega}{\omega_1}\right)^3}, \qquad 2.6.49$$

prin introducerea unei reţele defazoare cu frecvenţa critică ω_0, rezultă $A_{comp}.\beta$ ca fiind

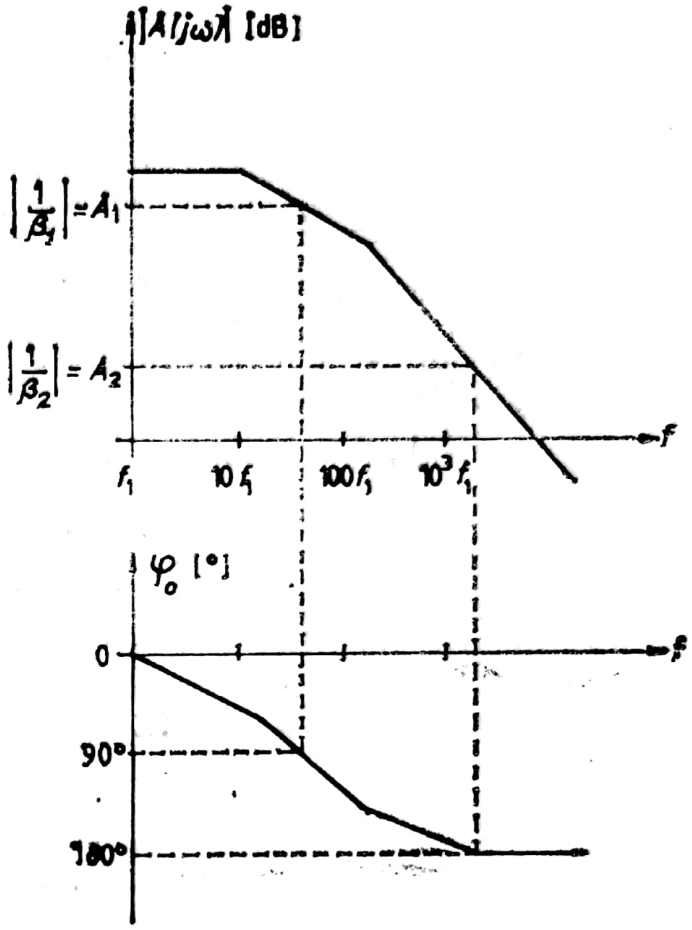


Fig. 2.37

$$A_{comp}\,\beta = \frac{A_{DC}\beta}{\left(1 + j\frac{\omega}{\omega_1}\right)^3\left(1 + j\frac{\omega}{\omega_0}\right)} \qquad 6.2.50$$

prin a cărei discuţie — în corelare şi cu defazajul total — se stabileşte dacă sistemul este stabil sau nu.

Pentru mărirea frecvenţei de tăiere a unui AO cu reacţie (fig. 2.38,*a*) se modifică reţeaua de reacţie prin introducerea unui condensator C_2 în paralel pe R_2 (fig. 2.38). Se observă că circuitul R_2C_2 de impedanţă totală

$$Z_2 = \frac{R_2}{1 + j\omega R_2C_2} \qquad 2.6.51$$

reprezintă tocmai circuitul cu avans de fază din figura 2.33,*b* cu funcţia de transfer 2.6.33. Atunci în expresia cîştigului buclei se introduc un pol şi un zero ale căror frecvenţe sînt date de 2.6.35 şi care conduc la o micşorare apreciabilă a defazajului (din figura 2.38,*b* se apreciază o rezervă de fază de cca 40°). În figura 2.38,*b* sînt redate diagramele Bode pentru un AO cu trei etaje (considerat în exemplul de mai sus) şi avînd amplificarea dată de 2.6.49, înainte şi după compensare cu reţeaua cu avans de fază din figura

Scanned with OKEN Scanner

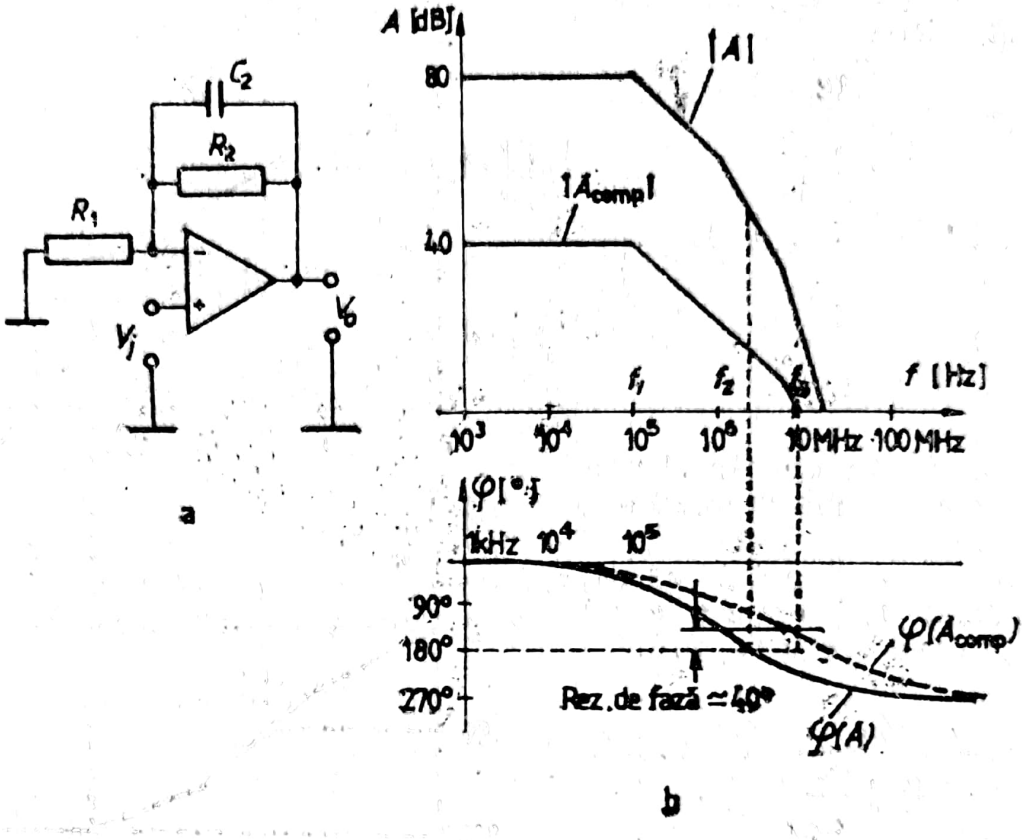


Fig. 2.38

2.38,*a* (v. şi fig. 2.33,*b*). Incluzînd raportul f_1/f_2 în factorul de reacţie $\beta = F_{rN}$ şi ţinînd seama de funcţia de transfer a reţelei *RC* dată de 2.6.33, produsul $A_{comp}\beta$ devine [57]

$$A_{comp}\,\beta = \frac{A_{DC}\,\beta}{\left(1+\mathrm{j}\frac{f}{f_1}\right)^3}\cdot\frac{1+\mathrm{j}\frac{f}{f_1}}{1+\mathrm{j}\frac{f}{f_2}} = \frac{A_{DC}\,\beta}{\left(1+\mathrm{j}\frac{f}{f_1}\right)^2\left(1+\mathrm{j}\frac{f}{f_2}\right)} \qquad 2.6.52$$

în care $f_2 > f_1$.

Există încă multe alte metode de compensare a caracteristicii de frecvenţă a *AO* cu reacţie în vederea asigurării stabilităţii acestora cum ar fi compensarea cu o capacitate de reacţie pe un etaj intermediar (din schema *AO*) compensarea cu reţea *RC* în paralel sau în serie în diverse variante care sînt analizate pe larg în lucrările de specialitate [43, 52, 57, 60]. Multe tipuri de amplificatoare operaţionale integrate (v. de ex. μA741, μA747, LM107 etc.) sînt compensate intern avînd incluse reţelele de corecţie cu avans sau întîrziere de fază sau combinaţii ale lor în structura circuitului. Valoarea frecvenţei critice (de colţ) ω_0 a reţelei de compensare este aleasă astfel încît *AO* considerat să fie stabil cînd este utilizat ca repetor. În figura 2.39,*b* este redată caracteristica de frecvenţă a *AO* μA 741 compensat intern cu o capacitate de 30 pF plasată în etajul prefinal, şuntînd semnalul la frecvenţe ridicate şi micşorînd astfel amplificarea în buclă deschisă la asemenea frecvenţe (fig. 2.39, *a*, *b*). Se vede că produsul amplificare-bandă pentru μA 741 este de

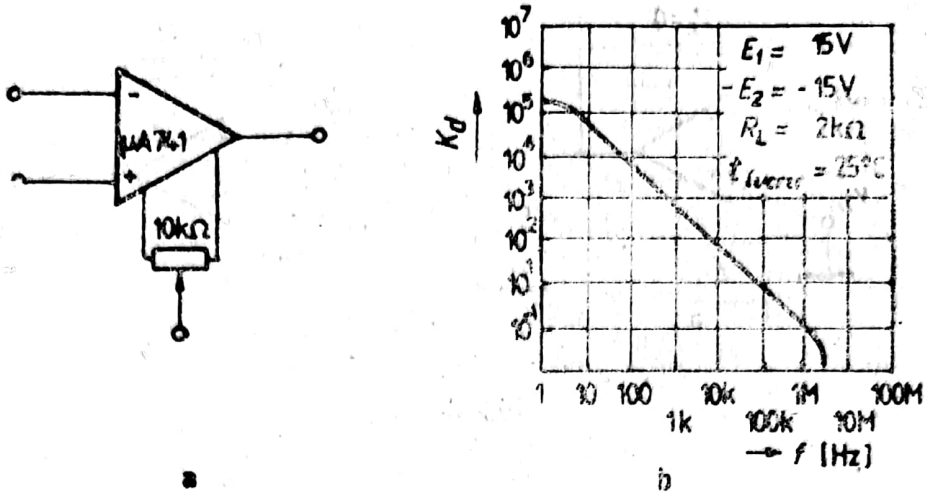


Fig. 2.39

1 MHz. Acest *AO* poate avea o amplificare în buclă închisă (cu reacţie) de circa 10^4 (sau 80 dB) la 100 Hz sau de 10^2 la 10 kHz etc. (fig. 2.39,*b*).

2.7. Circuite cu amplificatoare operaţionale şi alte circuite integrate analogice

Există o foarte mare diversitate de scheme în care sînt utilizate circuitele integrate analogice şi în special amplificatoarele operaţionale integrate. Întrucît există numeroase lucrări de specialitate care tratează pe larg numeroasele aplicaţii ale circuitelor integrate analogice, în acest paragraf vor fi redate — spre exemplificare — doar cîteva din aplicaţiile reprezentative ale acestora şi în special ale *AO* integrate.

2.7.1. Circuite liniare şi neliniare

Amplificatoarele operaţionale integrate se aplică pe scară largă la realizarea diverselor circuite liniare şi neliniare utilizate în calculatoare analogice, aparate de măsură, scheme de amplificare de o mare diversitate, regulatoare automate şi alte aplicaţii în automatizări, convertoare analog-numerice şi numeric-analogice etc.

1) **Amplificatoare şi repetoare. Circuit multiplicator.** Asemenea circuite au fost analizate în paragraful 2.5.1 (figurile 2.23 şi 2.24). Amplificatoarele inversoare, cu şi fără reacţie, precum şi amplificatorul diferenţial constituie circuite de bază cu *AO* integrate. Tot în paragraful 2.5.1 au fost menţionate şi circuitele repetoare care se obţin din schemele de amplificare corespunzătoare pentru $Z_1 \equiv Z_2$ cînd montajul este inversor şi pentru $Z_2 = 0$ şi $Z_1 = \infty$, cînd montajul este neinversor (fig. 2.40, *a*).

Cînd lucrează ca amplificator de tensiune (fig. 2.24,*a*), un *AO* poate fi considerat că realizează operaţia de înmulţire (multiplicare) cu un factor constant k (v. şi 2.5.5)

$$v_0 = -k\,v_i \qquad 2.7.1$$

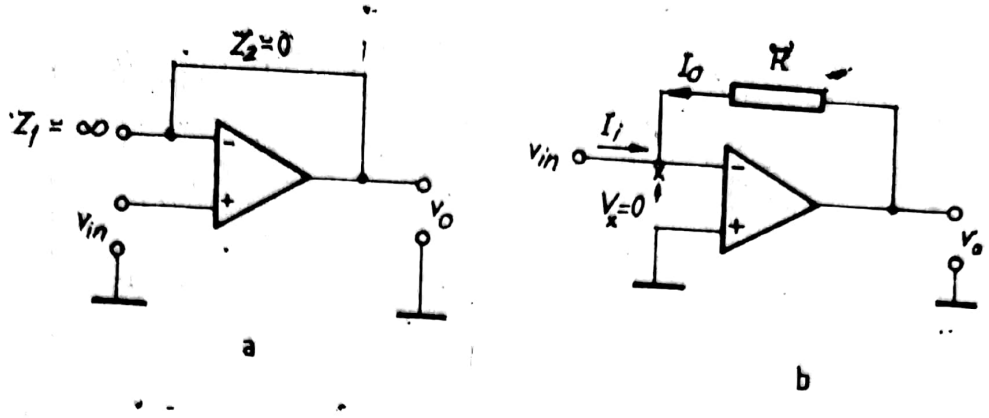


Fig. 2.40

în care

$$k = \frac{Z_2}{Z_1}, \qquad 2.7.2$$

În figura 2.40,*b* se dă schema unui montaj amplificator de curent cu *AO*. Se vede că (în ipoteza $Z_{int} \to \infty$, *AO* ideal)

$$I_i = I_0 = -\frac{v_0}{R}, \qquad 2.7.3$$

de unde

$$v_0 = -R\,I_i. \qquad 2.7.4$$

2) Circuit sumator. Schema sumatorului inversor este redată în figura 2.41,*a*, iar a celui neinversor în figura 2.41,*b*. Considerînd un *AO* cu A şi Z_{int} foarte mari (*AO* ideal), avem $v_i \simeq 0$. În acest caz sursele semnalelor de intrare apar bine izolate între ele şi fiecare vor determina pe rezistenţele $R_1, \ldots, R_n$ curenţii respectivi de intrare :

$$I_1 = V_1/R_1;\ I_2 = V_2/R_2;\ \ldots;\ I_n \simeq V_n/R_n. \qquad 2.7.5$$

Curentul I_r prin rezistenţa de reacţie R_r va fi

$$I_r \approx -v_0/R_r. \qquad 2.7.6$$

Cum $Z_{int} \to \infty$, se poate scrie

$$I_1 + I_2 + I_3 + \ldots I_n = I_r, \qquad 2.7.7$$

sau

$$\frac{V_1}{R_1} + \frac{V_2}{R_2} + \ldots + \frac{V_n}{R_n} = -\frac{v_0}{R_r}, \qquad 2.7.8$$

$$v_0 = -R_r\left(\frac{V_1}{R_1} + \frac{V_2}{R_2} + \ldots + \frac{V_n}{R_n}\right), \qquad 2.7.9$$

Scanned with OKEN Scanner

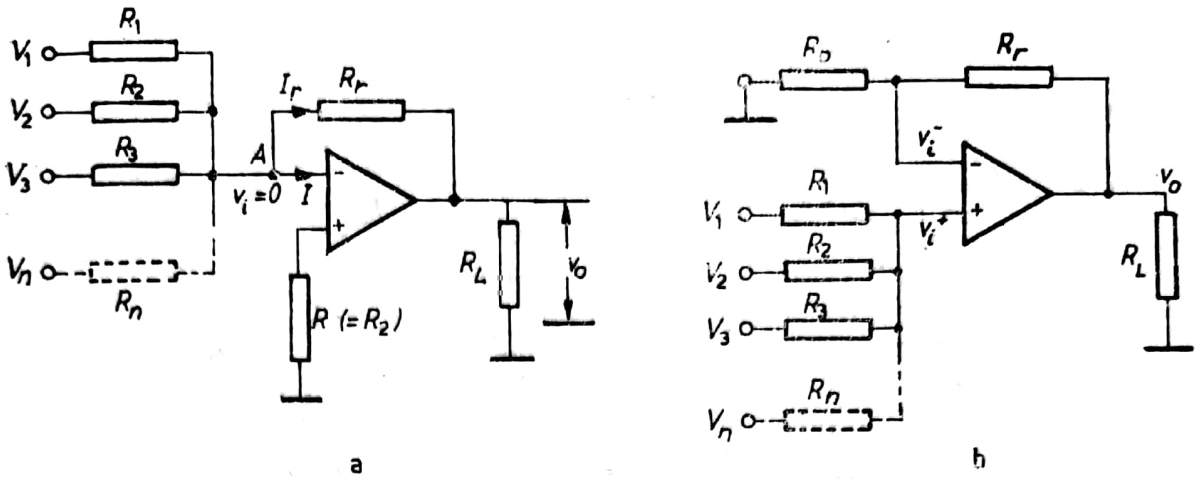


Fig. 2.41

Dacă se aleg toate rezistenţele de intrare egale între ele şi egale cu R_r rezultă

$$v_0 = -(V_1 + V_2 + V_3 + \ldots + V_n) = -\sum_1^n V_i \qquad 2.7.10$$

ceea ce arată că montajul din figura 2.41,*a* lucrează ca un sumator inversor.

În cazul sumatorului neinversor (fig. 2.41,*b*) se observă că întrucît $e_a \approx 0$, avem şi $v_i^- \approx v_i^+$.

Cum v_i^- este determinat de tensiunea de ieşire v_0 prin divizorul R_0, R_r, atunci

$$v_i^- = \frac{R_0}{R_0 + R_r} v_0 = v_i^+. \qquad 2.7.11$$

Întrucît la intrarea neinversoare a *AO* curentul este practic nul (adică $I_i^+ \simeq 0$), se poate scrie

$$\frac{V_1 - v_i^+}{R_1} + \frac{V_2 - v_i^+}{R_2} + \ldots + \frac{V_m - v_i^+}{R_m} = 0 = I_i^+ \qquad 2.7.12$$

sau, pentru $R_1 = R_2 = \ldots = R_m$

$$V_1 + V_2 + V_3 + \ldots + V_m = mv_i^+ = mv_0 \frac{R_0}{R_0 + R_r}, \qquad 2.7.13$$

De aici se scoate v_0

$$v_0 = \left(1 + \frac{R_r}{R_0}\right) \frac{1}{m} (V_1 + V_2 + \ldots + V_m) = k \sum_1^m V_i. \qquad 2.7.14$$

Dacă se iau doar două semnale, V_1 şi V_2, iar $R_r = R_0$, din 2.7.14 rezultă

$$v_0 = V_1 + V_2. \qquad 2.7.15$$

3) Circuit extractor. În figura 2.42,*a* este redată schema care efectuează scăderea a două tensiuni (extractor simplu), în 2.42,*b* este redată schema extractorului-sumator, iar în figura 2.42,*c* — schema extractorului — multiplicator.

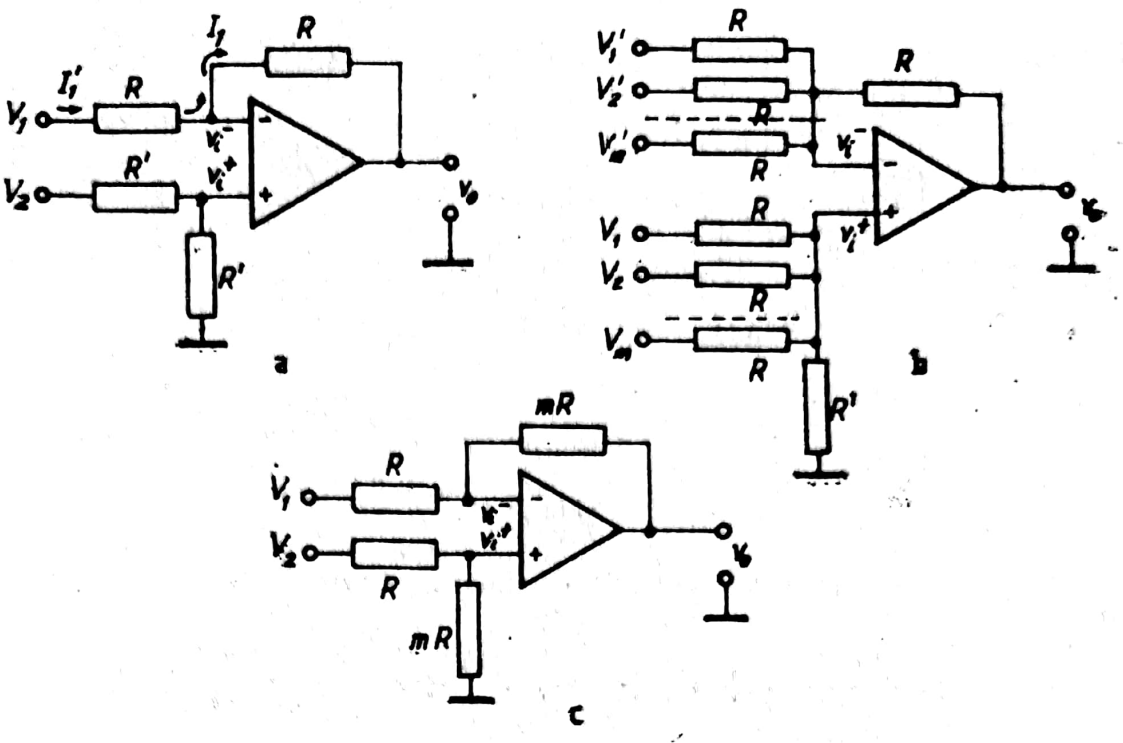


Fig. 2.42

Din figura 2.42,*a* se vede că pentru un *AO* cu amplificare mare, avem $e_n \approx 0$, deci

$$v_i^- \simeq v_i^+ \qquad 2.7.16$$

Dacă se aleg rezistențele ca în figura 2.42,*a*, atunci avem succesiv:

$$v_i^+ = V_2 \frac{R'}{R' + R'} = \frac{V_2}{2}; \qquad 2.7.17$$

$$I_1' = I_1 \qquad 2.7.18$$

sau

$$\frac{V_1 - v_i^-}{R} = \frac{v_i^- - v_0}{R}; \qquad 2.7.18,a$$

$$v_i^- = \frac{1}{2}(V_1 + v_0) = v_i^+ = \frac{V_2}{2}; \qquad 2.7.19$$

$$V_2 = V_1 + v_0 \qquad 2.7.20$$

$$v_0 = V_2 - V_1. \qquad 2.7.21$$

În cazul **extractorului-sumator** (fig. 2.42, *b*), de asemenea se poate scrie relația 2.7.16, adică $v_i^- \approx v_i^+$.

Pentru borna neinversoare, relațiile între curenți conduc la

$$\frac{V_1 - v_i^+}{R} + \frac{V_2 - v_i^+}{R} + \ldots + \frac{V_m - v_i^+}{R} = \frac{v_i^+}{R'(=R)}. \qquad 2.7.22$$

(S-a ales spre simplitate, valoarea R' a rezistenței de balans egală cu R). Din 2.7.22 se obține

$$V_1 + V_2 + V_3 + \ldots + V_m = v_i^+(m + 1). \qquad 2.7.23$$

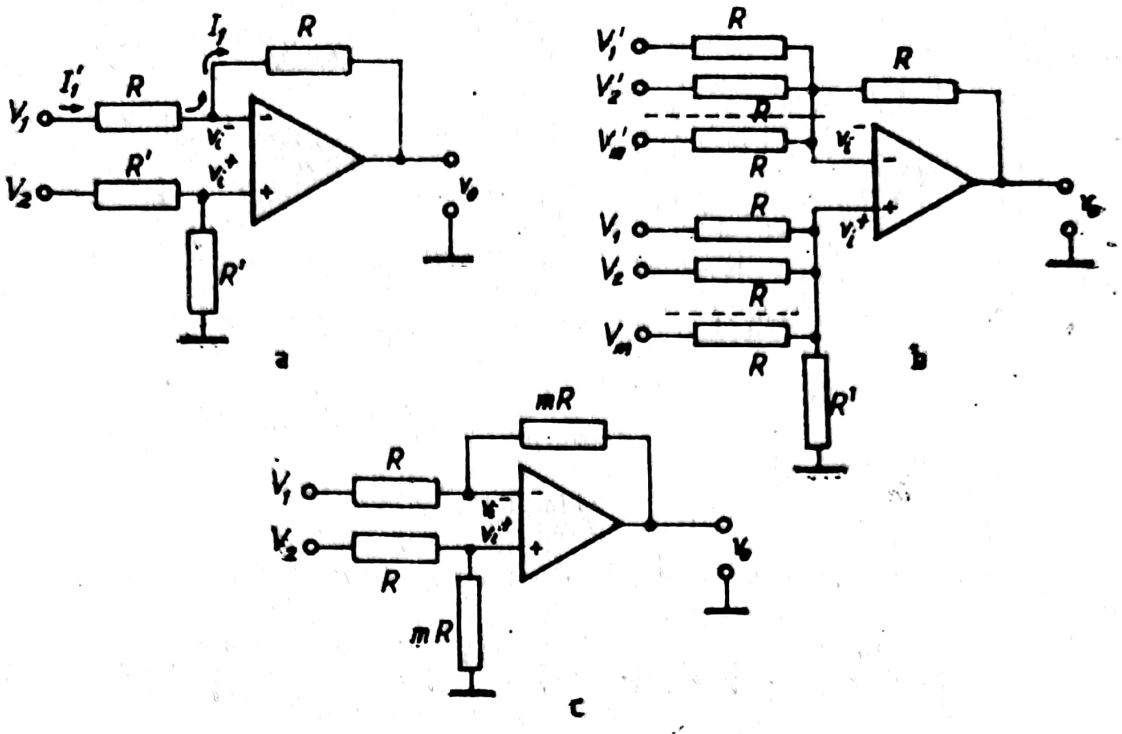


Fig. 2.42

Din figura 2.42,*a* se vede că pentru un *AO* cu amplificare mare, avem $e_n \approx 0$, deci

$$v_i^- \simeq v_i^+ \qquad 2.7.16$$

Dacă se aleg rezistențele ca în figura 2.42,*a*, atunci avem succesiv:

$$v_i^+ = V_2 \frac{R'}{R' + R'} = \frac{V_2}{2}; \qquad 2.7.17$$

$$I_1' = I_1 \qquad 2.7.18$$

sau

$$\frac{V_1 - v_i^-}{R} = \frac{v_i^- - v_0}{R}; \qquad 2.7.18,a$$

$$v_i^- = \frac{1}{2}(V_1 + v_0) = v_i^+ = \frac{V_2}{2}; \qquad 2.7.19$$

$$V_2 = V_1 + v_0 \qquad 2.7.20$$

$$v_0 = V_2 - V_1. \qquad 2.7.21$$

În cazul **extractorului-sumator** (fig. 2.42, *b*), de asemenea se poate scrie relația 2.7.16, adică $v_i^- \approx v_i^+$.

Pentru borna neinversoare, relațiile între curenți conduc la

$$\frac{V_1 - v_i^+}{R} + \frac{V_2 - v_i^+}{R} + \ldots + \frac{V_m - v_i^+}{R} = \frac{v_i^+}{R'(=R)}. \qquad 2.7.22$$

(S-a ales spre simplitate, valoarea R' a rezistenței de balans egală cu R).

Din 2.7.22 se obține

$$V_1 + V_2 + V_3 + \ldots + V_m = v_i^+(m + 1). \qquad 2.7.23$$

Scanned with OKEN Scanner

Pentru borna inversoare, relaţia între curenţi conduce la

$$\frac{V_1' - v_i^-}{R} + \frac{V_2' - v_i^-}{R} + \ldots + \frac{V_m' - v_i^-}{R} = -\frac{v_0 - v_i^-}{R}. \qquad 2.7.24$$

Din această egalitate se obţine

$$V_1' + V_2' + \ldots + V_m' = -v_0 + (m+1)v_i^-. \qquad 2.7.25$$

Cum $v_i^- = v_i^+$, din relaţiile 2.7.23 şi 2.7.25 rezultă

$$(V_1 + V_2 + \ldots + V_m) = (V_1' + V_2' + \ldots + V_m') + v_0 \qquad 2.7.26$$

de unde

$$-v_0 = (V_1' + V_2' + \ldots + V_m') - (V_1 + V_2 + \ldots + V_m). \qquad 2.7.27$$

Schema **extractorului-multiplicator** (fig. 2.42, *c*) este ca cea a extractorului simplu, diferenţa constînd în faptul că rezistenţa de reacţie şi cea de balans la intrarea neinversoare sînt de m ori mai mari decît cele conectate la intrare. Întrucît $v_i^- \equiv v_i^+$ se poate scrie succesiv:

$$v_i^+ = V_2 \frac{mR}{R + mR} = V_2 \frac{m}{m+1}; \qquad 2.7.28$$

$$\frac{V_1 - v_i^-}{R} = \frac{v_i^- - v_0}{mR}; \qquad 2.7.29$$

$$v_i^-(1 + m) = v_0 + mV_1$$

$$v_i^- = \frac{v_0 + mV_1}{1 + m} \approx v_i^+. \qquad 2.7.30$$

Comparînd 2.7.30 cu 2.7.28 se obţine

$$v_0 = m(V_2 - V_1). \qquad 2.7.31$$

4) **Circuit integrator.** *AO* poate lucra ca integrator într-un montaj inversor ca în figura 2.43,*a*. Întrucît $Z_{int} \to \infty$, curentul de intrare I_1 prin rezistenţa R va fi forţat să treacă prin condensatorul C; ca urmare

$$I_1 = I_2 = i_c. \qquad 2.7.32$$

Tensiunea şi curentul la bornele condensatorului C sînt determinate prin relaţiile (pentru valori instantanee):

$$v_c = \frac{1}{C}\int i_c \, dt \qquad 2.7.33$$

$$i_c = C\frac{dv_c}{dt}. \qquad 2.7.34$$

Scanned with OKEN Scanner

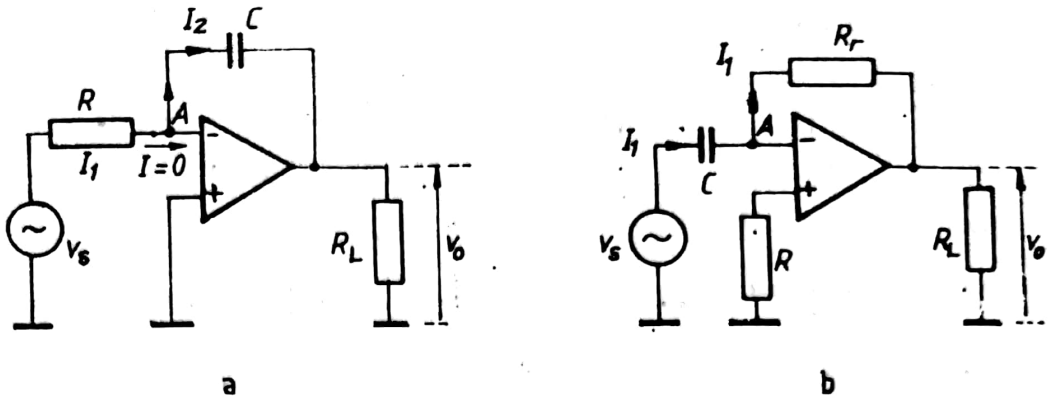


Fig. 2.43

Condensatorul fiind legat la masă în punctul A (masă virtuală fig. 2.43,*a*), tensiunea la care este supus este $-v_0$ și ca atare

$$v_0 = -\frac{1}{C}\int_0^t I_1 dt = -\frac{1}{RC}\int_0^t v_s dt. \qquad 2.7.35$$

Dacă se aleg astfel valorile încît $RC = 1$, atunci tensiunea de ieșire se exprimă prin integrala tensiunii de intrare

$$v_0 = -\int_0^t v_s\, dt. \qquad 2.7.36$$

5) **AO ca diferențiator.** Schema unui circuit diferențiator cu *AO* este redată în figura 2.43,*b*. Întrucît condensatorul C este virtual legat la masă în punctul A atunci prin el trece curent numai la variația tensiunii de intrare, adică

$$I_1 = C\frac{dv_s}{dt} = i_s. \qquad 2.7.37$$

Fiind un *AO* ideal ($Z_{int} \to \infty$), acest curent va trece prin rezistența de reacție R_r care are de asemenea un capăt la masă (în A), deci

$$0 - v_0 = R_r I_1. \qquad 2.7.38$$

Înlocuind pe I_1 din 2.3.37 se obține

$$v_0 = -R_r C\frac{dv_s}{dt}. \qquad 2.7.39$$

6) **Amplificatoare logaritmice și antilogaritmice.** Spre deosebire de exemplele de circuitele cu *AO* integrate analizate mai sus, care fac parte din clasa circuitelor liniare, amplificatoarele logaritmice sînt circuite neliniare cu *AO*.

Scanned with OKEN Scanner

Acestea folosesc proprietăţile neliniare ale caracteristicii $I-V$ a unei joncţiuni $p-n$ (diodă)

$$I_D = I_s\left(e^{\frac{eV_D}{\eta kT}} - 1\right) \qquad 2.7.40$$

în care $\eta \simeq 1 \div 3$ pentru joncţiunile cu siliciu. În cazul amplificatorului logaritmic (fig. 2.44,*a*), pentru borna inversoare care se află legată la masă (virtuală), tensiunea de la ieşirea AO este aceea care acţionează pe diodă, astfel încît $v_0 = -V_D$ şi ca atare

$$I_D = I_s\left(e^{\frac{-ev_0}{\eta kT}} - 1\right). \qquad 2.7.41$$

Întrucît la intrare curentul este dat de

$$\frac{V_i - 0}{R} = I_1 = I_2 = I_D \qquad 2.7.42$$

relaţia 2.7.41 devine

$$\frac{V_i}{R} = I_s\left(e^{-\frac{ev_0}{\eta kT}} - 1\right). \qquad 2.7.43$$

Pentru $v_0 > 1$, neglijînd unitatea se obţine prin logaritmare

$$-\frac{ev_0}{\eta kT} = \ln\frac{V_i}{RI_s} \qquad 2.7.44$$

sau

$$v_0 = -\frac{\eta kT}{e}\ln\frac{V_i}{RI_s}. \qquad 2.7.45$$

Schema-bloc a unui **amplificator antilogaritmic** cu AO este redată în figura 2.44,*b*. Se vede din relaţia

$$I_D = I_1 = I_2 = -\frac{v_0}{R} \qquad 2.7.46$$

se obţine, neglijînd unitatea

$$I_D = I_s e^{\frac{eV_i}{kT}} = -\frac{v_0}{R} \qquad 2.7.47$$

sau

$$\frac{eV_i}{kT} = -\ln\frac{v_0}{RI_s}; \qquad 2.7.48$$

Scanned with OKEN Scanner

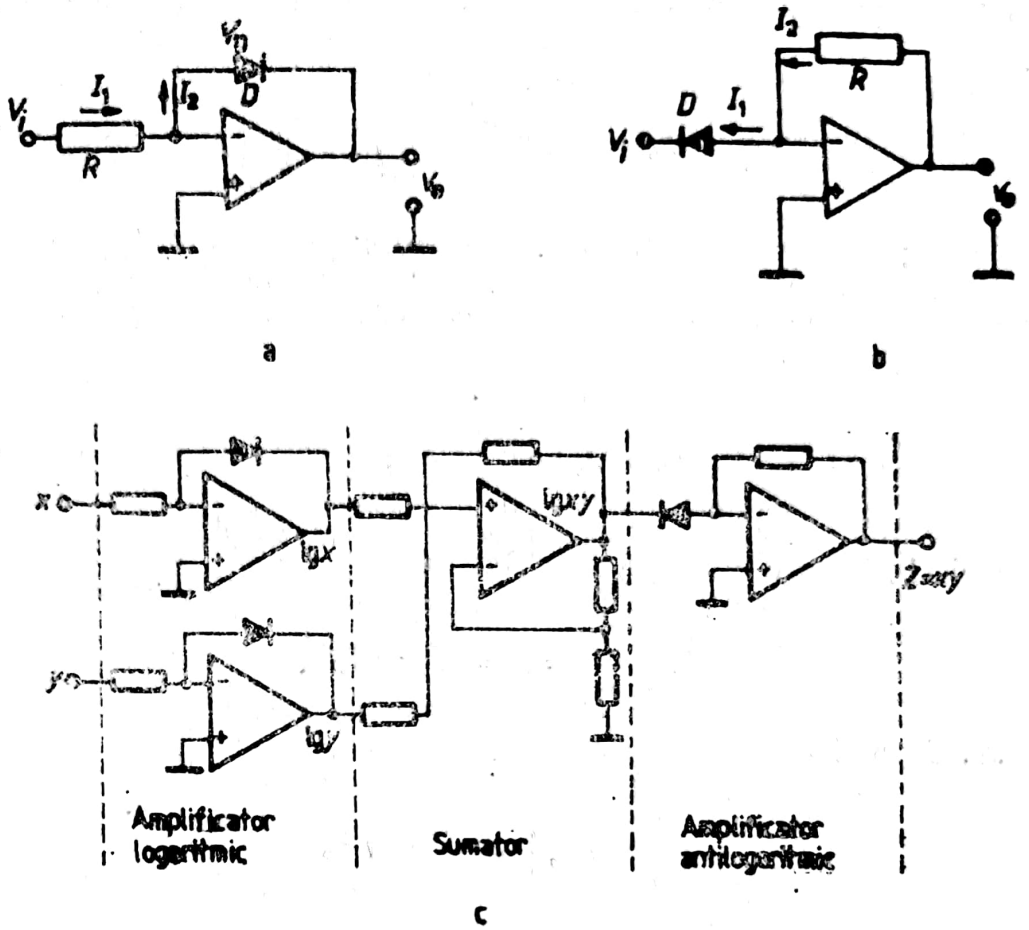


Fig. 2.44

Din 2.7.48 prin antilogaritmare se scoate v_0

$$v_0 = RI_s \ln^{-1}\left[-\frac{eV_i}{kT}\right]. \qquad 2.7.49$$

Multiplicator logaritmic. Folosind amplificatoarele logaritmice și antilogaritmice împreună cu alte circuite cu *AO* se pot realiza diferite funcții de ieșire de tipul xy, x^n, $\frac{1}{x}$ etc. În acest caz, prin folosirea judicioasă a diferitelor elemente neliniare (diode, tranzistori), astfel împerecheate (sub formă integrată sau de matrici) încît să nu depindă de temperatură, se elimină necesitatea utilizării termistorilor pentru compensarea cu temperatura a amplificatoarelor logaritmice. În figura 2.44,*c* se prezintă schema-bloc a unui multiplicator care utilizează un sumator (cu două intrări) și a unor amplificatoare, logaritmic și respectiv antilogaritmic. Sumatorul realizează operația

$$\lg x + \lg y = \lg (x.y) \qquad 2.7.50$$

care prin antilogaritmare conduce la funcția (finală)

$$Z = xy. \qquad 2.7.51$$

Dintre circuitele neliniare cu *AO* se mai pot menţiona diferite variante de comparatoare, redresoare de precizie etc., care sînt tratate pe larg în diferite lucrări destinate aplicaţiilor circuitelor integrate analogice [6,43—46, 49, 52, 54—57].

2.7.2. Filtre active

Amplificatoarele operaţionale integrate sînt mult utilizate pentru realizarea filtrelor de înaltă performanţă. În comparaţie cu filtrele *LC* obişnuite, filtrele active cu *AO* prezintă o serie de avantaje cum sînt greutatea şi dimensiunile reduse (deoarece în locul impedanţelor pot fi folosite rezistenţe), factor de calitate ridicat, posibilitatea integrării, posibilitatea funcţionării la frecvenţe foarte mici (sub 0,01 Hz), preţ de cost relativ scăzut etc.

Filtrele active pot fi realizate şi cu circuite integrate numerice [61]. Filtrele active analogice sînt compuse dintr-o reţea pasivă de rezistenţe şi capacităţi şi un element activ (de regulă un *AO*) care crează posibilitatea obţinerii unor funcţii de transfer cu unul sau mai mulţi poli în semiplanul stîng al planului complex. În continuare vor fi prezentate succint filtrele active cu *AO* (ideale) cu cîştig infinit, cu un pol şi cu doi poli, cele de ordin superior obţinîndu-se prin conectarea în serie a două sau mai multe filtre cu doi poli. Amănunte suplimentare despre aceste filtre, cît şi despre alte categorii de filtre active sînt sintetizate în [57, 60—64].

1) **Filtru activ trece-jos.** Filtrele active reprezintă de fapt amplificatoare selective care permit amplificarea semnalelor într-un anumit domeniu

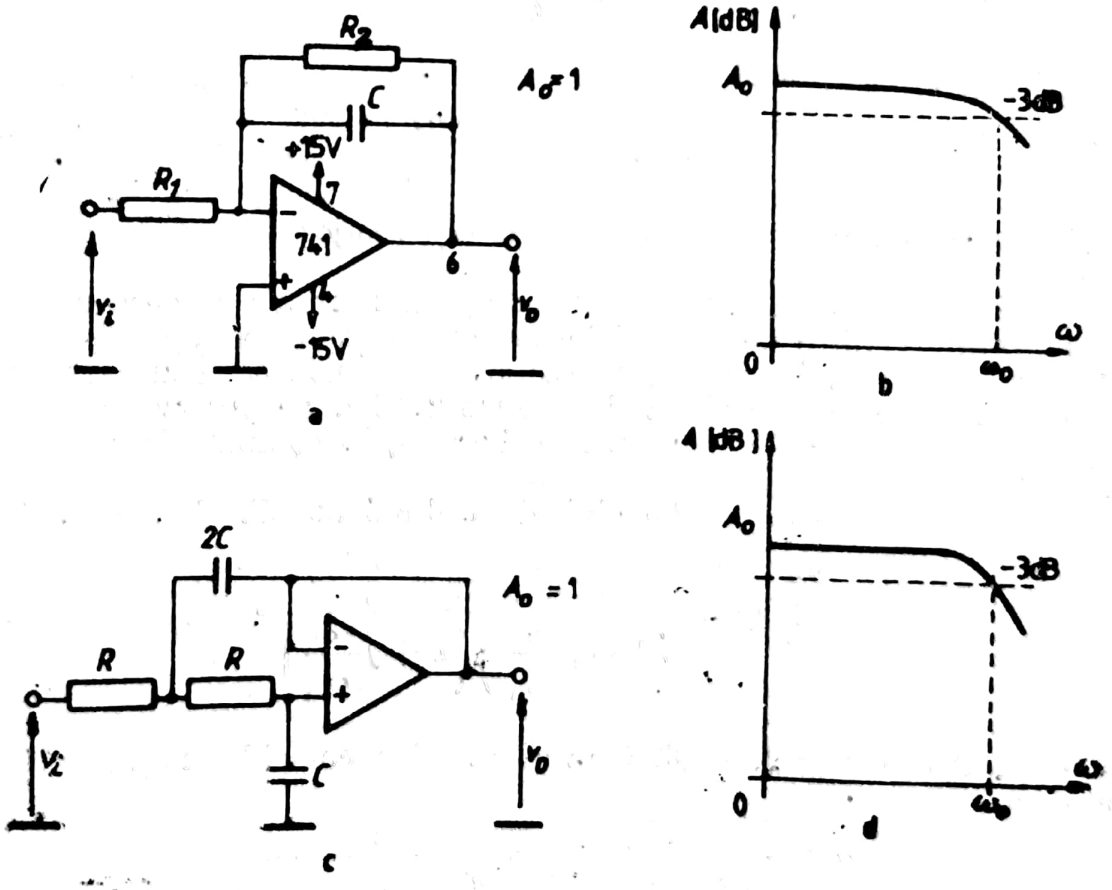


Fig. 2.45

al benzii de frecvenţă şi anume, fie al frecvenţelor joase—filtru trece jos—, fie al frecvenţelor înalte — filtru trece sus — fie a unei regiuni din restul benzii — filtru trece bandă. Alteori este nevoie ca o anumită porţiune din banda de frecvenţe să fie puternic atenuată acest lucru efectuîndu-se cu aşa numitele filtre de rejecţie caracteristice respectivului domeniu de frecvenţe.

Un filtru activ **trece-jos** de ordinul întîi (cu un singur pol) conţine o reţea simplă R_2C cuplată cu un AO ideal ceea ce conferă ieşirii montajului o impedanţă foarte mică (fig. 2.45,*a*). Funcţia de transfer a filtrului activ din figura 2.45,*a* este (v. 2.6.24 şi 2.6.25)

$$\mathscr{H}(s) = \frac{\mathscr{H}_0}{1 + sR_2C} = \frac{\frac{R_2}{R_1}}{1 + j\omega CR_2}, \qquad 2.7.52$$

Amplificarea (cîştigul) va fi dată de

$$A(\omega) = G(\omega) = |\mathscr{H}(j\omega)| = \frac{\mathscr{H}_0}{\sqrt{1 + \left(\frac{\omega}{\omega_0}\right)^2}} = \frac{R_2}{R_1} \frac{1}{\sqrt{1 + \left(\frac{\omega}{\omega_0}\right)^2}} \qquad 2.7.53$$

unde frecvenţa critică ω_0 este dată de

$$\omega_0 = \frac{1}{CR_2} \qquad 2.7.54$$

şi defazajul este determinat ca fiind

$$\varphi(\omega) = -\operatorname{arc\,tg}\frac{\omega}{\omega_0}, \qquad 2.7.55$$

Caracteristica de frecvenţă a filtrului trece-jos este redată în figura 2.45,*b*.

În practică folosirea filtrelor active de primul ordin este neeconomică, de regulă utilizîndu-se filtre de ordinul doi sau cu mai mulţi poli. În figura 2.45,*c* este redată schema unui filtru activ trece-jos cu doi poli a cărui caracteristică de frecvenţă este reprezentată în figura 2.45,*d*. Se observă căderea mai abruptă a caracteristicii la frecvenţa de tăiere ω_0 în comparaţie cu a filtrului de primul ordin.

Funcţia de transfer a filtrului de ordinul doi din figura 2.45,*c* este (v. 2.6.24)

$$\mathscr{H}(s) = \frac{\mathscr{H}_0}{\left(1 + j\frac{\omega}{\omega_{C_1}}\right)\left(1 + j\frac{\omega}{\omega_{C_2}}\right)}. \qquad 2.7.56$$

În cazul în care cele două frecvenţe critice coincid funcţia de transfer se scrie ca

$$\mathscr{H}(s) = \frac{\mathscr{H}_0}{\left(1 + j\frac{\omega}{\omega_0^2}\right)^2} = \frac{\mathscr{H}_0\omega_0^2}{s^2 + \alpha s\,\omega_0 + \omega_0^2} \qquad 2.7.57$$

Scanned with OKEN Scanner

Cîştigul (amplificarea) va fi dată de [62]

$$|\mathcal{H}(j\omega)| = G(\omega) = \sqrt{\frac{\mathcal{H}_0^2\omega_0^4}{\omega^4 + \omega^2\omega_0(\alpha^2 - 2) + \omega_0^4}} \qquad 2.7.58$$

şi este reprezentată în figura 2.45,*d*, avînd frecvenţa de tăiere

$$f_0 = \frac{1}{2\sqrt{\pi \cdot 2RC}}. \qquad 2.7.59$$

În figura 2.46,*a*,*b* sînt reprezentate schema unui filtru activ **trece-sus** de ordinul întîi şi respectiv caracteristica de frecvenţă a sa, avînd funcţia de transfer

$$\mathcal{H}(s) = \frac{s\dfrac{R_2}{R_1}}{s + \dfrac{1}{C_1R_1}} \qquad 2.7.60$$

şi cu cîştigul

$$G(\omega) = |\mathcal{H}(s)| = \frac{R_2}{R_1} \cdot \frac{1}{\sqrt{1 + \left(\dfrac{\omega_0}{\omega}\right)^2}}. \qquad 2.7.61$$

Un filtru activ **trece-sus de ordinul doi** cu o caracteristică care prezintă o pantă mult mai abruptă este reprezentat în figura 2.46,*c*, iar în figura 2.46,*d* este redată caracteristica de frecvenţă respectivă. Funcţia de transfer a acestui filtru este dată de [62]

$$\mathcal{H}(s) = \frac{\mathcal{H}_0 s^2}{s^2 + \alpha\omega_0 s + \omega_0^2}, \qquad 2.7.62$$

iar cîştigul este determinat de relaţia

$$G(\omega) = \left[\frac{\mathcal{H}_0^2\omega^4}{\omega^4 + \omega^2\omega_0^2(\alpha^2 - 2) + \omega_0^4}\right]^{1/2}. \qquad 2.7.63$$

Schema unui filtru **trece-bandă cu doi poli** este reprezentată în figura 2.47,*a*, iar în figura 2.47,*b* este reprezentată caracteristica sa de frecvenţă. Funcţia de transfer se scrie ca [62—64]

$$\mathcal{H}(s) = \frac{\mathcal{H}_0 s\omega_0\alpha}{s^2 + \alpha\omega_0 s + \omega_0^2} = \frac{\mathcal{H}_0 ks}{s^2 + \alpha\omega_0 s + \omega_0^2} \qquad 2.7.64$$

unde

$$\alpha = \frac{1}{Q} \text{ şi } Q = \frac{\omega_0}{\omega_2 - \omega_1} = \frac{f_0}{f_2 - f_1}. \qquad 2.7.65$$

Scanned with OKEN Scanner

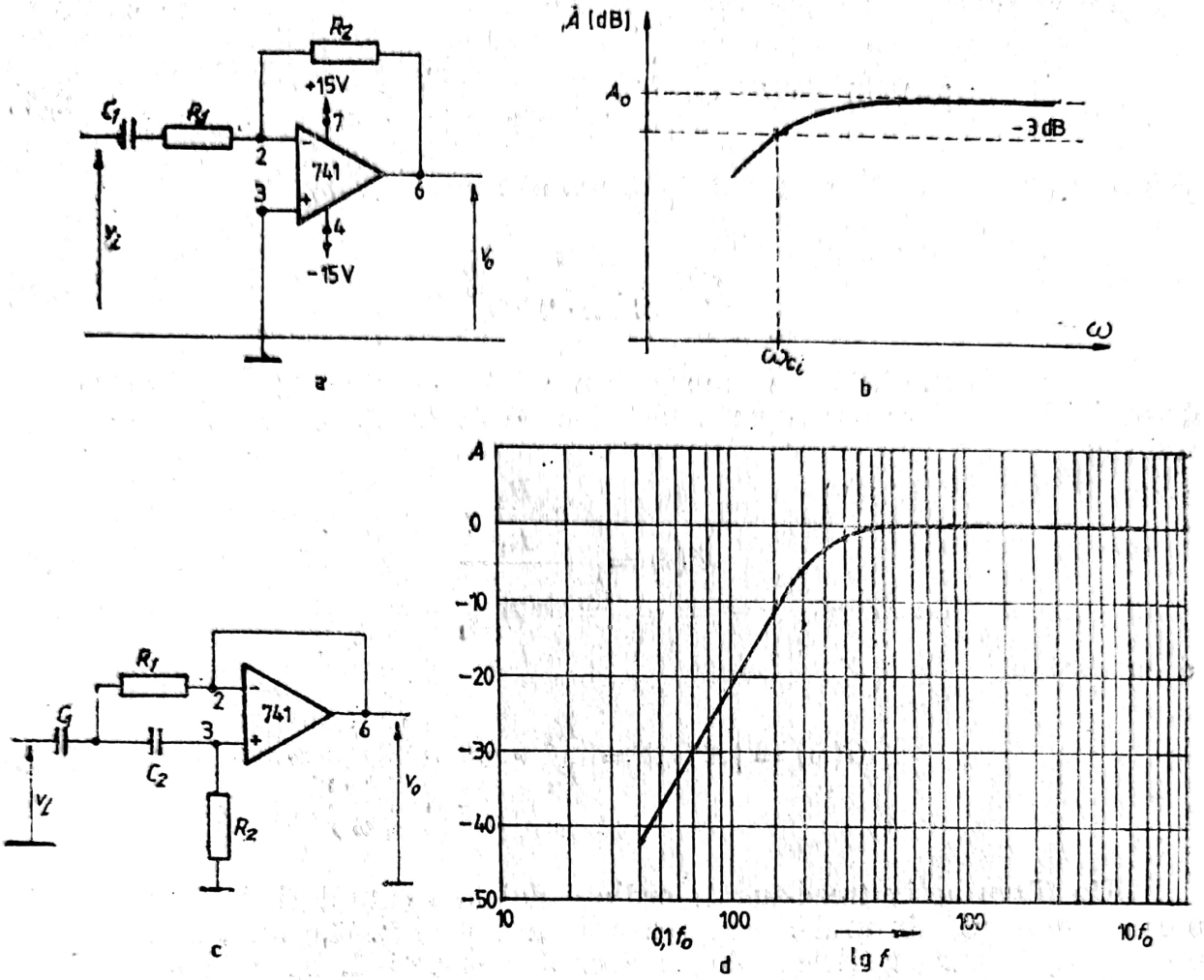


Fig. 2.46

Filtrul din figura 2.47,*a* satisface relaţia 2.7.64 pentru valorile [60, 62—64]:

$$\alpha = \frac{2}{R_3 C \omega}; \quad \omega_0^2 = \frac{1}{R_3 C^2}\left(\frac{1}{R_1} + \frac{1}{R_2}\right). \qquad 2.7.66$$

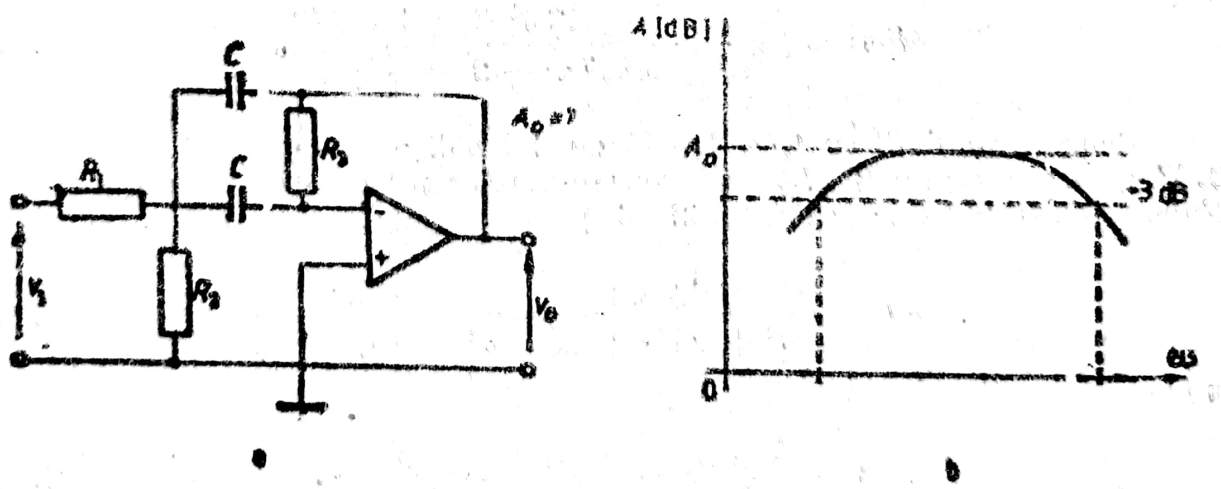


Fig. 2.47

Scanned with OKEN Scanner

Acest filtru prezintă rezultate satisfăcătoare pentru valori mici ale lui Q. Un filtru trece-bandă cu un factor de calitate îmbunătăţit ($Q = 10 \div 50$) este aşa numitul filtru cu reacţie pozitivă conţinînd două AO înseriate (fig. 2.48) [60, 62—64]. Analiza filtrului din figura 2.48 arată că ecuaţia 2.7.64 este satisfăcută pentru valorile [60, 62—64]:

$$k = \alpha\omega_0 = \frac{R_4}{CR_1^2}; \qquad 2.7.67$$

$$\alpha_0 = \frac{1}{R_1 C\omega}\left(2 - \frac{R_4}{R_3}\right); \qquad 2.7.68$$

$$\omega_0 = \left[\frac{1}{R_1 C^2}\left(\frac{1}{R_1} + \frac{1}{R_2} + \frac{1}{R_3}\right)\right]^{1/2}. \qquad 2.7.69$$

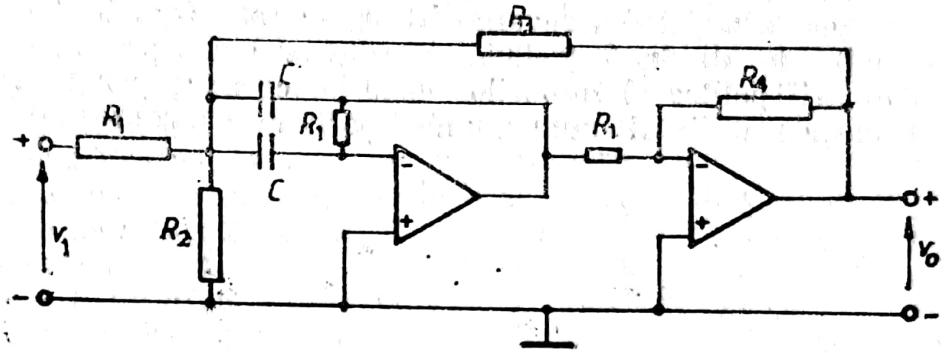


Fig. 2.48

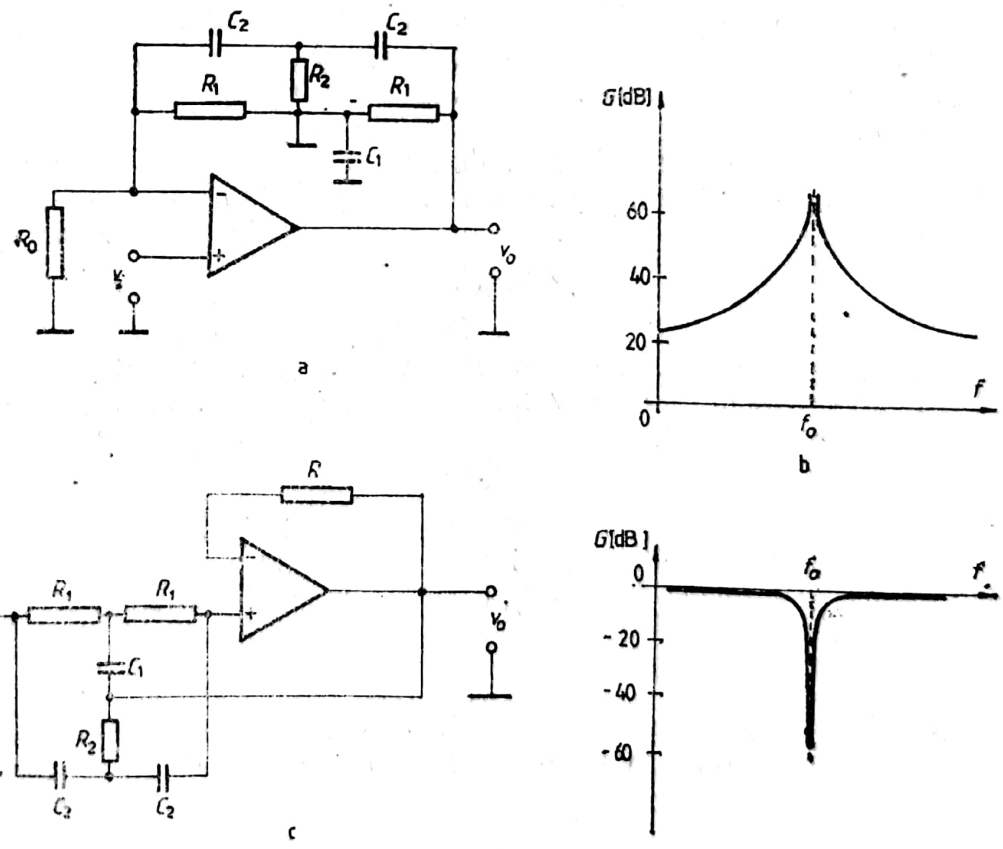


Fig. 2.49

În aplicații speciale se folosesc filtre selective (trece-bandă) cu rețele *RC* în dublu *T* (fig. 2.49,*a*). Întrucît la rezonanță rețeaua de reacție cu dublu *T* prezintă o impedanță practic infinită, *AO* lucrează cu o amplificare foarte mare (în „buclă deschisă") pentru respectiva frecvență (fig. 2.49,*b*). Frecvența de rezonanță este determinată prin relația [5,46].

$$f_0 = \frac{1}{2\pi R_1 C_2} \qquad 2.7.70$$

unde

$$C_1 = 2C; \quad R_1 = 2R_2. \qquad 2.7.71$$

Dacă rețeaua în dublu *T* se cuplează la intrarea la care se aplică și semnalul, atunci se obține un filtru de rejecție (fig. 2.49,*c*), care atenuează puternic frecvențele din jurul frecvenței de rezonanță (fig. 2.49,*d*). Filtrele active cu circuite în dublu *T* trebuie folosite cu mare precauție datorită necesității eliminării polilor și zerourilor nedorite ce apar pentru funcția de transfer, ca urmare a utilizării unui număr sporit de elemente pasive.

Scanned with OKEN Scanner

3.1. Elemente de algebră Boole. Circuite logice cu componente discrete

Algebra booleană, sau algebra logicii elaborată de George Boole (1815—1864) operează în sistemul binar deci cu variabile independente care pot lua numai două valori: 1 sau 0, care corespund propoziţiilor logice „Da" şi „Nu" sau „Adevărat" sau „Fals". Cu un număr de n variabile, fiecare luînd valoarea 0 sau 1 se pot forma $m = p^n$ combinaţii, unde p este baza sistemului de numeraţie, în cazul algebrei Boole fiind egală cu 2. Cele $2^n = m$ combinaţii se pot, la rîndul lor, combina în $2^m = 2^{2^n}$ funcţii logice distincte, deci numărul acestora poate fi destul de ridicat, chiar pentru un număr n mic de variabile. Pentru $n = 4$ de exemplu, rezultă 65536 funcţii booleene distincte, dar în practică, pentru realizarea unui sistem logic anume se foloseşte un număr mult mai mic de funcţii logice.

Pentru două variabile a şi b (deci $n = 2$), există $2^{2^2} = 16$ funcţii logice elementare pe baza cărora pot fi alcătuite alte funcţii mai complicate. Dintre cele 16 *funcţii elementare*, se pot distinge trei funcţii de bază sau **fundamentale** de mare importanţă pentru algebra booleeană şi sinteza circuitelor logice. Acestea sînt:

a) Funcţia **„Negaţie"** sau „complementul logic" sau funcţia logică „NU" care face ca unei variabile binare a să-i corespundă variabila binară $\bar{a}$ (complement), astfel încît

$$a + \bar{a} = 1. \qquad 3.4.1$$

Funcţiile logice sînt definite şi pot fi reprezentate şi prin tabele de adevăr. Pentru funcţia NU, tabelul de adevăr va fi (în conformitate cu relaţia de definiţie 3.4.1):

a	$\bar{a}$
0	1
1	0

b) Intersecţia sau **produsul logic** sau funcţia logică „ŞI" sau „conjuncţia". Pentru două variabile, a şi b, această funcţie logică f_2 este definită prin operaţia logică

$$f_2 = a \cdot b \qquad 3.1.2$$

şi prin tabelul de adevăr 3.1

Scanned with OKEN Scanner

c) Reuniunea sau suma logică sau funcţia „SAU" sau „disjuncţia", definită prin operaţia

$$f_3 = a + b \qquad 3.1.3$$

şi prin tabelul de adevăr 3.2.

Tabelul 3.1

a	b	$a \cdot b$
0	0	0
0	1	0
1	0	0
1	1	1

Produsul logic cît şi suma logică se supun regulilor de asociativitate

$$a + b + c = (a + b) + c = a + (b + c) \qquad 3.1.4$$

şi distributivitate faţă de produsul aritmetic[1].

$$a(b + c) = ab + ac. \qquad 3.1.5$$

Produsul logic, cît şi suma logică pot fi definite pentru mai multe variabile

$$a + b + c + d + \ldots \text{ sau } a \cdot b \cdot c \cdot d \cdot \ldots \qquad 3.1.6$$

În sinteza şi analiza funcţiilor şi circuitelor logice sînt foarte mult folosite teoremele lui De Morgan (teoreme duale):

$$\overline{a + b + c + \ldots} = \bar{a} \cdot \bar{b} \cdot \bar{c} \cdot \ldots \qquad 3.1.7$$

$$\overline{a \cdot b \cdot c \cdot d \ldots} = \bar{a} + \bar{b} + \bar{c} + \bar{d} + \ldots \qquad 3.1.8$$

Aceste teoreme duale au următorul enunţ: „negaţia sumei (disjuncţiei) logice a n variabile (logice) este echivalentă cu produsul (conjuncţia) logic al negaţiilor lor" şi „negaţia produsului logic a n variabile este echivalentă cu suma logică a negaţiilor lor".

În algebra booleană sînt adevărate relaţiile [1,6 — 8, 18]:

$$a + a + a + \ldots = a \qquad 3.1.9$$

$$a + a = a \qquad 3.1.10$$

$$a \cdot a \cdot a \cdot a \ldots = a \qquad 3.1.11$$

$$a + \bar{a} = 1 \qquad 3.1.12$$

$$a \cdot \bar{a} = 0 \qquad 3.1.13$$

$$\bar{\bar{a}} = a \qquad 3.1.14$$

$$a + 0 = a \qquad 3.1.15$$

$$a + 1 = 1 \text{ etc.} \qquad 3.1.16$$

Foarte importantă este aşa numita teoremă a absorbţiei, care este utilizată pentru simplificarea şi „minimizarea" funcţiilor logice mai complexe. Conform acestei teoreme sînt adevărate relaţiile următoare (ca rezultat al

[1] Operaţiile de „produs" sau „sumă" logice au alte înţelesuri în comparaţie cu operaţiile aritmetice obişnuite; astfel „suma" $a + b$ (notată uneori cu $a \cup b$) se citeşte „sau a sau b", produsul $a \cdot b$ (notat uneori $a \cap b$) se citeşte „a şi b" etc.

Scanned with OKEN Scanner

aplicării teoremelor şi relaţilor precedente):

$$a + ab = a \qquad 3.1.17$$

$$\bar{b} + \bar{b}a = \bar{b} \qquad 3.1.18$$

$$a + \bar{a}b = a + b \text{ etc.} \qquad 3.1.19$$

Într-adevăr, expresia $a + ab$ se poate scrie ca

$$a(1 + b) = a \cdot 1 = a. \qquad 3.1.20$$

La fel, ultima relaţie se poate scrie ca (pornind de la termenul al doilea)

$$a + b = (a + \bar{a})(a + b) = aa + ab + \bar{a}a + \bar{a}b =$$

$$= a + ab + \bar{a}b = a(1 + b) + \bar{a}b = a + \bar{a}b \qquad 3.1.21$$

adică se ajunge la primul membru din egalitatea 3.1.19.

Reprezentarea funcţiilor logice se mai poate face şi grafic prin anumite simboluri numite **logigrame**. Cele trei funcţii logice fundamentale sînt reprezentate prin logigramele din figura 3.1.

Cu ajutorul funcţiilor logice fundamentale (NU, SAU, ŞI), reprezentate în figura 3.1, folosind teoremele şi postulatele algebrei logice se pot defini o serie de funcţii logice auxiliare (din şirul celor 16 funcţii elementare, pentru $n = 2$), dintre care cele mai reprezentative şi mai folosite sînt următoarele:

d) Funcţia NICI sau funcţia **SAU-NEGAT** sau funcţia **SAU-NU** (**NOR** în l. engleză): aceasta se mai numeşte şi funcţia lui Pierce fiind reprezentată prin simbolul grafic din figura 3.2,*a* şi prin tabelul de adevăr 3.3, corespunzător primei teoreme a lui De Morgan.

$$\overline{a + b + c} + \ldots = \bar{a}.\bar{b}.\bar{c}\ldots \qquad 3.1.22$$

Tabelul 3.2

a	b	$a+b$
0	0	0
1	0	1
0	1	1
1	1	1

e) Funcţia **ŞI-NU** (**NAND** în l. engleză) sau funcţia lui Sheffer, reprezentată prin logigrama din figura 3.2, *b* şi prin tabelul de adevăr 3.4 corespunzător celei de a doua teoreme a lui De Morgan

$$\overline{a \cdot b \cdot c \cdot d}\ldots = \bar{a} + \bar{b} + \bar{c} + \bar{d} + \ldots \qquad 3.1.23$$

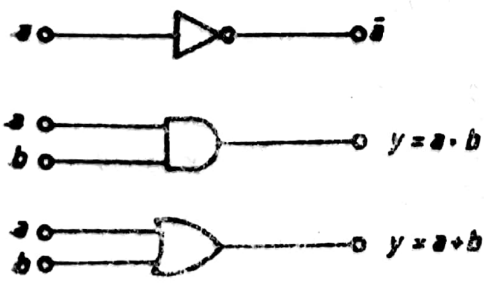


Fig. 3.1

f) Funcţia **SAU-EXCLUSIV** (**XOR**, în l. engleză) sau adunare „*a* modulo doi *b*", $a \oplus b$, definită prin relaţia

$$y = a \oplus b = a\bar{b} + \bar{a}b \qquad 3.1.24$$

şi prin tabelul de adevăr 3.5. Se vede că funcţia de ieşire y este egală cu 1 numai cînd a şi b nu sînt simultan egale între

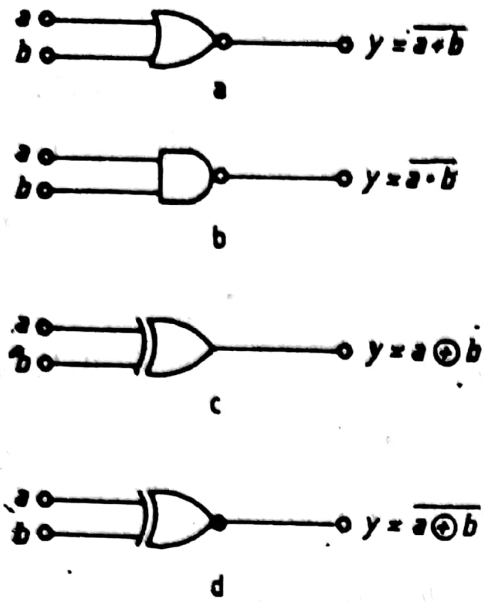


Fig. 3.2

ele, deci este o funcţie de **anticoincidenţă**. Simbolul grafic (logigrama) acestei funcţii este redat în figura 3.2,*c*.

g) Funcţia **coincidenţă** sau funcţia **SAU-EXCLUSIV-NU** reprezintă negarea (complementul) funcţiei precedente fiind dată de relaţia

$$y = \overline{a \oplus b} = \overline{a\bar{b} + \bar{a}b} = \bar{a}\bar{b} + ab \qquad 3.1.25$$

şi de tabelul de adevăr 3.6; în figura 3.2,*d* se arată logigrama acestei funcţii care se mai notează cu $\overline{\text{XOR}}$.

Funcţia 3.1.24 se mai poate scrie sub forma

$$y = (a + b)(\overline{a \cdot b}) \qquad 3.1.26$$

şi conform primei teoreme a lui De Morgan, este echivalentă cu 3.1.24. Într-adevăr, ţinînd seama de postulatele şi legile algebrei logice, avem (din 3.4.26)

$$y = (a + b)\overline{(a \cdot b)} = (a + b)(\bar{a} + \bar{b}) = a\bar{a} + a\bar{b} + \bar{a}b + b\bar{b} =$$
$$= a\bar{b} + \bar{a}b = a \oplus b. \qquad 3.1.27$$

Tabelul 3.3

a	b	$a+b$
0	0	1
1	0	0
0	1	0
1	1	0

Tabelul 3.4

a	a	$a \cdot b$
0	0	1
1	0	1
0	1	1
1	1	0

Tabelul 3.5

a	b	$a \oplus b$
0	0	0
1	0	1
0	1	1
1	1	0

Relaţiile 3.1.26; 3.1.27 sugerează faptul că operaţia a modulo doi b (notată prin $a \oplus b$) se poate obţine cu ajutorul funcţiilor logice de bază combinate în diferite moduri conform formulelor de definiţie. Astfel funcţia definită în 3.1.27 (sau 3.1.26) se poate reprezenta prin schema de tip arborescent din figura 3.3 care lucrează ca o schemă de anticoincidenţă.

Descrierea celorlalte funcţii elementare (pînă la 16, pentru două variabile), precum şi alte postulate şi legi ale algebrei booleene se pot găsi în diferite lucrări de specialitate [1, 3, 6—8].

Tabelul 3.6

a	b	$a+b$
0	0	1
1	0	0
0	1	0
1	1	1

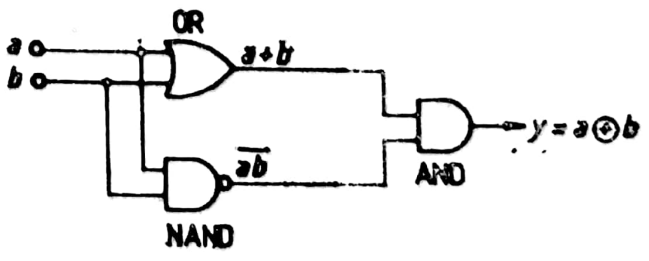


Fig. 3.3

Scanned with OKEN Scanner

Unei funcţii logice, caracterizate prin tabelul său de adevăr, i se poate pune în corespondenţă un circuit care realizează în practică operaţiile funcţiilor logice date. Un asemenea circuit, denumit **circuit logic**, realizează fizic transformarea variabilelor de intrare în variabile de la ieşirea circuitului, conform funcţiei logice considerate.

Se pot deosebi două clase mari de circuite logice şi anume, **circuite logice combinaţionale (CLC)** şi **circuitele logice secvenţiale (CLS)**.

Circuitele logice combinaţionale sînt acele circuite la care variabila (sau mulţimea variabilelor) de ieşire depinde doar de combinaţiile de valori ale variabilelor de intrare.

Circuitele logice secvenţiale sînt acele circuite la care variabila (sau variabilele) de ieşire, la un anumit tact de funcţionare (adică la un moment dat t) depind atît de combinaţiile de valori ale variabilelor de intrare, la acelaşi moment t, cît şi de stările elementelor interne, de memorie, ale circuitului.

Conform definiţiei de mai sus, un circuit logic combinaţional reprezintă un ansamblu (sistem) de funcţii logice elementare caracterizate prin tripletul

$$F = (X, Y, f) \qquad 3.1.28$$

unde

$$X = X(x_1, x_2, x_3, \ldots x_n) \qquad 3.1.29$$

este mulţimea variabilelor de intrare în sistem (sau vectorul variabilelor de intrare) (fig. 3.4, *a*);

$$Y = Y(y_1, y_2, y_3, \ldots y_m) \qquad 3.1.30$$

este mulţimea variabilelor de ieşire din sistem (sau vectorul variabilelor de ieşire);

$f: X \to Y$ este funcţia de intrare-ieşire sau funcţia de transfer.

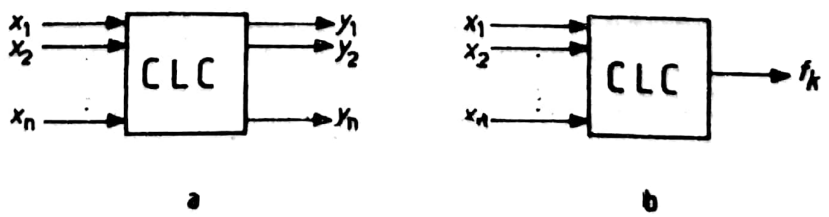
Pentru *CLC* de uz general se utilizează logica binară, astfel că variabilele x_i şi y_i pot lua numai valorile 0 sau 1. Prin urmare, aplicaţia $f: X \to Y$ reprezintă o funcţie booleană care poate fi scrisă ca

$$f = f(x_1, x_2, x_3 \ldots x_n) = (f_1, f_2, \ldots f_m) \qquad 3.1.31$$

cu

$$\begin{aligned} f_1 &= y_1(x_1, x_2, \ldots x_n) \\ f_2 &= y_2(x_1, x_2, \ldots x_n) \\ &\vdots \\ f_m &= y_m(x_1, x_2, \ldots x_n). \end{aligned} \qquad 3.1.32$$

Aceasta este deci o funcţie vectorială (cu m componente) de variabilă vectorială. Componentele f_k ale lui f pot fi studiate separat pe baza mode-



a b

Fig. 3.4

lului particularizat pentru *CLC* din figura 3.4,*b*, care față de modelul general din figura 3.4,*a* are numai o componentă a funcției de ieșire. Această funcție se poate numi funcție booleană scalară, sau simplu, funcție booleană *f*, subînțelegînd, în absența altor precizări, că vectorul *Y* are o singură componentă.

Circuitele logice sînt circuite de comutație statică și sînt realizate cu dispozitive — de regulă, electronice — care pot prezenta două stări: **închis** și **deschis**, corespunzătoare celor două valori 0 și 1 ale variabilelor binare; asemenea dispozitive sînt tuburile electronice (utilizate în prima generație de calculatoare electronice din anii 1945—1955), diodele semiconductoare, tranzistorii și circuitele integrate, în general dispozitivele pe corp solid care pot efectua operația de comutare.

De regulă stărilor logice 0 și 1 li se asociază nivele de tensiune (sau de curent) de la intrările și ieșirile circuitului; potențialul scăzut (potențialul masei) se ia drept stare logică 0, iar potențialul înalt, se ia drept stare logică 1. Dacă potențialul înalt (semnal sau impuls de tensiune) este pozitiv, avem de-a face cu logica pozitivă, dacă este negativ, atunci avem logica negativă.

Diodele semiconductoare și tranzistorii (bipolari și unipolari) se pot utiliza în construcția circuitelor logice cu asemenea dispozitive realizîndu-se calculatoarele electronice numerice din generația a doua (cu dispozitive semiconductoare discrete (1955—1963). În figura 3.5,*a* se arată schema unui circuit ȘI realizat, în logica pozitivă, cu diode și rezistențe. Datorită polarizării circuitului cu tensiunea $+V_{cc}$ toate diodele sînt în conducție și întreaga tensiune cade pe rezistența *R*. În acest fel, la ieșire, în punctul *a* (fig. 3.5,*a*) tensiunea este practic nulă, deci $y = 0$. Același lucru se întîmplă dacă se aplică semnal (impuls) pozitiv la una sau mai multe diode, iar altele (sau chiar numai una) rămîn în conducție (legate la masă). Pentru a obține semnal la ieșire, adică $y = 1$, este necesar ca **și** la x_1, **și** la x_2 **și** la $\ldots x_n$, adică la **toate** intrările să se aplice un potențial pozitiv înalt (comparativ cu $+V_{cc}$) care să blocheze toate diodele; în acest caz tensiunea $+V_{cc}$ se transmite la ieșire (prin *R* nu curge curent), deci rezultă

$$y = x_1 \cdot x_2 \cdot \ldots x_n \qquad 3.1.33$$

adică potențial înalt ($y = 1$).

Un circuit SAU se realizează cu diode montate invers față de schema corespunzătoare circuitului ȘI (fig. 3.5,*b*), iar în locul sursei $+V_{cc}$ se ia o tensiune practic nulă (sau ușor negativă). Se vede din figura 3.5,*b* (în logica pozitivă) că la ieșire se obține potențial înalt (de fapt cel aplicat la intrare,

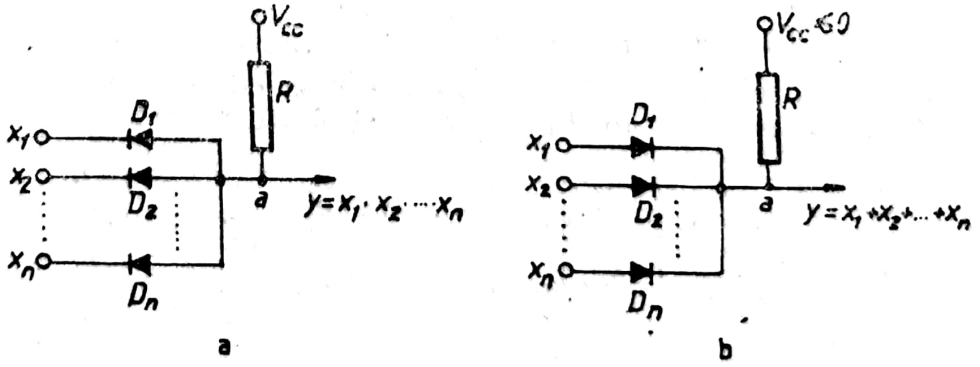


Fig. 3.5

ușor atenuat prin dioda considerată), adică

$$y = x_1 + x_2 + x_3 + \ldots + x_4, \qquad 3.1.34$$

dacă sau la una sau la două, sau la mai multe, sau la toate intrările se aplică potențial pozitiv (starea 1); dacă la nici o intrare nu se aplică nici un potențial (pozitiv), atunci toate diodele sînt blocate și la ieșire se va transmite potențialul zero (sau foarte mic) al sursei, adică se obține starea logică „0" (LOW).

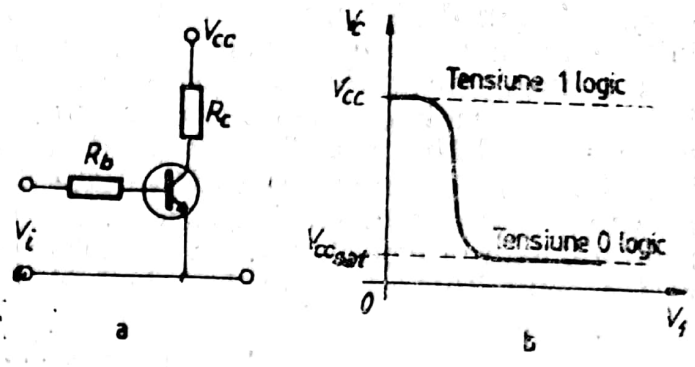


Fig. 3.6

Cu ajutorul diodelor semiconductoare se pot realiza și circuite logice mai complexe cum sînt circuitele SAU—ȘI, SAU—EXCLUSIV, decodificatoare etc. Nu se poate obține însă amplificarea semnalelor, ci din contră are loc o atenuare a acestora. În plus, numai cu diode nu se pot realiza (ușor) anumite circuite logice, de exemplu circuitul NU. Asemenea funcții se pot realiza ușor cu tranzistori în montaj cu emitorul comun (fig. 3.6,*a*), totodată realizîndu-se și o amplificare a semnalelor de intrare.

Pentru circuitul NU din figura 3.6,*a*, se alege polarizarea tranzistorului astfel încît în absența unui semnal pe bază, tanzistorul să fie blocat, deci în colectorul său tensiunea V_{CE} va fi egală cu $+ V_{CC}$ (prin R nu trece curent), adică se obține semnal (potențial) înalt la ieșire ($y = 1$). Dacă pe bază se aplică un semnal (impuls) pozitiv, tranzistorul (de tip $n—p—n$) trece în regim de conducție puternică (saturație) și la ieșire rezultă $V_{CE} \simeq 0$ ($y = 0$) (deoarece pe R_C cade aproape întreaga tensiune $+V_{CC}$), deci circuitul realizează funcția logică NU (circuit inversor). Caracteristica statică de transfer a circuitului inversor cu tranzistor $n—p—n$ este reprezentată în figura 3.6,*b*. Ca orice circuit amplificator (în montaj *EC*) circuitul NU furnizează și un cîștig de putere, el fiind capabil să comande un număr oarecare de circuite similare, număr denumit „**fanout**" al circuitului.

Cu ajutorul diodelor și tranzistorilor pot fi realizate circuite logice mai complexe de tip *DTL* (Diode-Transistor-Logic) de cele mai diverse tipuri. În figura 3.7,*a* este reprezentat un circuit ȘI—NU (NAND) realizat dintr-un

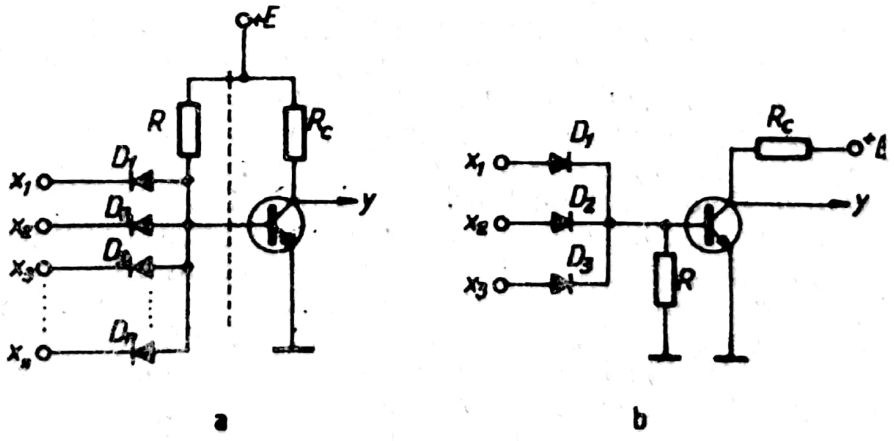


Fig. 3.7

circuit ŞI (cu diode) urmat de un inversor. La acest circuit, diodele de la intrare în mod normal conduc, deci în punctul a tensiunea este nulă (sau foarte mică), insuficientă pentru deschiderea tranzistorului T; rezultă la ieşire tensiunea V_{cs} ridicată (valoare logică 1), pentru lipsă de semnal (deci valoare „0") la intrare. Circuitul va da la ieşire starea logică 0 cînd la toate intrările se aplică impulsuri pozitive care să blocheze toate diodele; în punctul a se regăseşte atunci tensiunea pozitivă ridicată ($\approx +V_{cc}$) a sursei de alimentare, care provoacă trecerea tranzistorului în regim de saturaţie. Rezultă deci că circuitul realizează funcţia logică

$$y = \overline{x_1 \cdot x_2 \cdot x_3 \ldots . x_n}. \qquad 3.1.35$$

În figura 3.7,*b* este reprezentat un circuit SAU—NU (NOR) realizat cu diode şi un tranzistor. Grupul de diode de la intrare realizează funcţia SAU (în logica pozitivă), iar tranzistorul realizează funcţia logică NU. La ieşire se obţine funcţia logică SAU—NU, adică

$$y = \overline{x_1 + x_2 + x_3 + \ldots + x_n}. \qquad 3.1.36$$

3.2. Circuite integrate combinaţionale. Porţi logice TTL standard

Circuitele logice elementare sînt circuite de comutaţie statică (ca orice circuit logic) şi se mai numesc şi porţi logice. La început această denumire a fost atribuită circuitului ŞI cu două intrări, caracterizat de tabelul de adevăr 3.7.

Tabelul 3.7

a	b	$a \cdot b$
0	0	0
0	1	0
1	0	0
1	1	1

Denumirea de poartă logică este justificată de transferul informaţiei de la o intrare (b) condiţionat de informaţia existentă la cealaltă intrare (a) (fig. 3.8). Din tabelul de adevăr 3.7 reiese că informaţia (datele) prezentă la o intrare este lăsată să treacă la ieşire numai dacă este îndeplinită condiţia de transfer de la cealaltă intrare:

$$y = a \cdot b = \begin{cases} 0, & \text{dacă } a = 0, \text{ (poartă „închisă")} \\ b, & \text{dacă } a = 1, \text{ (poartă „deschisă").} \end{cases} \qquad 3.2.1$$

Datorită variaţiilor produse de toleranţele surselor de alimentare şi componentelor (mai ales în construcţie integrată), semnalele 0 şi 1 nu apar ca nişte nivele discrete de tensiune (sau curent), ci ca nişte domenii („benzi") de tensiune aşa cum se vede din figura 3.9, pentru nivelele 0 (Low) şi respectiv 1 (High) la intrarea unui circuit logic. Pentru buna funcţionare a circuitelor logice şi a circuitelor de comutaţie în general, este necesar să se realizeze condiţiile în care cele două stări de tensiune să poată fi distinse uşor; aceasta se realizează cu atît mai bine cu cît intervalul de tensiune dintre cele două stări, numit uneori şi „rezervă de tensiune" este mai mare.

Circuitele logice (numerice) integrate au la bază structura circuitelor logice realizate cu componente discrete. Circuitele *RTL* (Resistor-Transistor-Logic) au fost primele tipuri de circuite logice realizate sub formă integrată, dar erau neeconomice din cauza suprafeţelor mari ocupate de rezistenţe pe cîmpul semiconductor. Apoi o mai mare răspîndire au căpătat-o circuitele integrate *DTL*. Configuraţia celui mai simplu circuit logic *DTL* realizat sub

Scanned with OKEN Scanner

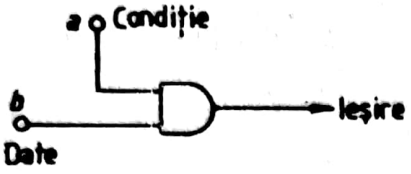


Fig. 3.8

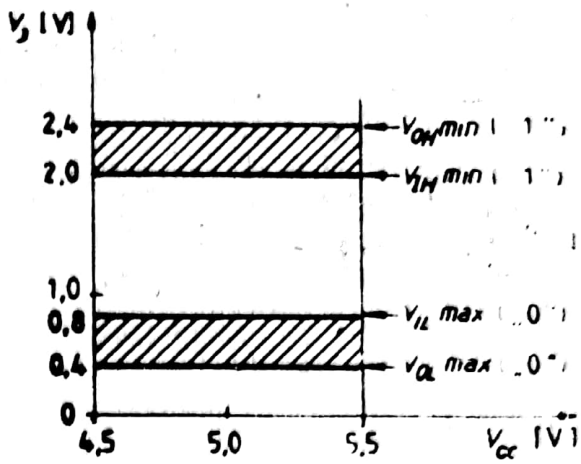


Fig. 3.9

formă integrată (fig. 3.10) este practic aceeași cu cea realizată pentru componente discrete (ca în figura 3.7,*a*). Astfel dacă toate intrările circuitului NAND din figura 3.10,*a* sînt în stare logică 0, diodele $D_1 - D_3$ vor fi polarizate direct (prin R) și deci punctul x va fi la o diferență de potențial scăzută de aproximativ 0,7 V (diode cu Si). Această tensiune nu este suficientă pentru a deschide dioda de prag D_4 și joncțiunea bază-emitor a tranzistorului T_1, care necesită fiecare cîte 0,7 V; astfel T_1 rămîne blocat și la ieșire apare starea logică 1. Dacă toate intrările sînt alimentate cu semnal pozitiv înalt, tensiunea în punctul x va crește (căci se blochează toate diodele de intrare), suficientă ca să deschidă pe D_4 și tranzistorul T_1 care intră în conducție deci tensiunea $V_{CE} \simeq 0$ (starea logică „0").

Pentru a mări și mai mult marginea de zgomot (pragul de deschidere a tranzistorului), se mai introduce încă o diodă de prag D_5 (fig. 3.10,*b*), de data aceasta fiind nevoie de o tensiune de 2,1 V în punctul x pentru ca T_1 să se deschidă. Rezistența R_2 asigură polarizarea diodelor-serie D_4 și D_5 și în același timp rezolvă problema desaturării lui T_1, sarcina acumulată în bază eliminîndu-se prin această rezistență.

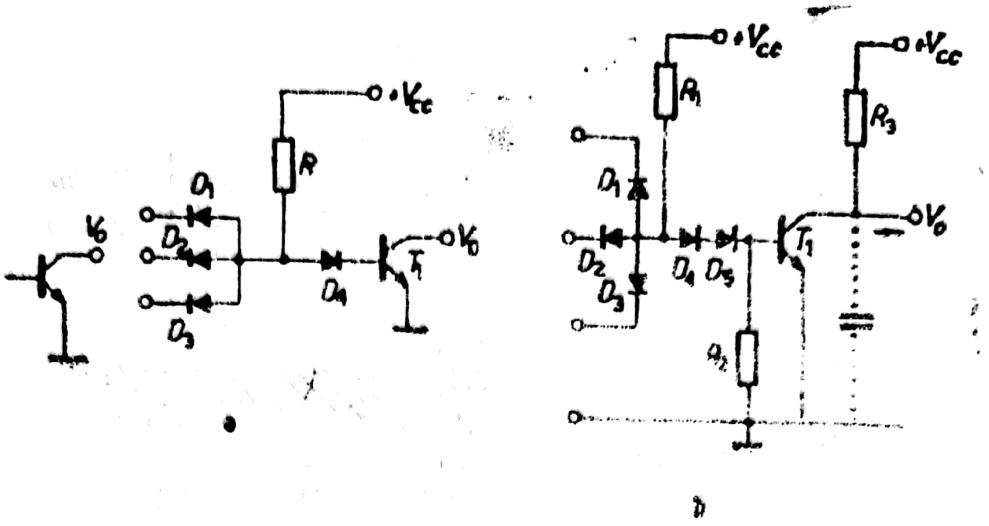
Amplificarea și condițiile de desaturare ale tranzistorului final se îmbunătățesc și în același timp crește fan-outul circuitului, dacă diodele de prag D_4 și D_5 se înlocuiesc, una sau ambele, cu tranzistori. De asemenea, pentru a mări curentul debitat, deci fan-outul circuitului, se introduce un etaj final de amplificare, simplu sau în contratimp comandat de repetorul T_1 și inversorul T_2 (fig. 3.10,*c*).

Prin înlocuirea diodelor de la intrare, care ocupau un volum mare în circuitul integrat (fiecare trebuind să fie izolată, eventual cu strat de SiO_2), cu un tranzistor multiemitor rezultă un circuit integrat *TTL* (Transistor-Transistor-Logic) (fig. 3.11,*a*).

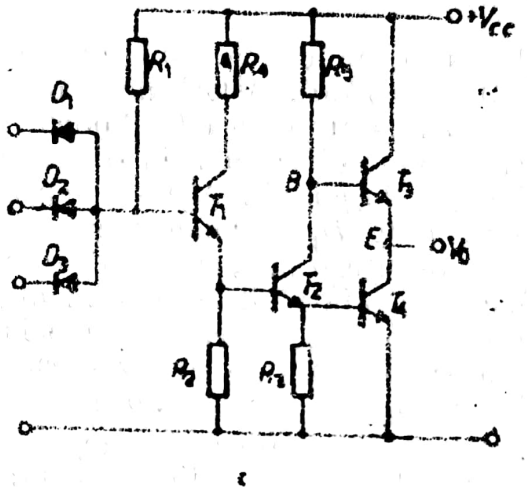
Funcționarea circuitului logic din figura 3.11,*a* este analoagă cu cea a circuitului *DTL* analizat mai înainte, în care fiecare diodă bază-emitor (din tranzistorul multiemitor) servește ca diodă de intrare, iar dioda bază-colector funcționează ca diode serie (de transpoziție).

Pentru a obține o amplificare mai mare (deci un fan-out mai bun) în circuitul simplificat din figura 3.11,*a* se mai introduce un etaj amplificator cu tranzistorul T_3 (fig. 3.11,*b*).

Scanned with OKEN Scanner

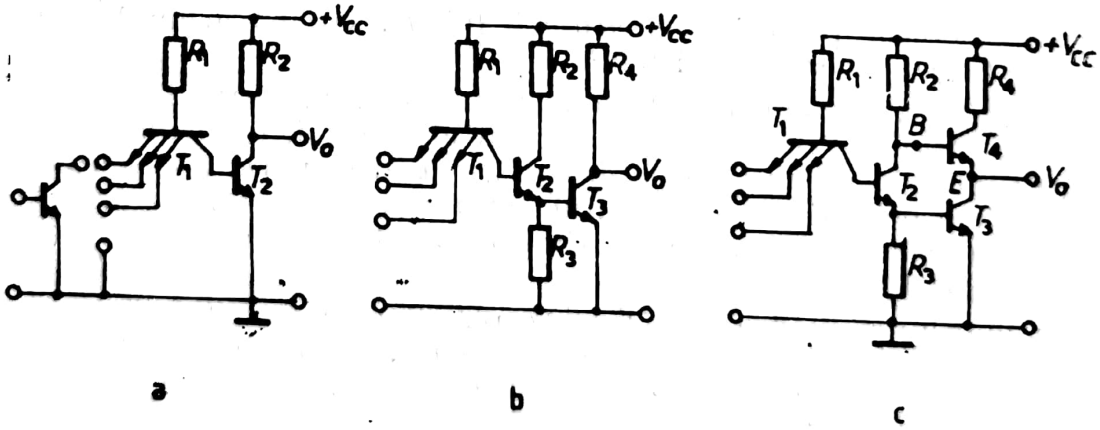


a b



c

Fig. 3.10



a b c

Fig. 3.11

Curentul absorbit de T_3 este furnizat de T_2 care lucrează în regim saturat. Desaturarea lui T_2 este asigurată de tranzistorul multiemitor T_1, iar desaturarea lui T_3 de rezistenţa R_3.

Prin introducerea unui tranzistor T_4 în colectorul tranzistorului T_3, se obţine un circuit TTL care funcţionează în contratimp (fig. 3.11, c), (configu-

Scanned with OKEN Scanner

rație cunoscută și sub denumirea de „totem pole stage"), deci va avea un fan-out mai mare. Să observăm că în această configurație, cînd T_2 este saturat, acesta va deschide și pe T_3 la saturație. Tensiunea în punctul B este dată de

$$V_B = V_{CE}(T_2^{sat}) + V_{BE}(T_3^{sat}). \qquad 3.2.2$$

Tensiunea în punctul E este dată de

$$V_E = V_{CE}(T_3^{sat}). \qquad 3.2.3$$

Diferența de potențial între cele două puncte rezultă a fi

$$V_B - V_E = V_{CE}(T_2^{sat}) + V_{BE}(T_3^{sat}) - V_{CE}(T_3^{sat}) = V_{BE}(T_3) = 0{,}7 \text{ V}. \qquad 3.2.4$$

Această tensiune este suficientă pentru a deschide joncțiunea bază-emitor a tranzistorului T_4 care intră în conducție ca și T_3 (care se află la saturație), deci etajul nu va lucra corect în regim de contratimp. O funcționare corectă impune introducerea unui decalaj de tensiune mult mai mare între punctele A și E (fig. 3.11,*c*). De regulă se introduce o diodă din serie cu emitorul lui T_4 sau se apelează la introducerea unor configurații cu tranzistori compuși (configurație Darlington) soluții care au fost adoptate și în producția românească de circuite integrate *TTL* (la I.P.R.S. Băneasa). În figura 3.12, *a* se arată configurația circuitului *TTL* standard „totem pole stage" care se fabrică și la noi în țară (circuitul CDB 410E, I.P.R.S. Băneasa) cu diodă în emitorul lui T_4; tensiunea de 0,7V existentă în colectorul lui T_3 nu este suficientă să deschidă dioda de prag D și dioda bază-emitor a lui T_4, care nu mai intră astfel în saturație (cînd T_3 conduce).

Pe lîngă noțiunea de fan-out, care exprimă numărul de intrări ale unor circuite (porți) pe care le poate comanda simultan o poartă logică, circuitele logice mai pot fi caracterizate și prin **fan-in** care exprimă numărul de intrări diferite ce pot fi aplicate simultan unei porți. Alți parametri care caracterizează porțile logice sînt:

— **Viteza de comutare,** condiționată de întîrzierea de propagare a semnalului aplicat la intrare, adică de timpul necesar pentru ca ieșirea să-și schimbe starea după aplicarea semnalului la intrare;

— **Puterea disipată pe poartă** cînd aceasta rămîne într-una din cele două stări logice 0 sau 1;

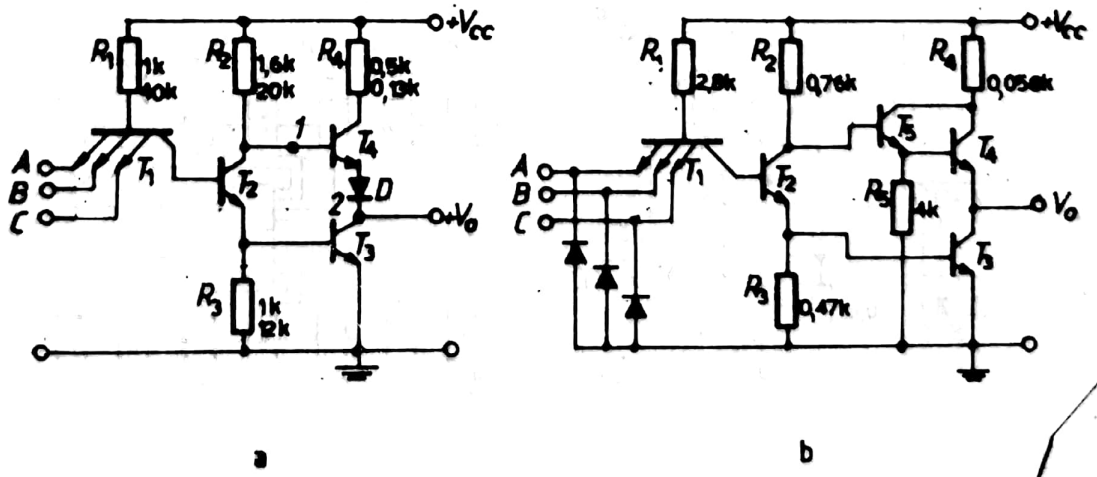


Fig. 3.12

— **Nivelele de tensiune limită**, adică tensiunea 1 logic minimă și tensiunea 0 logic maximă (v. mai departe);

— **Tensiunea de prag**, adică tensiunea de intrare pentru care ieșirea trece dintr-o stare logică în cealaltă;

— **Marginea de zgomot**, care reprezintă diferența dintre tensiunea logică de intrare și tensiunea de prag.

Pentru a putea avea un fan-out ridicat, iar impulsurile aplicate la intrarea circuitului să sufere o amortizare cît mai mare pe palier, se folosesc circuite *TTL* rapide (fig. 3.12, *b*) a căror configurație este similară cu acea a porților *TTL* standard. Valorile rezistențelor sînt însă mult mai mici și fiecare intrare a tranzistorului multiemitor mai conține cîte o diodă de limitare a semnalului și de eliminare a impulsurilor negative sau parazite precum și pentru micșorarea efectelor liniei de transmisie, efecte care devin cu atît mai importante cu cît fronturile impulsurilor sînt mai abrupte. Etajul de ieșire conține perechea de tranzistori T_3 și T_4 în montaj Darlington care asigură o viteză medie de comutare de circa 6 ns pe poartă, mai mare decît la porțile standard și în același timp o amplificare mai mare. Un asemenea tip de circuit integrat *TTL* este circuitul integrat CDB 440E produs de I.P.R.S. Băneasa, care conține două porți NAND de tipul celei din figura 3.12, *b* dar cu cîte patru intrări și au valori ceva mai mari ale rezistențelor (pentru micșorarea curentului deci a puterii disipate) (fig. 3.13, *a*); în figura 3.13, *b* este reprezentată configurația terminalelor (pinilor) circuitului considerat încapsulat în capsulă de plastic (tip TO—116) cu 14 pini. Alte tipuri de circuite integrate logice combinaționale vor fi prezentate în paragrafele următoare.

Caracteristica de transfer a unui circuit logic ȘI—NU tipic (fig. 3.11, *c*) pentru o intrare aflată în starea 1 logic este reprezentată în figura 3.14. Nivelele logice (tensiunile de intrare și de ieșire) sînt definite ca mai jos în acord cu parametrii caracteristici familiei de circuite integrate *TTL* (tip I.P.R.S. Băneasa, sau Texas Instruments etc.):

V_{IL} ($V_{imput\text{-}Low}$) — este nivelul de tensiune necesar pentru a avea 0 logic (sau *Low* = *jos*) la o intrare; valoarea maximă garantată este de 0,8 V (fig. 3.14).

V_{IH} ($V_{input\text{-}high}$) — este nivelul de tensiune necesar pentru a avea 1 logic (*high* = *înalt*) la intrare; valoarea minimă garantată este de 2V.

V_{OL} ($V_{output\text{-}Low}$) — este nivelul de tensiune de la ieșire în stare 0 logic; valoarea maximă garantată este de 0,4 V (fig. 3.14).

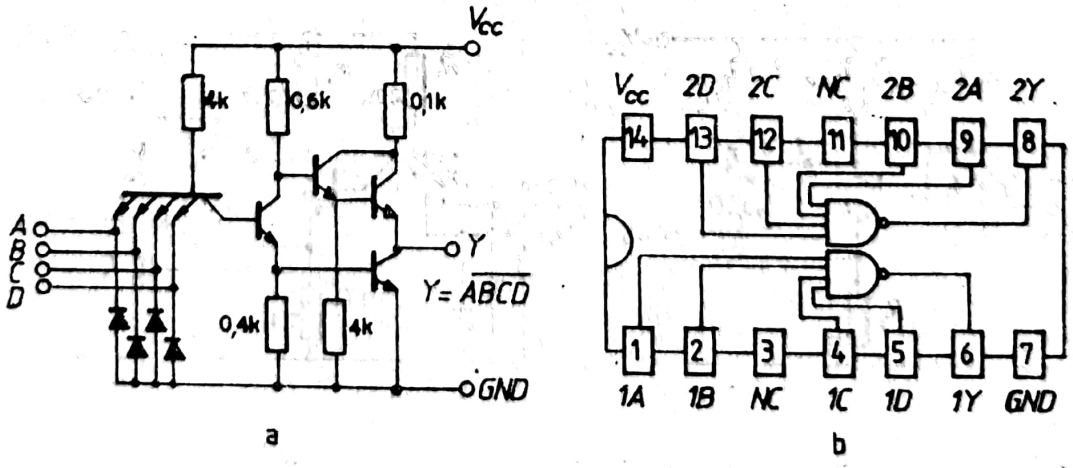


Fig. 3.13

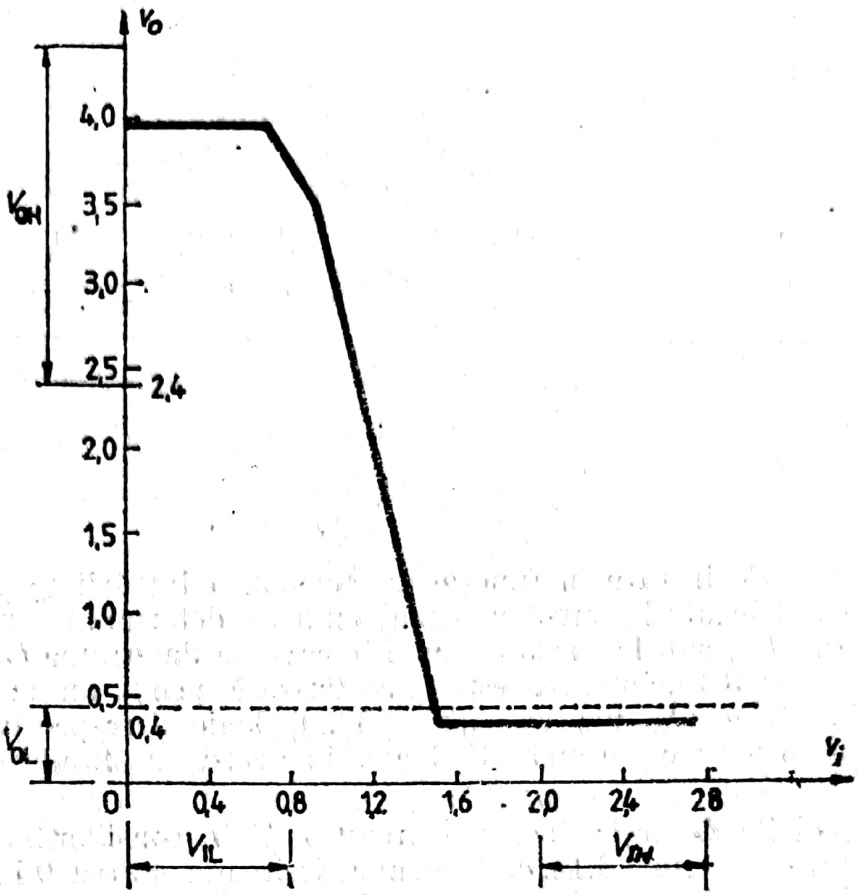


Fig. 3.14

V_{OH} ($V_{output\text{-}high}$) — este nivelul de tensiune de la o ieșire în starea 1 logic; se garantează valoarea minimă $V_{OH} = 2{,}4$ V.

Se mai definesc următoarele mărimi:

— Marginea de zgomot în starea jos

$$M_{ZL} = V_{IL} - V_{OL} = 0{,}4 \text{ V} \qquad 3.2.5$$

este amplitudinea maximă a zgomotului suprapus peste nivelul de ieșire al unui circuit aflat în starea 0 logic care permite interpretarea corectă a acestui nivel de către intrarea circuitului următor.

— Marginea de zgomot în starea sus (pentru 1 logic)

$$M_{ZH} = V_{OH} - V_{IH} = 0{,}4 \text{ V} \qquad 3.2.6$$

avînd o interpretare analoagă pentru starea 1 logic.

În figura 3.15 este reprezentată **caracteristica de intrare** a unui circuit *TTL* standard, adică depen-

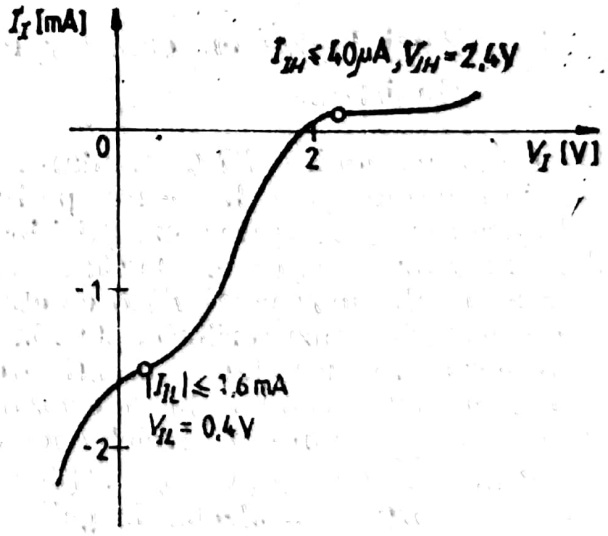


Fig. 3.15

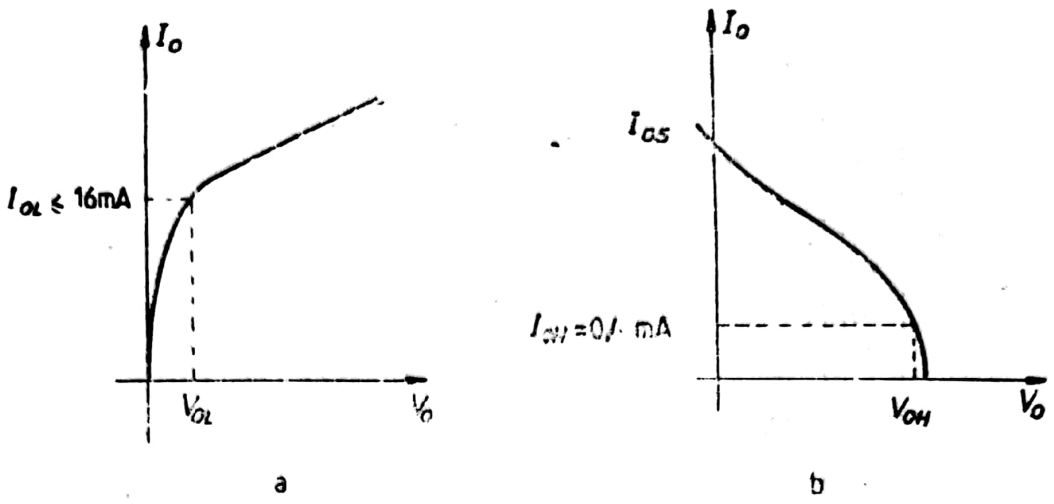


Fig. 3.16

dența curentului de intrare în funcție de tensiunea intrării respective, celelalte intrări fiind legate la sursă în cazul cînd se determină curentul de intrare în 0 logic, I_{IL}, sau la masă în cazul în care se determină I_{IH} (în 1 logic). În acord cu figura 3.15, intrarea este caracterizată printr-un curent $I_{IL} \leqslant |-1{,}6$ mA |, la $V_I = 0{,}4$ V, pentru o sarcină „0" logic și respectiv $I_{IH} \leqslant 40$ μA cu $V_I = 2{,}4$ V, pentru o sarcină „1" logic, în acord cu standardele internaționale.

Caracteristicile de ieșire pentru circuitul *TTL* considerat (fig. 3.12, *a*) sînt reprezentate în figura 3.16, *a*, *b*. Pentru ieșirea în starea 0 logic curentul care poate fi absorbit este de cel puțin 16 mA fără ca tensiunea să depășească V_{OL}, ceea ce este echivalent cu curentul debitat de 10 intrări simultan. Aceasta înseamnă că o ieșire *TTL* normală poate comanda simultan 10 intrări *TTL* normale, adică are un fan-out de 10 (valoare garantată de obicei în cataloage). Există și circuite cu ieșiri „de putere" care pot absorbi un curent I_{OL} de cel puțin 40 mA, ceea ce corespunde la un fan-out de 25. Pentru ieșirea în starea 1 logic situația este similară sau chiar mai bună (fig. 3.16, *b*), la multe circuite integrate *TTL* fan-outul în starea sus fiind mai mare decît fan-outul în starea jos.

3.3. Porți logice cu colector în gol și porți logice cu trei stări. Magistrale

Circuitele logice *TTL* standard, de tipul celor descrise pînă acum, asigură impedanțe mici la ieșire pe liniile de legătură atît în starea de jos („0" logic), cît și în starea sus („1" logic) ceea ce reduce influența perturbațiilor tranzitorii externe. Dar din caza impedanțelor mici rezultă că mai multe ieșiri ale unor părți *TTL* cu etaje de ieșire de tip „totem-pole", adică avînd colectorii tranzistorilor cuplați la sursa $+V_{cc}$, nu se pot lega împreună deoarece aceasta ar reclama curenți intenși atît în stările 0, cît și în stările 1, fapt care ar putea conduce la deteriorarea unor etaje (de ieșire) ale circuitului și la o incertă definire a nivelelor logice la ieșire.

Pentru a face față necesităților de cuplare directă a unor ieșiri *TTL* se folosesc **porți cu „colector în gol"**, a căror structură este redată în figura 3.17, *a*. După cum se vede, față de o poartă standard de tip „totem-pole"

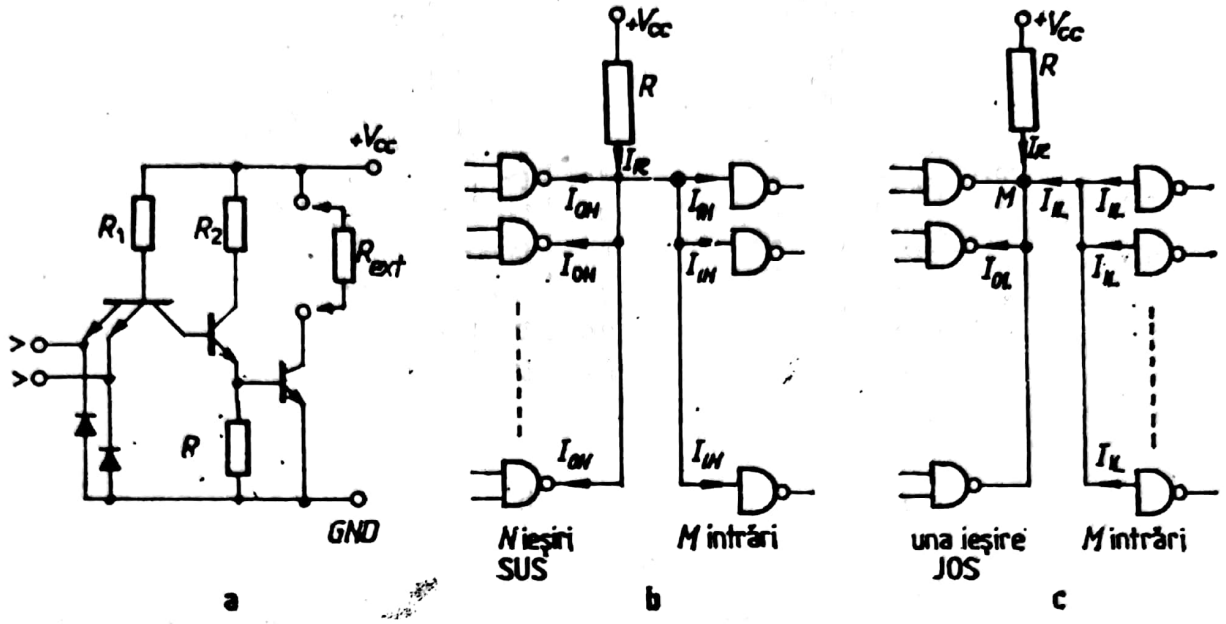


Fig. 3.17

(fig. 3.12, *a*), tranzistorul T_4 lipseşte, în locul lui putînd fi montată „exterior circuitului integrat" o rezistenţă de sarcină a cărei valoare şi putere sînt determinate de numărul de porţi ale căror ieşiri se conectează împreună şi de valoarea tensiunii V_{cc}. Devine astfel posibilă cuplarea împreună a unui număr N de ieşiri cu un număr M de intrări, ca în figura 3.17 *b*, *c*. Aplicînd legile lui Kirchhoff în punctul de conectare a ieşirilor şi intrărilor obţinem :

a) Pentru *toate intrările în 1 logic* (şi toate ieşirile în 1 logic, fig. 3.17, *b*)

$$V_0 = V_{cc} - (NI_{OH} + NI_{IH})\,R \geqslant V_{OH\,min}. \qquad 3.3.1$$

Rezultă

$$R \leqslant \frac{V_{cc} - V_{OH\,min}}{NI_{OH} + MI_{IH}} = R_{max}. \qquad 3.3.2$$

b) Pentru o singură ieşire în 0 logic (fig. 3.17, *c*)

$$V_0 = V_{cc} - (RI_{OL} - MR\,I_{IL}) \leqslant V_{OL\,max} \qquad 3.3.3$$

$$R \geqslant \frac{V_{cc} - V_{OL\,max}}{I_{OL} - MI_{IL}} = R_{min}. \qquad 3.3.4$$

Două sau mai multe ieşiri de porţi cu colector în gol pot fi conectate împreună la aceeaşi rezistenţă realizîndu-se aşa-numita funcţie logică **ŞI cablat.** În r-adevăr, punctul comun va acţiona ca o poartă ŞI, el aflîndu-se în starea 1 logic numai dacă toate ieşirile conectate la acesta se vor afla în 1 logic, respectiv dacă toţi tranzistorii de ieşire din porţile care se leagă împreună sînt blocaţi (fig. 3.18).

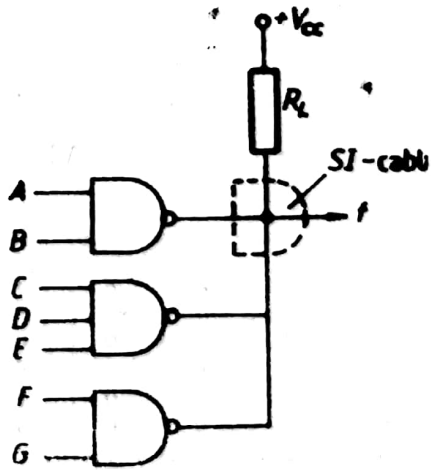


Fig. 3.18

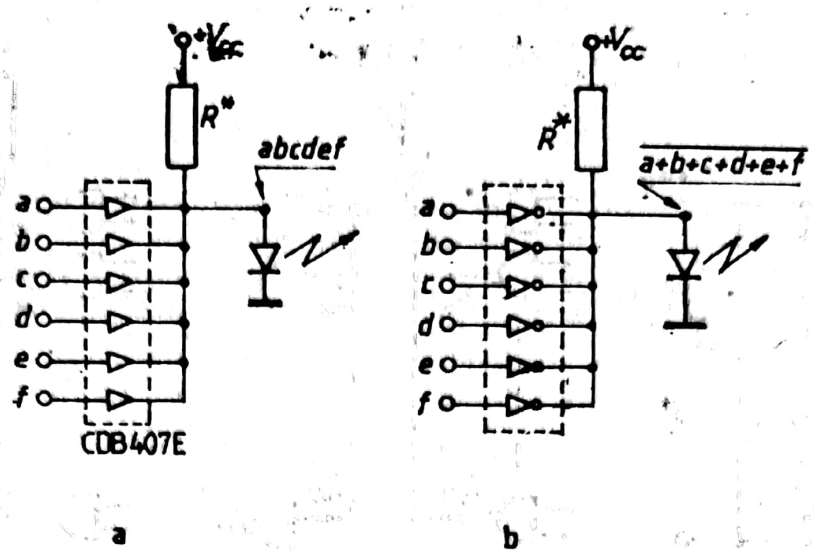


Fig. 3.19

Porțile cu „colector în gol" cu două intrări ca cea din figura 3.17, *a* intră în alcătuirea circuitului integrat CDB—403E fabricat de I.P.R.S.-Băneasa, capsula acestui circuit (de tip TO—116) conține patru asemenea porți logice. La I.P.R.S.-Băneasa se produc și alte tipuri de porți logice cu colector în gol, având una (inversori sau operatori) sau două intrări, ca de exemplu CDB—405E, CDB—406E, CDB—407E, CDB—409E, CDB—416E și CDB—417E [10, 11].

Porțile cu colector în gol asigură o mai mare flexibilitate în proiectarea cu circuite *TTL* fiind posibile o serie de aplicații mult mai puțin economic de implementat cu porți obișnuite. În figura 3.19, *a* se arată modul de realizare a unui operator ȘI cu un număr oarecare (aici 6) de intrări, utilizînd circuitul CDB 407E care este un operator sextuplu, de putere, cu ieșiri cu colector în gol. În figura 3.19, *b* se arată modul de realizare a unui operator SAU-NU prin cuplarea ieșirilor mai multor inversoare cu colector în gol (CDB—416E, cu șase inversoare de putere). În punctul de unire se obține, după cum s-a arătat în figura 3.19,*a*, funcția

$$y = \bar{a} \cdot \bar{b} \cdot \bar{c} \cdot \bar{d} \cdot \bar{e} \cdot \bar{f} \qquad 3.3.5$$

Aplicînd teorema a II-a a lui De Morgan rezultă

$$y = \overline{a + b + c + d + e + f} \qquad 3.3.6$$

adică tocmai funcția SAU—NU, avînd tabelul de adevăr 3.8.

Tabelul 3.8

a	*b*	*c*	*d*	*e*	*f*	*y*
0	0	0	0	0	0	1
0	0	0	0	0	1	0
0	0	0	0	1	0	0
0	0	0	0	1	1	0
. . .	. . .	. . .	. . .	. . .	. . .	. . .
. . .	. . .	. . .	. . .	. . .	. . .	
1	1	1	1	1	1	0

Dacă la circuitul obținut se adaugă la ieșire încă un operator NU, atunci rezultă

$$y' = \overline{\overline{a + b + c + d + e + f}} =$$

$$= a + b + c + d + e + f \qquad 3.3.7$$

adică un operator (poartă) SAU cu mai multe intrări.

Scanned with OKEN Scanner

Cuplind doi operatori ŞI—NU cu ieşiri cu colector în gol (de exemplu două porţi din CDB—403E) se obţine produsul lor,

$$y = \overline{a \cdot b} \cdot \overline{c \quad d}. \qquad 3.3.8$$

Conform teoremei lui De Morgan această funcţie este echivalentă cu funcţia ŞI—SAU—NU.

$$y = \overline{ab} \cdot \overline{cd} = \overline{ab + cd} \qquad 3.3.9$$

descrisă de circuitul logic din figura 3.20, *a*, şi de tabelul de adevăr 3.9.

Tabelul 3.9

a	*b*	*c*	*d*	*ab*	*cd*	*f*
0	0	0	0	0	0	1
0	0	0	1	0	0	1
0	0	1	0	0	0	1
0	0	1	1	0	1	0
0	1	0	0	0	0	1
0	1	0	1	0	0	1
0	1	1	0	0	0	1
0	1	1	1	0	1	0
1	0	0	0	0	0	1
1	0	0	1	0	0	1
1	0	1	0	0	0	1
1	0	1	1	0	1	0
1	1	0	0	1	0	0
1	1	0	1	1	0	0
1	1	1	0	1	0	0
1	1	1	1	1	1	0

Din tabelul de adevăr 3.9 se vede că atunci cînd una şi numai una din intrările *b* sau *d* este în 1 logic, la ieşire se transferă, inversată, informaţia din *a* sau respectiv din *c*, deci intrările *b* şi *d* sînt intrări de condiţie.

În figura 3.20,*b* se arată schema logică a circuitului ŞI—SAU—NU realizat cu porţi ŞI şi NOR, iar în figura 3.20, *c* se pun în evidenţă intrările de condiţie (Enable) care permit selectarea uneia sau alteia dintre intrări.

Generalizarea circuitului din figura 3.20, *a* şi, în general, utilizarea porţilor cu colector în gol, conduce la noţiunea de **magistrală** (de date) foarte mult utilizată în sistemele numerice complexe (cu microprocesoare).

Să presupunem că avem două blocuri logice cu cîte patru ieşiri. Fiecare generează cîte un vector de patru variabile $x' = (x'_1, x'_2, x'_3, x'_4)$ şi $x'' = (x''_1, x''_2, x''_3, x''_4)$. Avem de asemenea două blocuri logice receptoare cu cîte patru

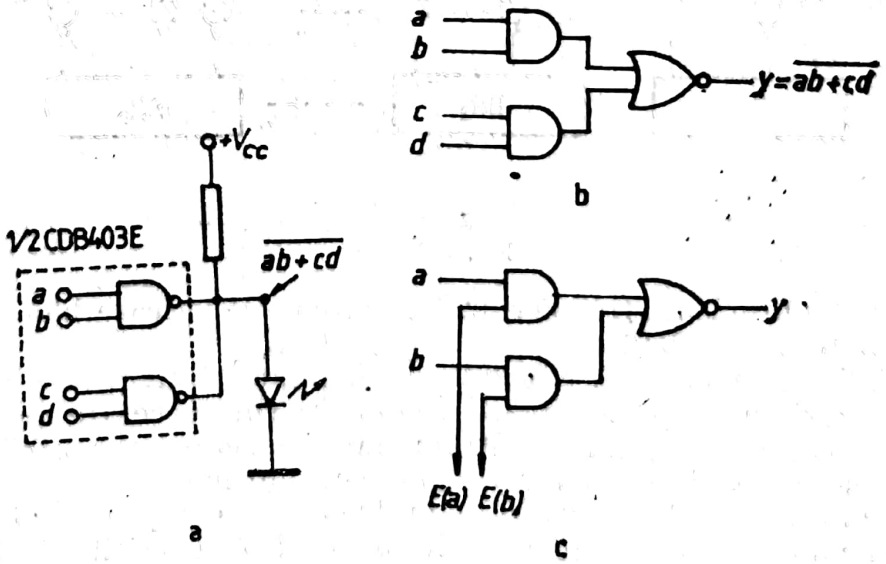
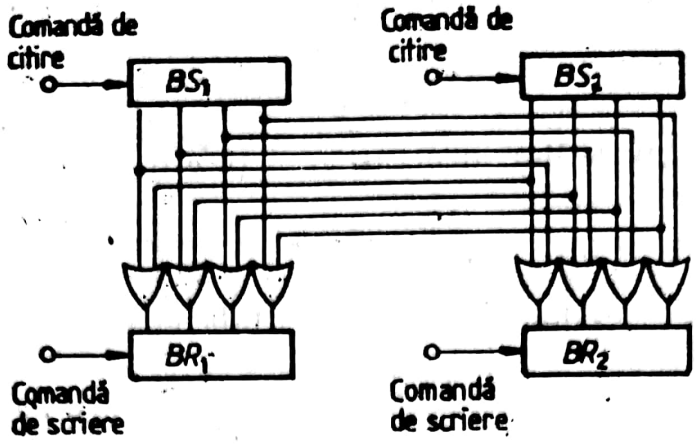
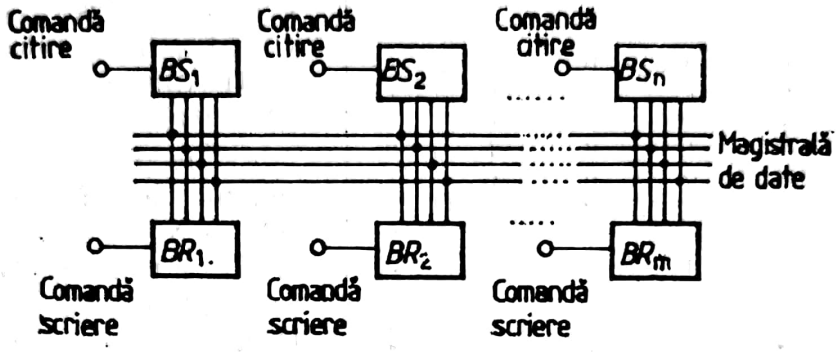


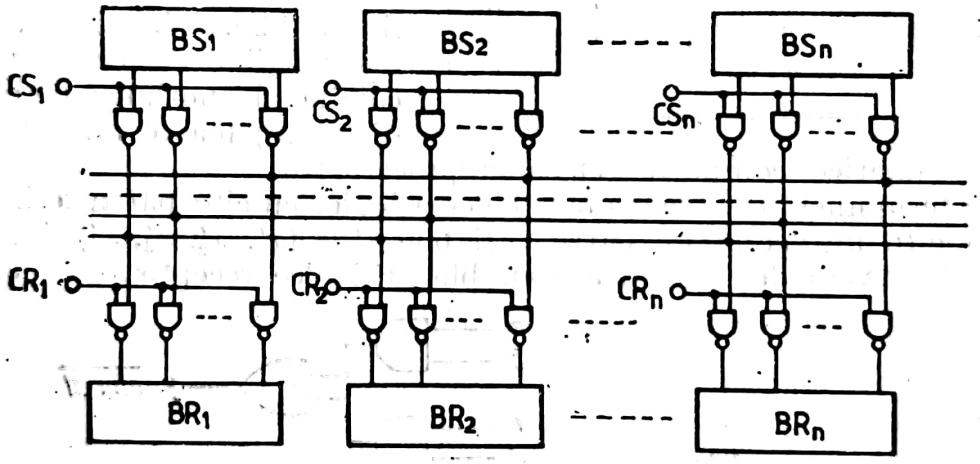
Fig. 3.20



a



b



c

Fig. 3.21

intrări și se pune problema transferului de date de la oricare bloc sursă (*BS*) la oricare bloc receptor (*BR*).

O posibilitate ar putea fi cea arătată în figura 3.21, *a*. Se observă că în cazul a n blocuri sursă și m blocuri receptoare sînt necesare nm blocuri de circuite SAU pentru asigurarea tuturor interconectărilor posibile. Situația devine foarte dezavantajoasă cînd aceste numere sînt mari.

O altă modalitate de rezolvare a problemei este reprezentată în figura 3.21, *b*. După cum se vede toate intrările de la *BR* și ieșirile de la *BS* sînt conectate în paralel la un grup de linii pe care se vehiculează informația binară,

grup care constituie **magistrala de date.** Pentru a se putea cupla împreună ieşirile blocurilor acestea trebuie să fie cu colectori în gol, sau să li se ataşeze porţi cu astfel de ieşiri. Situaţia cea mai frecventă este aceasta din urmă (prin folosirea de porţi NAND cu colectori în gol) şi atunci schema magistralei devine ca în figura 3.21, *c*.

Datele prin astfel de operatori (NAND cu colectori în gol) se transferă negate. Astfel, la apariţia unei comenzi de citire la un grup de porţi, blocul-sursă respectiv va depune informaţia sa negată pe magistrala de date. Cînd este necesar informaţia se va putea scrie nenegată în blocurile receptoare dacă acestea se vor cupla la magistrală după un grup de inversoare sau alte porţi NAND (fig. 3.21, *c*).

Validarea blocurilor sursă sau receptoare se face (pe rînd) prin comenzile de validare (condiţie) CS_i sau CR_i. Se observă că la un anumit moment un singur bloc sursă trebuie validat să debiteze date pe magistrală, toate celelalte fiind inhibate şi ca atare trebuie să fie izolate de magistrală, lucru care nu se poate face cu porţi *TTL* standard (de tip „totem pole"). În cazul folosirii porţilor cu colector în gol, în starea 1 logic nu există (după cum s-a arătat) nici un tranzistor saturat cuplat la magistrală. Ca urmare, în magistrală va fi debitat numai curentul dat de rezistenţa din colector şi curenţii generaţi de intrările porţilor blocurilor receptoare ($I_{OL} \leqslant 1{,}6$ mA) care poate fi preluat de ieşirile porţilor blocurilor validate. Numărul porţilor blocurilor receptoare a căror intrări debitează curenţi în liniile magistralei nu poate fi însă oricît de mare, acest număr fiind limitat superior de posibilităţile de preluare a curentului de către ieşirea porţii (blocului receptor) care activează linia respectivă de magistrală (deci de fan-outul respectivei porţi). Astfel, porţile cu colector în gol, deşi prezintă avantajul simplităţii constructive nu pot face faţă unei magistrale mai încărcate, cu un număr mai mare de 10 consumatori de exemplu. În astfel de situaţii se apelează la porţi speciale cu **trei stări (Three State)** care echipează magistralele respective.

O poartă cu trei stări lucrează tot în logica binară dar, în afară de stările logice normale 0 şi 1, mai prezintă şi o a treia stare numită stare de înaltă impedanţă (High Z) în care ambii tranzistori finali sînt blocaţi, astfel că poarta nu schimbă practic nici un curent cu linia de magistrală, comportîndu-se ca o întrerupere a circuitului. Schema electrică (*a*) şi notaţia simbolică (*b*) ale unei porţi cu trei stări sînt reprezentate în figura 3.22. Circuitul este prevăzut cu o bornă (intrare) de validare, de permitere a funcţionării (Enable). Se vede că pentru $\bar{E} = 0$, $B = 1$, dioda D_1 e blocată şi circuitul se comportă ca un

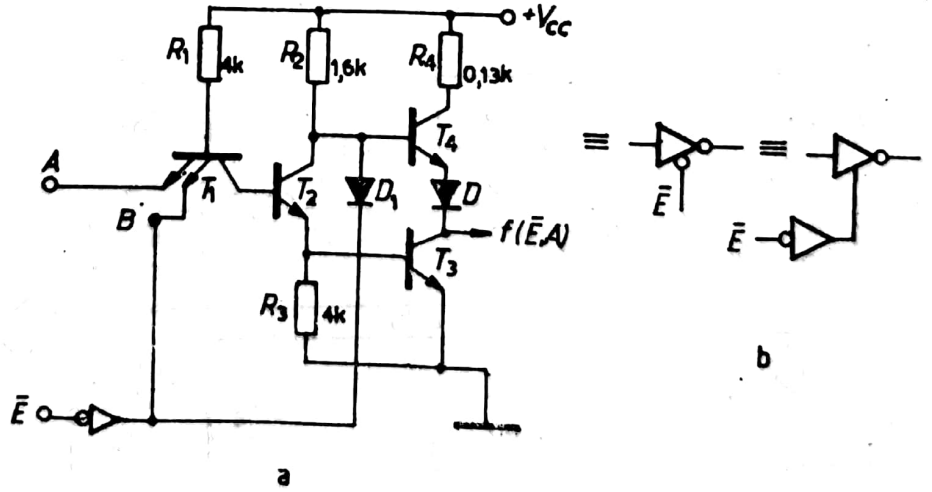


Fig. 3.22

inversor pentru intrarea A (de date). Dacă $\overline{E} = 1$, atunci $B = 0$ și T_1 devine saturat, iar T_2 și T_3 apar blocate; concomitent $\overline{E} = 1$ conduce la deschiderea diodei D_1 fapt care provoacă coborîrea potențialului bazei lui T_4 la 0,7 V și respectiv blocarea și a acestui tranzistor. Astfel circuitul prezintă între ieșire și masă o impedanță ridicată (High Z), fiind deosebit de util pentru conectarea blocurilor logice la magistrale. Porțile cu ieșiri cu trei stări se pot fabrica atît în varianta inversoare, cît și în cea neinversoare spre deosebire de cele cu colectori în gol care nu pot fi decît inversoare. Dacă circuitului din figura 3.22, *a* i se adaugă una sau mai multe intrări se obține poarta fundamentală ȘI—NU cu ieșiri cu trei stări, cu ajutorul căreia se pot genera și alte circuite logice din această familie de circuite.

Porțile cu ieșiri cu trei stări echipează etajele de ieșire ale unor circuite logice *LSI* (fiind încorporate în acestea) astfel încît respectivele circuite pot fi cuplate direct la magistrale. Validarea acestor porți este făcută pe terminale cu destinație mai generală ale circuitului integrat respectiv, avînd notații de tipul $\overline{CE}$ — Chip Enale, $\overline{CS}$ — Chip Select, DBE — Data Bus Enable etc.

Există însă anumite circuite integrate cuprinzînd numai astfel de porți; circuite destinate în mod special cuplării la magistrală a unor blocuri numerice complexe. Spre exemplu, circuitul SN 74126 cuprinde șase porți cu ieșiri cu trei stări, cu comandă de validare unică. Cuplarea blocurilor logice prin astfel de porți la magistrala de date se face ca în figura 3.23, în care s-au considerat

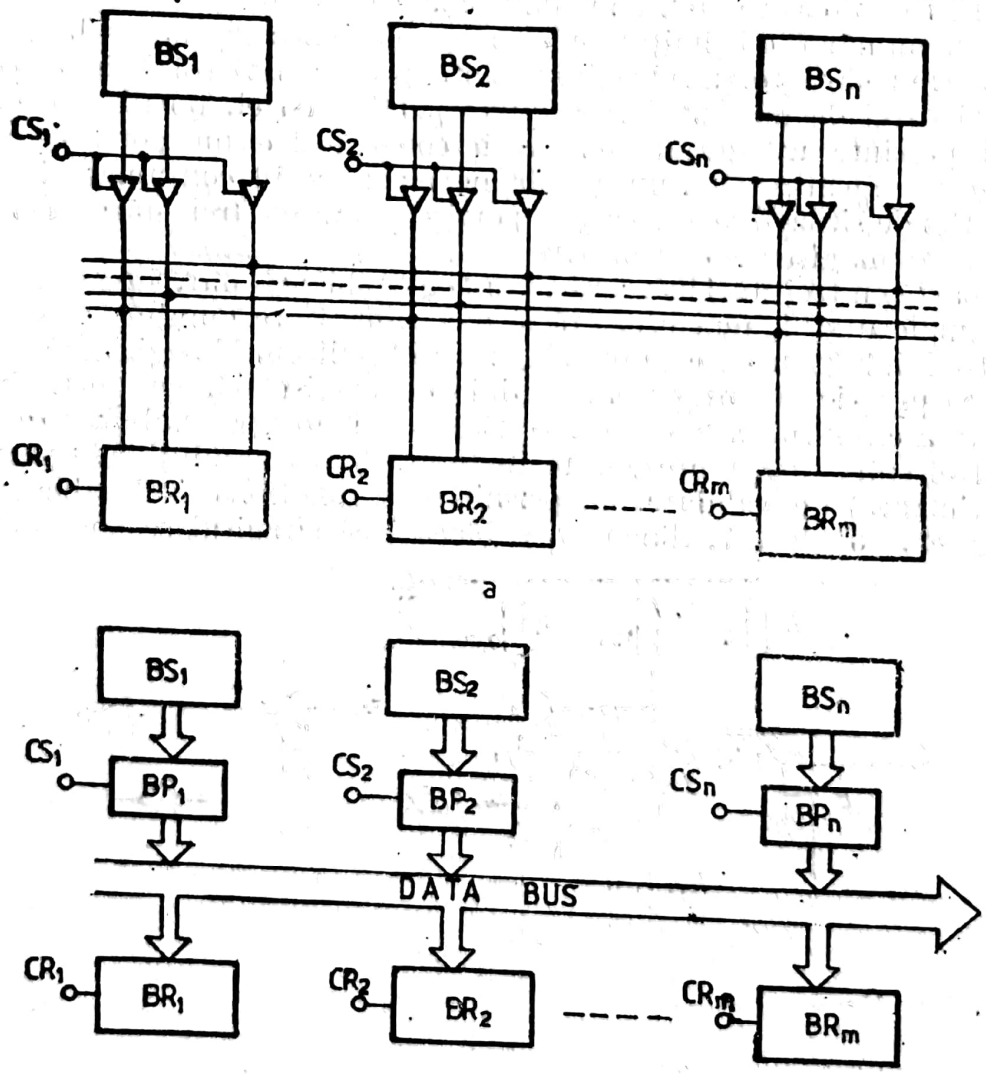


Fig. 3.23

Scanned with OKEN Scanner

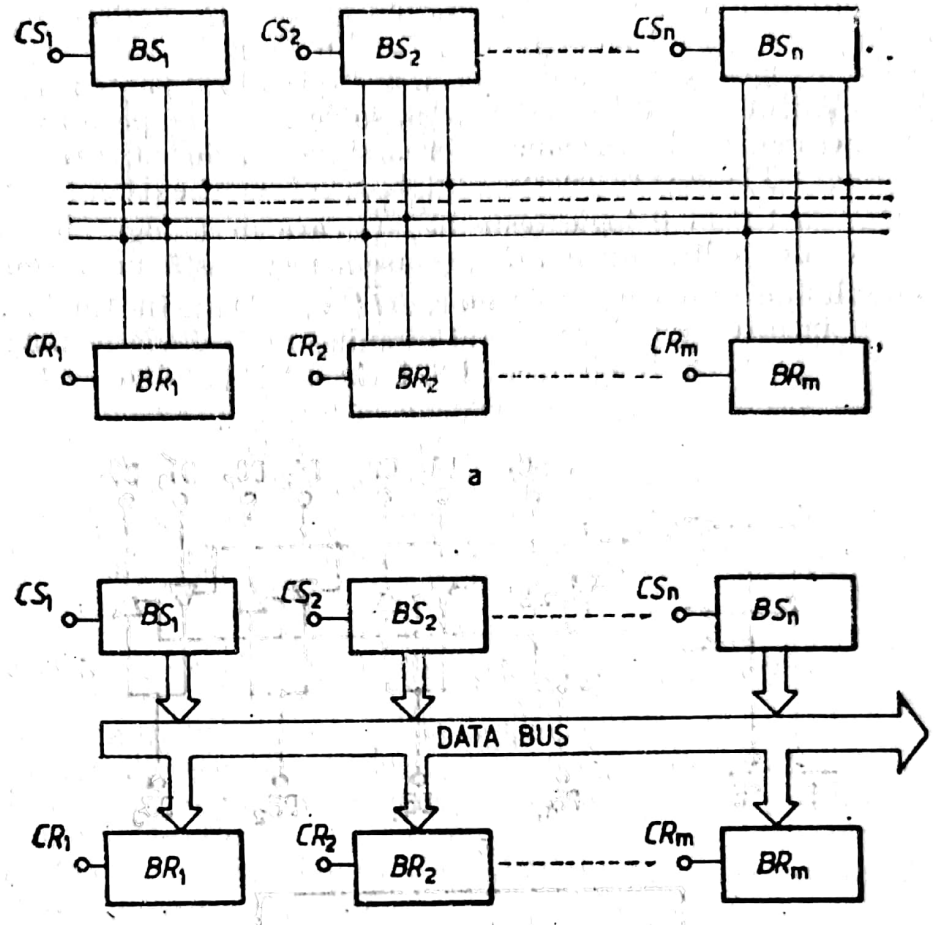


Fig. 3.24

blocurile poartă ale receptorilor încorporate în aceştia (fig. 3.23, *a* — schema detailată; *b* — reprezentarea simbolică).

Dacă blocurile sursă cuprind şi ele porţi cu trei stări la ieşire, cuplarea la magistrală este extrem de simplă, imediată, conform figurii 3.24.

Anumite blocuri numerice de tip mixt (şi sursă şi receptor, cum sînt memoriile, unităţile de comandă şi control etc.) trebuie interfaţate cu intrările

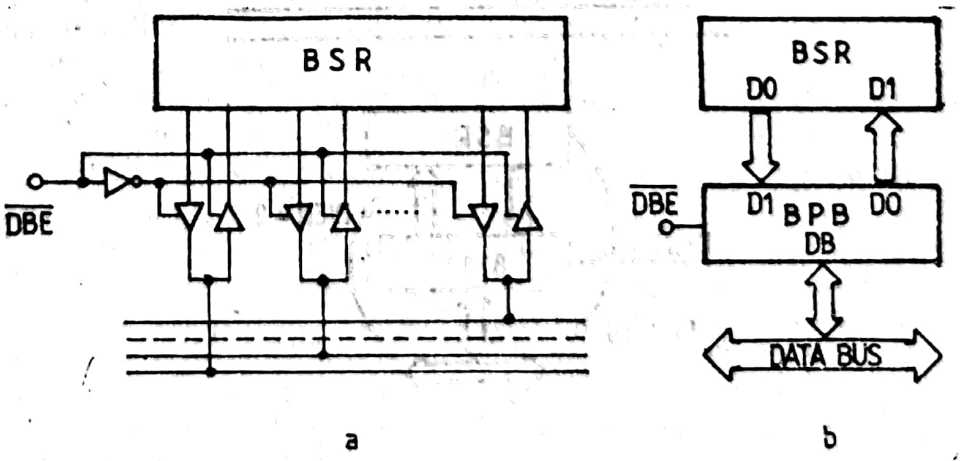


Fig. 3.25

și ieșirile la o magistrală unică de date, transferul avînd loc bidirecțional. Pentru a se realiza acest lucru se folosesc blocuri poartă bidirecționate formate de obicei din porți cu ieșiri cu trei stări, ca în figura 3.25, *a* (în fig. 3.25, *b*, reprezentare simbolică). Un exemplu de circuit specializat pentru această funcție îl constituie circuitul I 8216 (K 589A π-16, sovietic) care permite interfațarea la patru linii de magistrală. Schema internă și modul de cuplare la magistrală sînt date în figura 3.26,*a* și respectiv 3.26, *b*. Se observă existența unui terminal de validare $\overline{CE}$ activ în 0 logic (este negat) care în 1 logic blochează toate porțile în starea de înaltă impedanță. De asemenea există un terminal pentru controlul sensului de vehiculare a datelor, $\overline{DIEN}$ — Data In Enable, care în 0 logic validează intrarea datelor în I 8216 venind de la *BSR* la magistrală, iar în 1 logic ieșirea datelor din circuitul I 8216 la BSR (venind de la magistrală) (fig. 3.26, *c*).

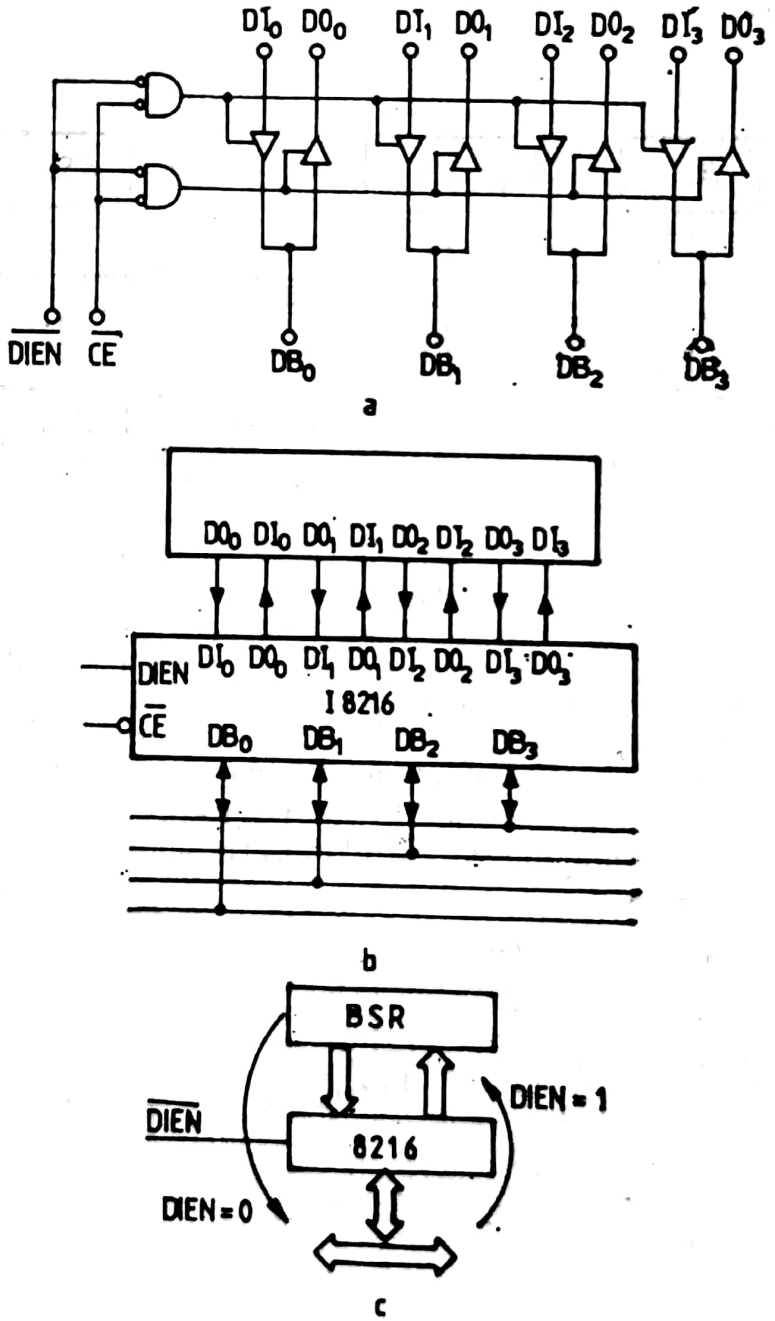


Fig. 3.26

Scanned with OKEN Scanner

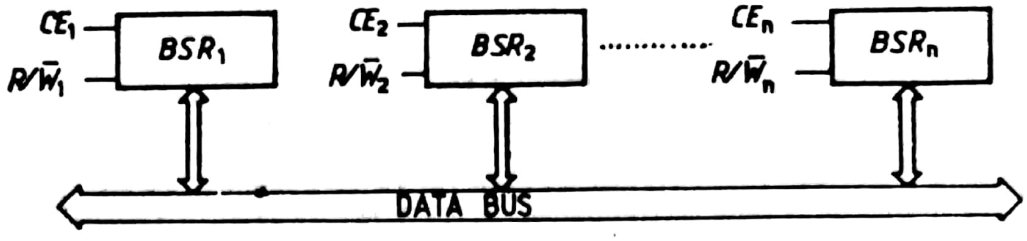


Fig. 3.27

Există de asemenea unele circuite integrate care cuprind în interior astfel de blocuri poartă bidirecționale, astfel că intrările și ieșirile pot fi legate împreună în exteriorul sau în interiorul circuitului respectiv. În ambele cazuri, în afară de terminalul de validare generală a circuitului (de selecție) trebuie să mai existe un terminal pe care să se comande sensul vehiculării datelor : *DIEN*, $\overline{OE}$, *OD* (Output Disable — inhibarea ieșirilor), $\overline{R/W}$ (Read/Write) etc., de obicei active în 0 logic (negate). Aceste circuite permit cea mai simplă conectare la magistrale bidirecționale de date, conform figurii 3.27.

3.4. Porți logice rapide realizate în tehnologia bipolară

Există mai multe variante de porți logice *TTL* cu caracteristici impuse de aplicațiile specifice. Respectivele variante diferă între ele în principal prin compromisul ralizat între puterea disipată pe poartă și viteza de lucru (aceasta fiind condiționată de timpul de propagare). Astfel poarta *TTL* standard (fig. 3.12, *a*) este de consum mediu (~ 10mW) și viteză medie (~10ns).

Timpul de propagare relativ mare pentru porțile logice *TTL* standard se datorește comutării tranzistorilor între regiunile de blocare și de saturație, care produce întîrzieri la comutarea inversă datorită timpului de stocare t_s în care se elimină sarcina stocată în bază în urma comutării inverse (v. [4—6]). Pentru a micșora deci timpul de propagare prin porțile cu tranzistori bipolari se impune micșorarea sau anularea timpului de stocare, lucru ce se poate realiza prin evitarea intrării tranzistorului în regiunea de saturație.

După cum s-a menționat puterea consumată pe poartă poate fi micșorată prin mărirea valorilor rezistențelor din circuit, prin aceasta mărindu-se și timpii de propagare ; invers, dacă se micșorează valorile rezistențelor se mărește viteza de lucru dar prin aceasta se mărește și puterea disipată (v. fig. 3.12, *b*). În plus, frecvența de lucru mai poate fi încă mărită, dacă pe lîngă micșorarea valorilor rezistențelor se înlocuiește tranzistorul T_4 cu un tranzistor compus (montaj Darlington), iar rezistența R_3 din emitorul tranzistorului T_2 este înlocuită cu rezistența neliniară formată de tranzistorul T_6 și rezistențele R_3 și R_6 (fig. 3.28).

Structura Darlington formată din trazistorii T_4 și T_5 și de rezistența R_5 prezintă o rezistență de ieșire mai mică decît rezistența de ieșire a circuitului *TTL*, standard (fig. 3.12,*a*) și ca urmare viteza de răspuns a porții va crește ; de asemenea, întrucît tensiunea V_{CE} a tranzistorului T_5, care conduce, este întotdeauna pozitivă, tranzistorul T_4 nu va intra niciodată în saturație, fapt care conduce la mărirea vitezei de lucru a porții logice considerate.

Soluțiile cele mai eficiente de evitare a intrării în saturație a tranzistorilor bipolari din porțile logice sînt oferite de porțile logice *TTL* Schottky și de porțile logice *ECL* (*E*mitter *C*oupled *L*ogic — Logica cu tranzistori cuplați prin emitor).

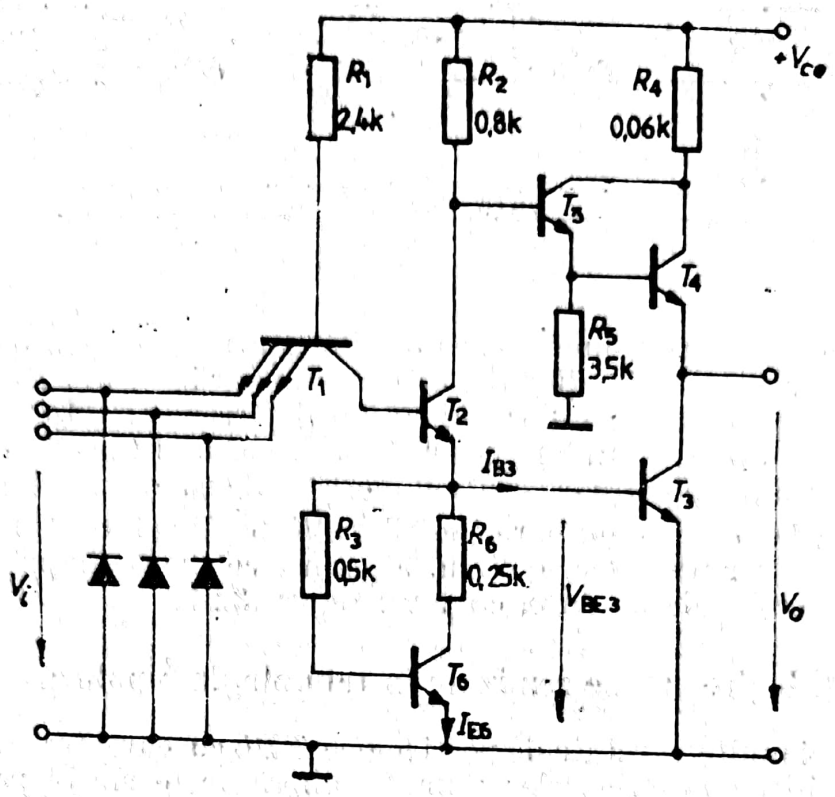


Fig. 3.28

În figura 3.29, *c* se arată configurația unei porți logice *TTL* rapide cu tranzistori Schottky la care s-au adus îmbunătățirile menționate anterior (structură Darlington, rezistență neliniară în emitorul tranzistorului T_2, v. fig. 3.28). Structura tranzistorului cu diodă Schottky este arătată în figura 3.29, *b*, iar conexiunea diodei și simbolul echivalent al tranzistorului Schottky

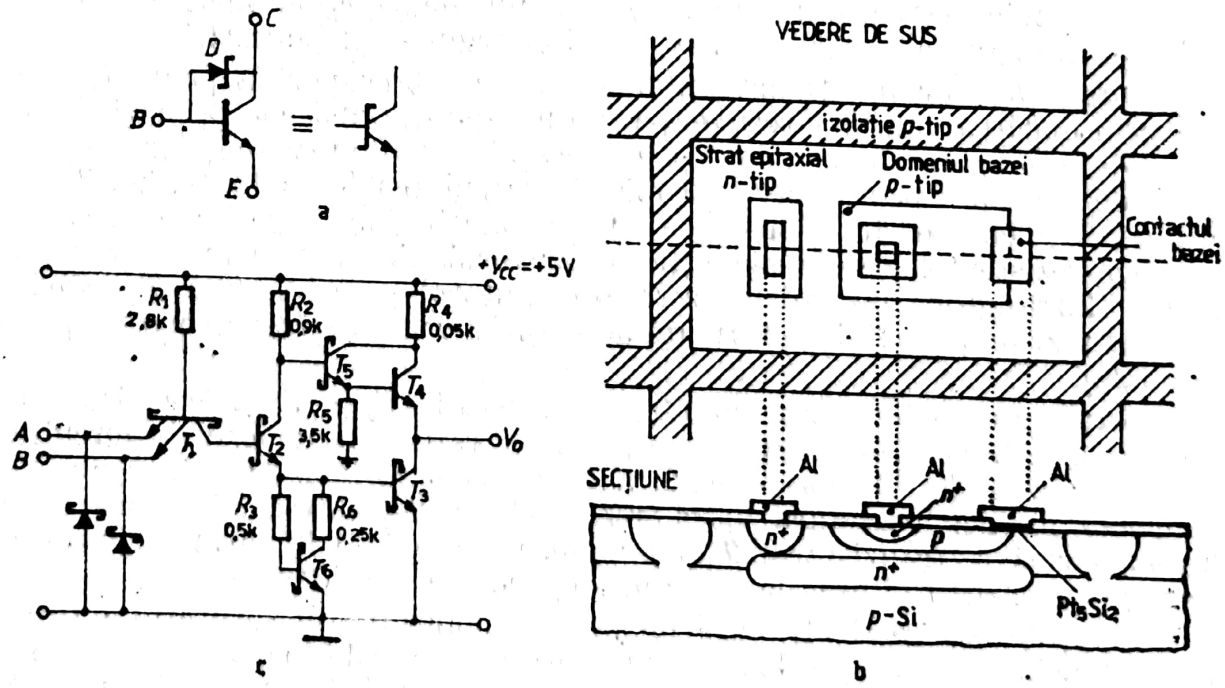


Fig. 3.29

Scanned with OKEN Scanner

sînt reprezentate în figura 3.29, *a*. După cum se știe [6, 28], diodele Schottky sînt diode cu contact metal-semiconductor, lucrînd cu purtătorii majoritari (din semiconductor), deci nu au sarcină totală stocată rezultînd timpi de stocare foarte mici. Tensiunea de deschidere (conducție directă) a unei diode Schottky este de (0,4 ÷ 0,5) V, deci cu mult mai mică decît a unei joncțiuni $p-n$ cu Si care este de (0,6 ÷ 0,7) V. Ca urmare, în urma conectării diodei Schottky între colectorul și bază tranzistorului considerat (fig. 3.29,*a*) se împiedică intrarea în saturație a tranzistorului și prin urmare scad timpii de propagare prin poartă. Într-adevăr, prin intrarea în conducție a diodei Schottky (la circa 0,3 ÷ 0,4 V), colectorul tranzistorului nu va avea potențial suficient pentru polarizarea directă a joncțiunii colector-bază deoarece (v. fig. 3.29,*a*)

$$V_{CE} = -V_D + V_{BE} = -(0{,}3 \div 0{,}4) + 0{,}7 \simeq 0{,}35 \text{ V}. \qquad 3.4.1$$

Surplusul de curent (dat de impulsul pentru comandă pe baza tranzistorului) va trece prin dioda Schottky (deschisă), prin joncțiunea colector-bază trecînd un curent mic.

Toate diodele — deci inclusiv tranzistorii din circuitele *TTL* Schottky sînt diode (tranzistori) Schottky, cu excepția tranzistoriului T_4 (fig. 3.29,*c*). Cînd intrările A și B sînt la potențial Low, tranzistorul T_2 se blochează, iar în colectorul său apare o tensiune High (H) care deschide pe T_5 și respectiv pe T_4. Dioda Schottky dintre baza și colectorul lui T_5 fixează un nivel de tensiune de circa —0,3V (la care se deschide), astfel încît între colectorul și emitorul lui T_5 și implicit între baza și colectorul lui T_4, rezultă

$$V_{CE_5} = V_{CB(5)} + V_{BE(5)} = -0{,}3 + 0{,}7 = +0{,}4\ V_{CB(4)}. \qquad 3.4.2$$

Întrucît între colectorul și baza lui T_4 se menține astfel o tensiune pozitivă de circa 0,4 V, respectivul tranzistor nu intră în saturație, deci nu necesită o diodă Schottky între bază și colector. Realizarea tranzistorilor Schottky (cu diode Schottky între bază și colector) sub formă integrată este simplă și nu necesită costuri suplimentare ci doar o ușoară modificare a măștii pentru contactul ohmic al bazei. După cum se vede din figura 3.29,*b*, dioda Schottky într-un tranzistor integrat se formează prin extinderea contactului metalic al bazei peste regiunea de tip n a colectorului.

Porțile logice *TTL* Schottky sînt cele mai rapide porți din categoria porților *TTL* rapide avînd timpi de întîrziere de circa 3 ns la o putere consumată de circa 20 mW.

Cele mai rapide porți logice sînt porțile *ECL* realizate cu tranzistori bipolari. În familia circuitelor logice *ECL* se pot deosebi următoarele subfamilii [18]:

a) 8 ns *ECL*, avînd un timp de propagare de 8 ns și putînd lucra la o frecvență de tact de 30 MHz;

b) 4 ns *ECL*, avînd timpul de propagare de 4 ns și lucrînd la o frecvență de tact de 75 MHz;

c) 2 ns *ECL*, cu timp de propagare (întîrziere) de 2 ns și o frecvență de lucru de ≈ 125 MHz;

d) 1 ns *ECL*, cu timpul de propagare cel mai scurt (~ 1 ns) și frecvența de tact de circa 400 MHz.

Scanned with OKEN Scanner

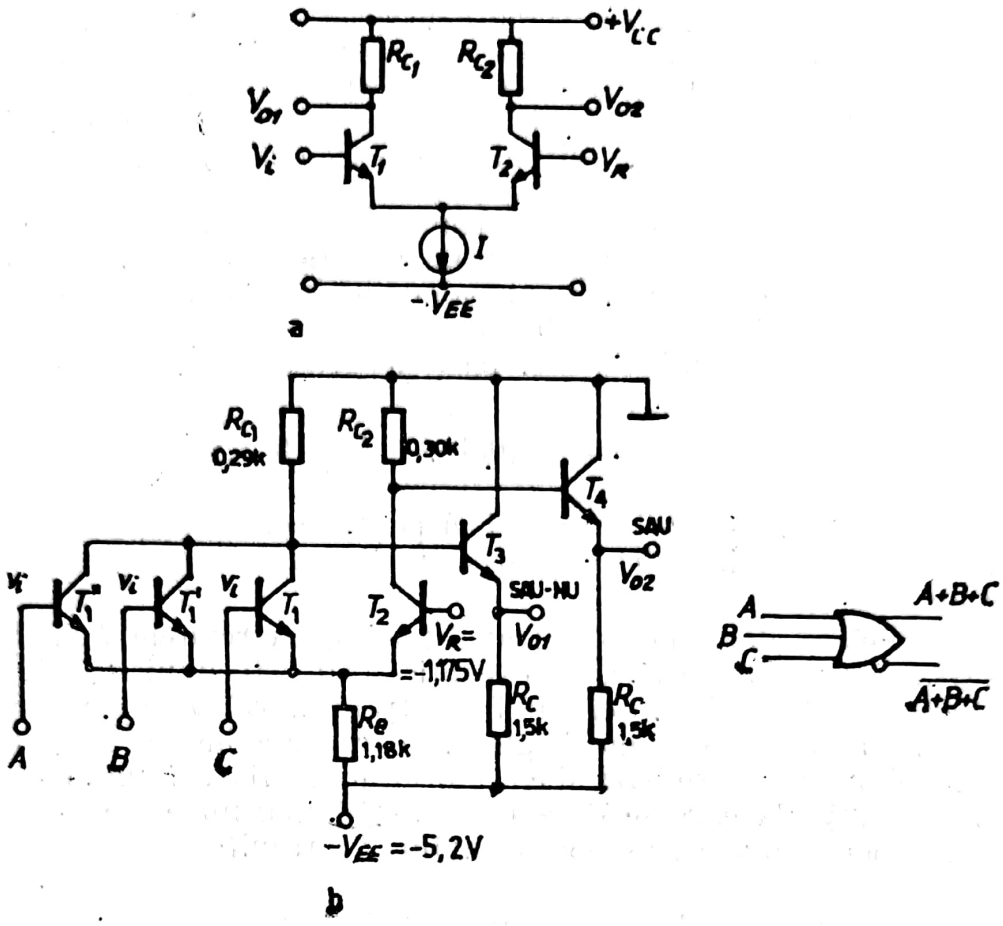


Fig. 3.30

Cel mai mult acceptată și utilizată în practică este subfamilia 2 ns *ECL* avînd cele mai optime valori ale vitezei de lucru și puterii consumate pe poartă [2].

În figura 3.30,*b* este reprezentată schema porții logice *ECL* cu timp de propagare de 2 ns, capabilă să realizeze funcția logică SAU și funcția SAU-NU (v. și reprezentarea simbolică). Circuitul este construit pe baza unui amplificator diferențial realizat cu tranzistorii T_1 și T_2 cuplați prin emitor între ei și fiind alimentați prin sursa de curent constant formată din rezistorul R_e și sursa $-V_{EE} = -5{,}2$ V (fig. 3.30,*a*). Baza tranzistorului T_2 este menținută la o tensiune de referință V_R (fig. 3.30,*b*), iar la T_1 se aplică tensiunea de intrare V_i (semnal logic). De obicei nivelele de tensiune se aleg astfel încît $V_{i\,Low}$ să fie mai mic decît V_R cu aceeași mărime cu cît $V_{i\,High}$ este mai mare decît V_R. Astfel, cînd V_i este suficient de mic față de V_R, T_1 este blocat și întregul curent I_0 (din generatorul de curent constant) trece prin T_2. Valorile R_e, R_{C_2} și V_R se aleg astfel încît T_2 să lucreze (cînd e deschis) în regiunea activă normală (r.a.n.) și nu la saturație. La fel se va întîmpla și cu tranzistorul T_1 care va lucra în r.a.n. și nu la saturație, fapt care micșorează timpul de întîrziere a semnalelor prin poartă.

Cînd $V_i = V_R$, curentul prin fiecare din cei doi tranzistori devine egal cu $I_0/2$; aceasta se întîmplă pentru un timp scurt, tensiunea V_i crescînd rapid (impuls la intrare) astfel încît repede se atinge situația cînd $V_i > V_R$, fapt care duce la blocarea lui T_2 și la deschiderea lui T_1 în r.a.n., întregul

[2] Există porți *ECL* (comerciale) care au $t_{prop} \approx 100$ ps.

curent trecînd acum prin T_1. Astfel schema lucrează pe principiul comutării curentului I_0 (curent fix) de la un tranzistor la celălalt (în urma aplicării impulsurilor la intrare). Poarta poate avea mai multe intrări, așa cum se vede din figura 3.30,*b*, iar la ieșirile de pe cele două colectoare, prin repetoarele de emitor T_3 și respectiv T_4 (pentru a se obține impedanțe de ieșire mici) se obțin funcțiile SAU—NU și respectiv SAU, în logica pozitivă și respectiv funcțiile ȘI și ȘI-NU în logica negativă [8].

Pentru protecția la scurtcircuit a tranzistorilor T_3 și T_4, precum și pentru atenuarea tensiunilor de zgomot generate de efectele tranzitorii care apar din interacția (prin intermediul sursei de alimentare) cu alte circuite, emitorii tranzistorilor sînt cuplați la borna negativă a sursei (v. fig. 3.30,*b*), iar rezistențele de colector sînt cuplate la masă [8].

În funcție de valorile nominale ale rezistențelor se obțin scheme mai rapide dar cu consum mai mare, sau mai puțin rapide și de consum mai mic rezultînd astfel mai multe subfamilii *ECL* așa cum s-a arătat mai înainte. Se pot de asemenea menționa și alte subfamilii *ECL* din seria Motorola cum sînt *MECL* I, *MECL* II (reprezentată în figura 3.29, *b*), *MECL* III etc.

3.5. Porți logice integrate realizate în tehnologia *MOS*

Pe lîngă circuitele logice *TTL* realizate în tehnologia bipolară și care prezintă viteză mare de lucru, în multe aplicații se utilizează circuite integrate cu tranzistori *MOS*, care au un consum redus și permit un grad mai mare de integrare.

Circuitele *MOS* pot fi de tip static, cînd lucrează la frecvențe foarte joase, sau de tip dinamic la care comanda „tranzistorului" de sarcină (fig. 3.31) se face sub acțiunea unor impulsuri de tact Φ de frecvență ν; în acest din urmă caz are loc și o memorare temporară a informației în capacitatea asociată porții datorită proceselor tranzitorii care au loc la aplicarea impulsurilor de tact (v. cap. 4).

În figura 3.31 sînt reprezentate două variante de realizare a circuitului NU (inversor *MOS*), respectiv inversorul *MOS* static (fig. 3.31,*a*) și inversorul *MOS* dinamic, acesta din urmă deschizîndu-se în momentul și pe durata impulsului de tensiune (de tact) pe poartă (fig. 3.31,*b*). De remarcat că tehnica utilizării impulsurilor de tact (aplicate pe poarta tranzistorului-sarcină) conduce la micșorarea apreciabilă a puterii cosumate și la mărirea vitezei de lucru.

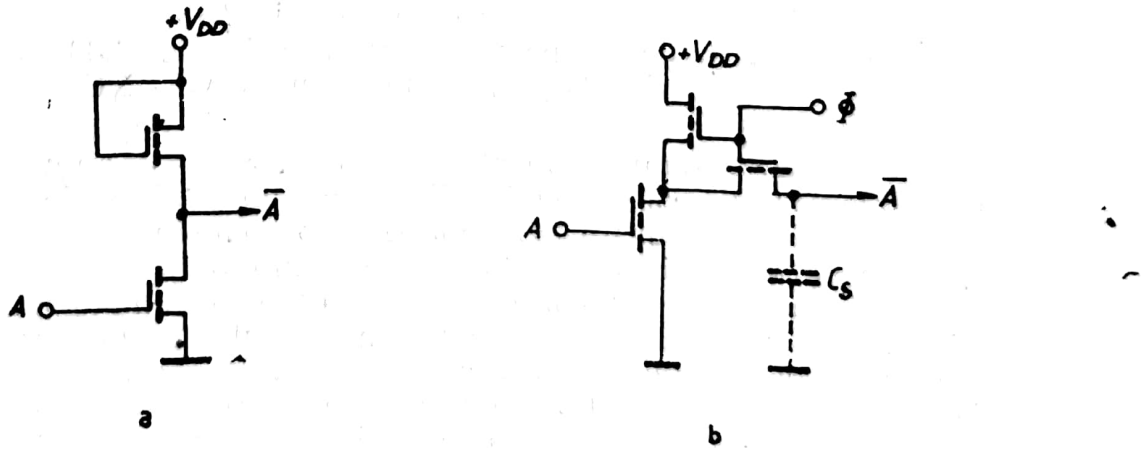


Fig. 3.31

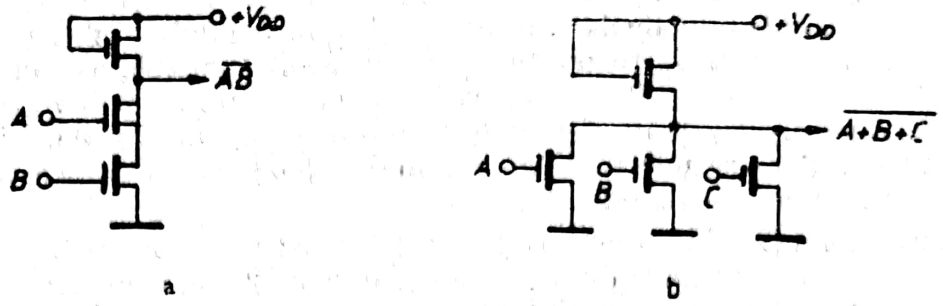


Fig. 3.32

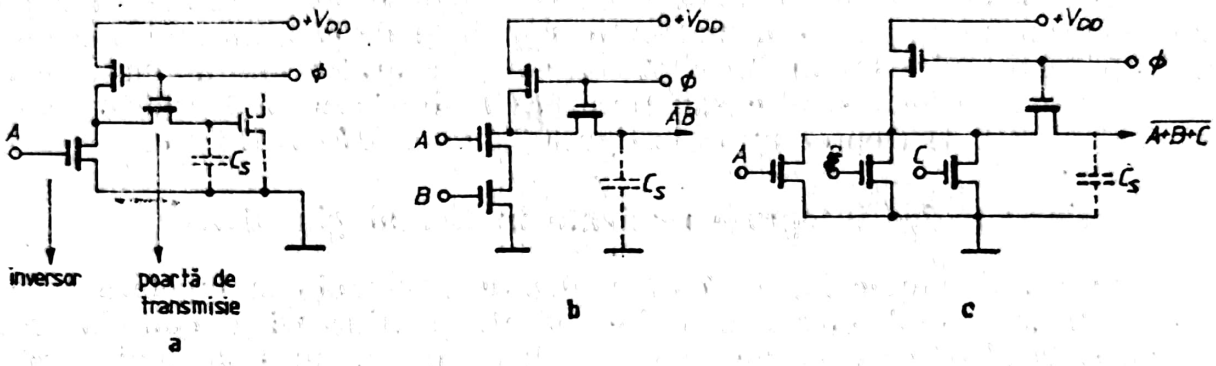


Fig. 3.33

În figura 3.32 sînt reprezentate cîteva porți logice cu tranzistori *MOS* și anume circuitul ȘI—NU (fig. 3.32) și circuitul SAU—NU (fig. 3.32, *b*), realizate în logica pozitivă (canal de tip *n*, pe suport de tip *p*, fapt care se constată și după semnul pozitiv al tensiunii de alimentare, V_{DD}). Acestea sînt porți logice statice realizate în tehnologia *NMOS* (cu canalul *n*). În mod similar se realizează și structurile *PMOS* (adică *MOS* cu canal *p*), avînd tensiuni de alimentare și de comandă corespunzătoare, adică $V_{DD} < 0$ și $V_p < 0$. Circuitele *NMOS* sînt mai mult folosite în comparație cu circuitele *PMOS*, datorită vitezei mai mari de lucru, consumului mai redus și a suprafeței mici ocupate pe cip, ceea ce permite realizarea de circuite integrate mari, de tip *LSI* sau *VLSI* utilizate în special pentru memorii (v. cap. următor).

În figura 3.33 sînt reprezentate cîteva porți *MOS* dinamice, respectiv inversorul *MOS* urmat de o poartă de transmisie (fig. 3.33,*a*), un circuit ȘI—NU cu două intrări (fig. 3.33, *b*) și un circuit SAU—NU cu trei intrări (fig. 3.33,*c*).

O clasă specială — și mult utilizată în ultimul timp — de circuite integrate cu tranzistori unipolari o constituie familia de circuite *CMOS* (complementary *MOS*), adică structuri realizate prin folosirea concomitentă atît a tranzistorului *PMOS*, cît și a tranzistorilor *NMOS*. În figura 3.34,*a* este reprezentată schema inversorului *CMOS* care constituie elementul logic fundamental al acestei familii de circuite logice. Se vede că inversorul *CMOS* este constituit din doi tranzistori *MOS* complementari care se află conectați în serie între sursa de alimentare și masă. Terminalele sursei și regiunii suportului pentru tranzistorul *PMOS* sînt legate la potențialul pozitiv în raport cu drena, iar terminalele sursei și suportului pentru tranzistorul *NMOS* se mențin la un

Scanned with OKEN Scanner

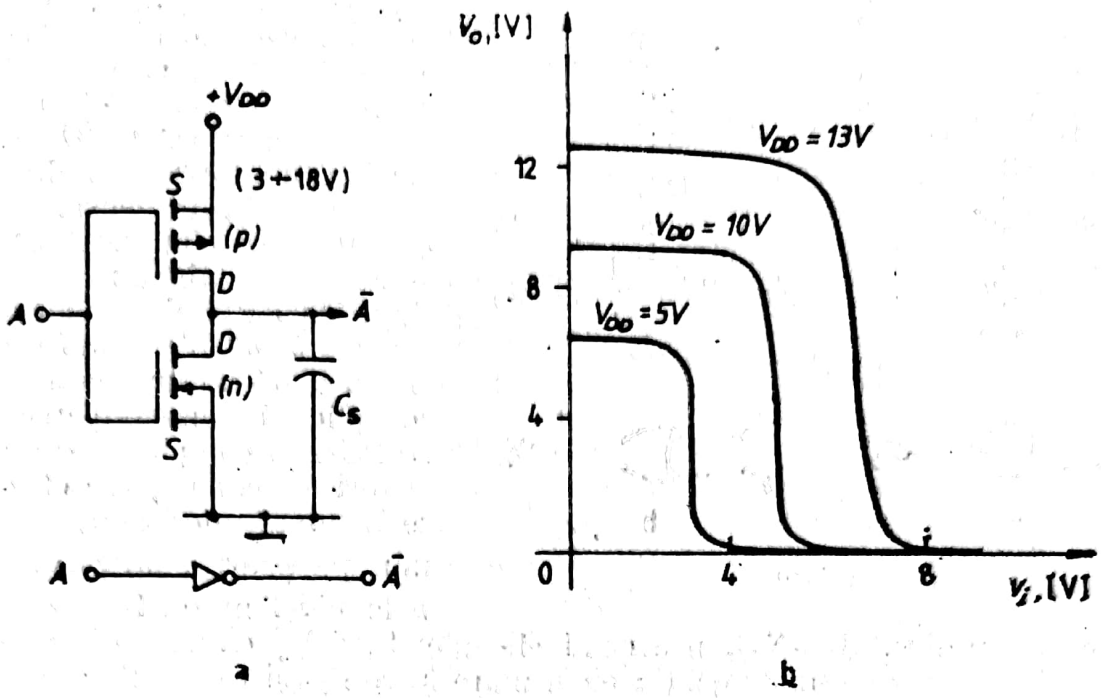


Fig. 3.34

potențial negativ în raport cu drena respectivului tranzistor (fig. 3.34,*a*). Datorită acestui fapt, pentru nivel scăzut (bit „0") al tensiunii de intrare pe poartă se deschide tranzistorul *PMOS*, iar pentru nivel înalt (bitul 1) se deschide tranzistorul *NMOS*, astfel încît tensiunea de ieșire va fi egală fie cu tensiunea V_{DD}, fie cu zero (potențialul masei).

Întrucît mobilitatea de suprafață μ_{ns} a electronilor în elementele de tip *n* este de 2— 3 ori mai mare decît mobilitatea de suprafață μ_{ps} a golurilor din regiunile de tip *p*, raportul Z/L (v. [8,19]) pentru tranzistorul cu canal *p* se ia de 2—3 ori mai mare decît cel pentru tranzistorul *NMOS*, pentru a realiza tensiuni de tranziție între nivelele logice cît mai aproape de jumătatea tensiunii de alimentare V_{DD} [8, 19].

În regim static tranzistorii *PMOS* și *NMOS* nu se pot deschide simultan și ca urmare valorile curenților care curg între sursa de alimentare și masă sînt foarte mici (de ordinul nonamperilor) și puterea disipată pe poartă este foarte mică ($\approx$ 0,01 mW). Această putere crește întrucîtva în cazul funcționării în regim dinamic, adică pe durata proceselor tranzitorii care au loc în timpul creșterii sau scăderii fronturilor impulsurilor aplicate la intrare; această componentă a puterii depinde de curentul de scurgere între sursa de alimentare și masă cînd ambii tranzistori se deschid (deci de rezistența canalelor *n* și *p*), precum și de timpul de creștere și de scădere a fronturilor impulsurilor de intrare. O componentă importantă a puterii disipate în regim dinamic apare ca urmare a încărcării și descărcării capacității de sarcină C_s (a etajelor următoare care se cuplează la ieșirea porții, fig. 3,34,*a*) în timpul fiecărei perioade de variație a semnalului la intrare. Această componentă (dinamică) a puterii consumate poate să ia valori destul de mari ($\simeq$ 10 mW) la frecvențele de 8—10 MHz, de aceea circuitele *CMOS* pot fi considerate ca fiind circuite cu consum scăzut numai la frecvențe joase sau în anumite domenii de frecvențe.

În figura 3.34,*b* este redată caracteristica de transfer a inversorului *CMOS*, pentru trei valori ale tensiunii de drenă.

Scanned with OKEN Scanner

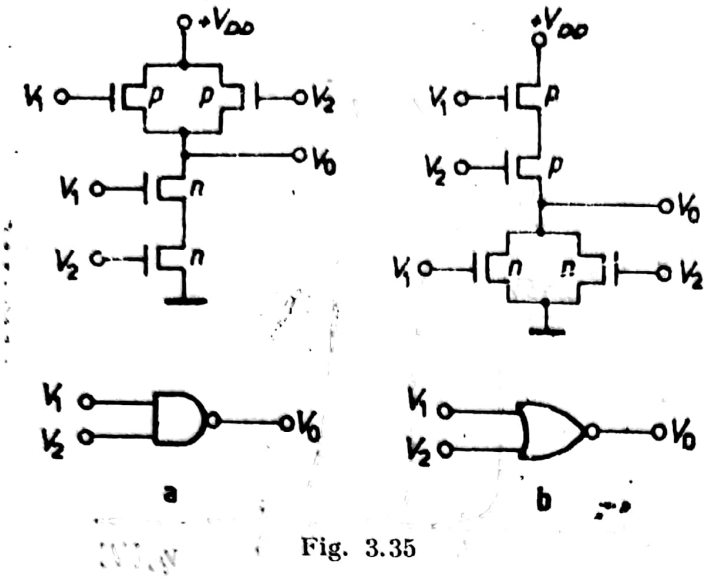


Fig. 3.35

În figurile 3.35,*a* și 3.35,*b* sînt redate schema unui circuit ȘI—NU și respectiv schema unui circuit SAU—NU realizate cu tranzistori *CMOS* reprezentați sub formă simplificată; în această reprezentare tipul canalului de conducție *p* sau *n* este notat în stînga în imediata vecinătate a simbolului tranzistorului *MOS*. Tensiunile de intrare, de exemplu semnalul V_1, se aplică la cîte o pereche de tranzistori (complementari) tranzistorii cu canal *p* deschizîndu-se la nivel mic (zero) al tensiunii pe poartă, iar cei cu canal *n* la nivel mare. În cazul schemei pentru circuitul ȘI—NU, pentru nivele mici V_1 și V_2, tranzistorii *p* se deschid, iar tranzistorii *n* sînt blocați; ca urmare între V_{DD} și $V_{ieșire}=V_0$ apare o rezistență foarte mică, iar la ieșire se regăsește potențialul înalt V_{DD} (deci se obține bitul $1 = \overline{AB}$). Dacă ambele intrări V_1 și V_2 sînt la potențial înalt, se deschid tranzistorii *NMOS*, iar între V_0 și masă apare o rezistență foarte mică, adică la ieșire se obține bitul „0". În mod similar se poate analiza și funcționarea circuitului SAU—NU din figura 3.35, *b*.

Un circuit care realizează o impedanță mare de ieșire este **poarta de transmisie** *CMOS* (fig. 3.36) care constituie un comutator bidirecțional realizat cu tranzistorul T_1 (cu canal *n*) în paralel cu tranzistorul T_2 (canal *p*). Comanda numerică sub formă de impulsuri Φ se aplică pe poarta tranzistorului cu canal *n*, iar impulsul de comandă $\overline{\Phi}$ — pe poarta tranzistorului cu canal *p*. Ambii tranzistori sînt fie în stare blocată acționînd ca un comutator deschis, în funcție de nivelul Low sau High al impulsului de comandă. Cînd la intrarea Φ avem nivelul *H* (și evident $\overline{\Phi} = L$), ambii tranzistori sînt deschiși și datele pot trece dintr-o parte în alta a porții de transmisie, în ambele sensuri (comutator bidirecțional); cînd $\Phi = L$ și $\overline{\Phi} = H$, ambii tranzistori sînt blocați și informația nu mai este transmisă.

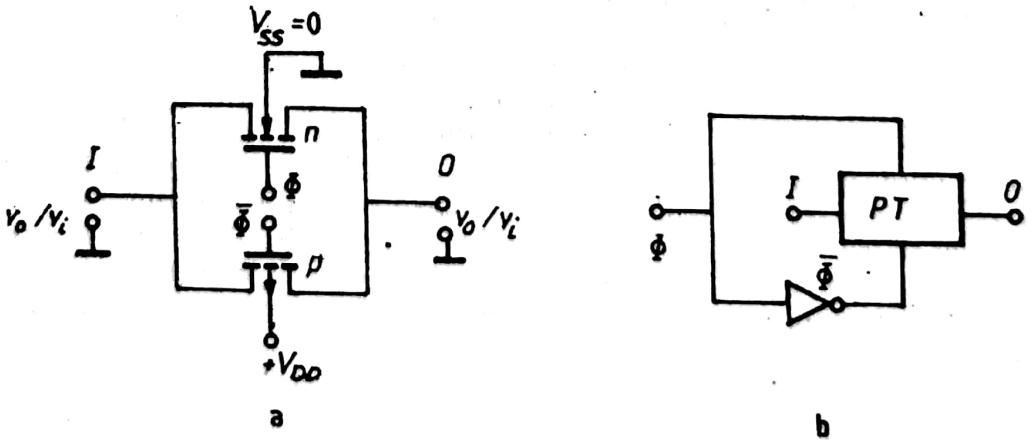


Fig. 3.36

Porțile *CMOS* din construcția circuitelor integrate conțin, de obicei, un inversor așa cum se vede din figura 3.36, *b*. Intrarea unică se folosește pentru aplicarea semnalului de comandă Φ, iar semnalul $\overline{\Phi}$ apare după inversor. Cu porți de transmisie *CMOS* se pot realiza porți logice cu trei stări așa cum se vede din figura 3.37. Prima parte a circuitului reprezintă o poartă logică normală (inversorul *CMOS*), iar partea a doua a circuitului este o poartă de transmisie *CMOS*. Starea de impedanță ridicată la ieșire se obține pentru $E=L$ (sau $\Phi = L$) și evident $\overline{E} = H$, astfel încît ambii tranzistori se blochează și informația A nu mai este transmisă.

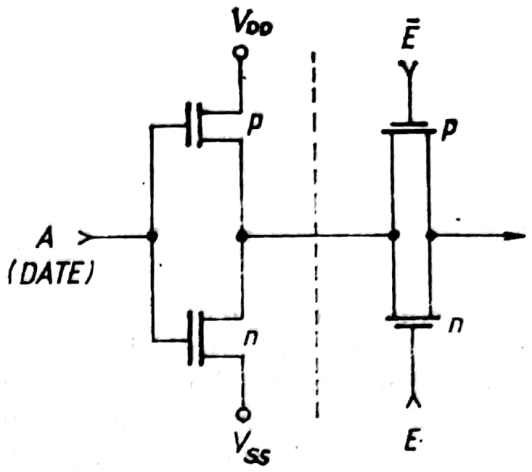


Fig. 3.37

Datorită avantajelor deosebite pe care le prezintă, circuitele logice integrate cu tranzistori *MOS* au căpătat o largă răspîndire. Dintre aceste avantaje trebuie menționate în primul rînd consumul redus, densitatea mare de integrare, marginea de zgomot mare și tehnologia de fabricație mai simplă decît tehnologia bipolară. Viteza de lucru este întrucîtva mai mică decît cea din cazul tehnologiei bipolare, deși în cazul tehnologiei *NMOS* timpii de propagare sînt comparabili cu cei de la tehnologia bipolară ($t_p \simeq 0{,}1 - 10$ ns).

În ceea ce privește consumul, circuitele *CMOS* au consumul cel mai mic ceea ce le face deosebit de utile pentru construcția aparatelor alimentate la baterii (calculatoare mici, ceasuri electronice, aparatură cosmică sau de bord etc.). De asemenea au o margine de zgomot mare, impedanțe de ieșire mici (în stările H și L) și diapazon mare al temperaturilor de lucru. Spre deosebire de tehnologia *NMOS* unde pentru o poartă cu n intrări sînt necesari $n + 1$ tranzistori, tehnologia *CMOS* prezintă un grad puțin mai mic de integrare, deoarece pentru o poartă cu n intrări necesită $2n$ tranzistori; de asemenea viteza de lucru a acestor porți este mai mică decît a porților realizate în tehnologia *NMOS*. De precizat că, actualmente, tehnologia *PMOS* practic nu mai este folosită.

3.6. Minimizarea și implementarea funcțiilor logice

3.6.1. Reprezentarea algebrică în forme canonice a funcțiilor logice

Mulțimea variabilelor liniare, operînd cu valorile 0 și 1 constituie o mulțime finită și ordonată

$$\{0, 1\} = \mathscr{L}_2 \qquad 3.6.1$$

definită prin postulatele și teoremele algebrei booleene descrise în paragraful 3.1.

Se consideră vectorul X de componente $x_1, x_2, \ldots, x_n$

$$X = (x_1, x_2, \ldots x_n). \qquad 3.6.2$$

Întrucît cele n componente $(x_1, x_2, \ldots x_n)$ pot lua fiecare valorile 0 și 1, pot exista 2^n vectori X care formează mulțimea finită $\mathscr{L}_2^n$. De asemenea, fiecare vector din mulțimea $\mathscr{L}_2^n$ poate lua numai valorile 0 sau 1.

Scanned with OKEN Scanner

Funcţiile booleene (sau funcţiile logice) sînt aplicaţii ale mulţimei $\mathscr{L}_2^n$ în mulţimea $\mathscr{L}_2$ adică

$$f_k : \mathscr{L}_2^n \to \mathscr{L}_2 \qquad 3.6.3$$

şi iau valorile 0 sau 1. Astfel unei funcţii booleene i se asociază un vector X

$$f(X) = f(x_1, x_2, \ldots, x_n),\ X = (x_1, x_2, \ldots x_n) \qquad 3.6.3'$$

cu 2^n componente egale cu 0 sau 1, fiecare componentă fiind asociată unui vector X dat [1]. Funcţiile booleene sînt definite pentru toate combinaţiile de valori ale variabilelor x_i. Fiind funcţii cu domeniul şi codomeniul finite ele se reprezintă adesea sub formă de *tabel de adevăr*, în special funcţiile cu un număr redus de variabile (v. § 3.1). Alte moduri de exprimare directă, intuitivă a funcţiilor booleene cu un număr mic de argumente (în general $n \leqslant 6$) sînt reprezentările prin diagrame Euler, Venn, Veitch-Karnaugh, prin grafuri sau pe hipercub. Cele mai generale reprezentări ale funcţiilor logice, inclusiv pentru un număr mare de variabile sînt reprezentările prin expresii algebrice, prin scheme logice (logigrame, v. § 3.1), sau sub formă de coduri.

Pentru analiza care urmează vom introduce metasimbolul γ cu următoarele proprietăţi :

1. $$\gamma_i \in \{0, 1\} = \mathscr{L}_2 ; \qquad 3.6.4$$

2. Dacă $x_j \in \mathscr{L}_2$, atunci aplicarea metasimbolului γ_i variabilei x_j se scrie $x_j^{\gamma_i}$ şi conduce la următoarele rezultate :

$$x_j^{\gamma_i} = \begin{cases} x_j & \text{dacă } \gamma_i = 1 \\ \bar{x}_j & \text{dacă } \gamma_i = 0. \end{cases} \qquad 3.6.5$$

Cu aceste notaţii se pot introduce formulele de interpolare langrangeană :

$$f(x_1, x_2, \ldots, x_n) = \sum_{(\gamma_1, \gamma_2 \ldots \gamma_n)} f(\gamma_1, \gamma_2, \ldots, \gamma_n)\, x_1^{\gamma_1} \cdot x_2^{\gamma_2} \cdot \ldots \cdot x_n^{\gamma_n} \qquad 3.6.6$$

$$f(x_1, x_2, \ldots, x_n) = \prod_{(\gamma_1, \gamma_2 \ldots \gamma_n)} [f(\gamma_1, \gamma_2, \ldots, \gamma_n) + x_1^{\bar{\gamma}_1} + x_2^{\bar{\gamma}_2} + \ldots + x_n^{\bar{\gamma}_n}] \qquad 3.6.7$$

în care scrierea $\sum_{(\gamma_1, \gamma_2 \ldots \gamma_n)}$ şi $\prod_{(\gamma_1, \gamma_2 \ldots \gamma_n)}$ reprezintă suma şi respectiv produsul după sistemele (combinaţiile) ordonate de valori ale metasimbolului γ, iar $f(\gamma_1, \gamma_2, \ldots, \gamma_n)$ reprezintă valorile corespunzătoare ale funcţiei pentru sistemul ordonat respectiv. Acest lucru trebuie privit în felul următor : fiind dat un vector de intrare $X = (x_1, x_2, \ldots, x_n)$, acestuia i se poate asocia un vector $\gamma = (\gamma_1, \gamma_2, \ldots, \gamma_n)$ astfel încît

$$\gamma_i = x_i ; \quad i = 1, 2, \ldots n. \qquad 3.6.8$$

Demonstraţia primei formule de interpolare se va face astfel.
Fie expresia E (din membrul II al egalităţii 3.6.6)

$$E = \sum_{(\gamma_1, \gamma_2, \ldots, \gamma_n)} (f(\gamma_1, \gamma_2, \ldots, \gamma_n)\, x_1^{\gamma_1} \cdot x_2^{\gamma_2} \cdot \ldots \cdot x_n^{\gamma_n}. \qquad 3.6.9$$

Scanned with OKEN Scanner

Presupunînd că în unul din termenii sumei de mai sus avem situația

$$(\gamma_1, \gamma_2, \ldots, \gamma_n) \neq (x_1, x_2, \ldots, x_n) \qquad 3.6.10$$

atunci există un i cuprins între 1 și n, astfel încît $\gamma_i \neq x_i$. În acest caz, cum $\gamma_i \neq x_i$ din 3.6.5 rezultă

$$x_i^{\gamma_i} = \begin{cases} 0^1 = 0, & \text{dacă } x_i = 0, \text{ (cînd luăm } \gamma_i = 1); \\ \bar{1} = 0, & \text{dacă } x_i = 1, \text{ (cînd } \gamma_i = 0). \end{cases} \qquad 3.6.11$$

Se vede că în acest caz

$$x_i^{\gamma_i} = x_i^{\bar{x}_i} = 0. \qquad 3.6.12$$

Dacă există acest indice i cu proprietatea arătată, atunci tot termenul respectiv (pentru care $\gamma_i = \bar{x}_i$ sau $\gamma_i \neq x_i$) se anulează:

$$f(\gamma_1, \gamma_2, \ldots, \gamma_n)\, x_1^{\gamma_1} x_2^{\gamma_2} \ldots x_n^{\gamma_n} = 0 \qquad 3.6.13$$

deoarece, conform algebrei logice $a \cdot 0 = 0$.

Rezultă că din suma 3.6.9 dispar toți termenii cu excepția aceluia pentru care este satisfăcută egalitatea

$$(\gamma_1, \gamma_2, \ldots, \gamma_n) = (x_1, x_2, \ldots, x_n). \qquad 3.6.14$$

Prin urmare, expresia 3.6.9 se poate scrie (ținînd seama de 3.6.14)

$$E = \sum_{(\gamma_1, \gamma_2, \ldots, \gamma_n)} f(\gamma_1, \gamma_2, \ldots, \gamma_n)\, x_1^{\gamma_1} x_2^{\gamma_2} \ldots x_n^{\gamma_n} = f(x_1, x_2, \ldots, x_n)\, x_1^{\gamma_1} x_2^{\gamma_2} \ldots x_n^{\gamma_n}, \qquad 3.6.15$$

adică se păstrează numai termenii pentru care $\gamma_i = x_i$.

Dar folosind din nou proprietatea 3.6.5 a metasimbolului γ avem

$$x_i^{x_i} = 1 \qquad 3.6.16$$

deoarece

$$x_i^{x_i} = \begin{cases} 1^1 = 1, \text{ dacă } x_i (= \gamma_i) = 1 \\ \bar{0} = 1, \text{ dacă } x_i (= \gamma_i) = 0. \end{cases} \qquad 3.6.17$$

Folosind proprietatea $a \cdot 1 = 1$, deducem

$$f(x_1, x_2, \ldots, x_n)\, x_1^{\gamma_1} x_2^{\gamma_2} \ldots x_n^{\gamma_n} = f(x_1, x_2, \ldots, x_n) \qquad 3.6.18$$

și ca atare expresia E devine

$$\sum_{(\gamma_1, \gamma_2, \ldots, \gamma_n)} f(\gamma_1, \gamma_2, \ldots, \gamma_n)\, x_1^{\gamma_1} x_2^{\gamma_2} \ldots x_n^{\gamma_n} = f(x_1, x_2, \ldots, x_n) \qquad 3.6.19$$

adică se obține tocmai primul termen al formulei 3.6.6.

Scanned with OKEN Scanner

Analog se demonstrează și cea de-a doua formulă de interpolare langrangeană.

Conform celor arătate mai sus, $f(\gamma_1, \gamma_2, \ldots, \gamma_n)$ reprezintă valoarea funcției pentru vectorul de intrare

$$X = (x_1, x_2, \ldots, x_n) = (\gamma_1, \gamma_2, \ldots, \gamma_n). \qquad 3.6.20$$

Ea corespunde, în tabelul de adevăr al funcției, setului ordonat (conform sistemului de numerație binar) de variabile de intrare pentru care $x_i = \gamma_i$.

Evident că $f(\gamma_1, \gamma_2, \ldots, \gamma_n)$ vor lua numai valori de 0 și 1 astfel că un număr de termeni-sumă din prima formulă de interpolare (respectiv de factori în a doua formulă) vor dispare și putem scrie

$$f(x_1, x_2, \ldots, x_n) = \sum_{f(\gamma_1, \gamma_2 \ldots \gamma_n)=1} 1 \cdot x_1^{\gamma_1} x_2^{\gamma_2} \ldots x_n^{\gamma_n}, \qquad 3.6.21$$

deoarece toți termenii $f(\gamma_1, \gamma_2, \ldots, \gamma_n)$ fiind egali cu 1 se dau factor (cei egali cu 0 duc evident la dispariția respectivelor produse din sumă). La fel se poate scrie

$$f(x_1, x_2, \ldots, x_n) = \prod_{f(\gamma_1, \gamma_2 \ldots \gamma_n)=0} (x_1^{\bar{\gamma}_1} + x_2^{\bar{\gamma}_2} + \ldots + x_n^{\bar{\gamma}_n}). \qquad 3.6.22$$

Expresiile de forma $x_1^{\gamma_1} \cdot x_2^{\gamma_2} \ldots x_n^{\gamma_n}$ și $x_1^{\bar{\gamma}_1} + x_2^{\bar{\gamma}_2} + \ldots + x_n^{\bar{\gamma}_n}$ poartă numele **de termeni canonici.** Primii sînt termeni canonici de tip produs avînd componentele

$$P_i = x_1^{\gamma_{1i}} x_2^{\gamma_{2i}} \ldots x_n^{\gamma_{ni}}, \qquad 3.6.23$$

iar ceilalți sînt termeni canonici de tip sumă avînd componentele de forma

$$S_i = x_1^{\bar{\gamma}_{1i}} + x_2^{\bar{\gamma}_{2i}} + \ldots + x_n^{\bar{\gamma}_{ni}}. \qquad 3.6.24$$

Dînd vectorului γ valorile succesive corespunzătoare codului binar natural de n variabile, rezultă expresiile termenilor canonici P_i sau S_i ($i = 0, 1, 2, 3, \ldots, n-1$):

$$\left.\begin{aligned} P_0 &= \bar{x}_1\bar{x}_2 \ldots \bar{x}_{n-1}\bar{x}_n \\ P_1 &= x_1\bar{x}_2\bar{x}_3 \ldots \bar{x}_{n-1}\bar{x}_n \\ P_2 &= \bar{x}_1 x_2\bar{x}_3 \ldots \bar{x}_{n-1}\bar{x}_n \\ P_3 &= x_1 x_2\bar{x}_3 \ldots \bar{x}_{n-1}\bar{x}_n \\ &\vdots \\ P_{2^n-1} &= x_1 x_2 \ldots x_{n-1} x_n \end{aligned}\right\} \qquad 3.6.25$$

Scanned with OKEN Scanner

și respectiv:

$$\left.\begin{aligned} S_0 &= x_1 + x_2 + \ldots + x_{n-1} + x_n \\ S_1 &= \bar{x}_1 + x_2 + \ldots + x_{n-1} + x_n \\ S_2 &= x_1 + \bar{x}_2 + \ldots + x_{n-1} + x_n \\ S_3 &= \bar{x}_1 + \bar{x}_2 + x_3 + \ldots x_{n-1} + x_n \\ &\vdots \\ S_{2^n-1} &= \bar{x}_1 + \bar{x}_2 + \ldots + \bar{x}_{n-1} + \bar{x}_n. \end{aligned}\right\} \qquad 3.6.26$$

Păstrînd în continuare această convenţie se pot introduce coeficienţii

$$\alpha_i \in \mathscr{L}_2;\ \alpha_i = f(\gamma_{1i}, \gamma_{2i}, \ldots, \gamma_{ni});\quad i = 0, 1, 2, 3, \ldots, 2^n - 1 \qquad 3.6.27$$

cu ajutorul cărora formulele de dezvoltare în termeni canonici se pot scrie:

$$f(x_1, x_2, \ldots, x_n) = \sum_{i=0}^{2^n-1} \alpha_i P_i \rightarrow \text{forma canonică normal disjunctivă } (f.c.n.d.) \qquad 3.6.28$$

$$f(x_1, x_2, \ldots, x_n) = \prod_{i=0}^{2^n-1} (\alpha_i + S_i) \rightarrow \text{forma canonică normal conjuctivă } (f.c.n.c). \qquad 3.6.29$$

Avînd în vedere că P_i și S_i sînt apriori cunoscuţi și universal valabili (v. relaţiile 3.6.25 și 3.6.26), o funcţie booleană este complet determinată de coeficienţii α_i care sînt chiar valorile funcţiei pentru setul de valori i ale variabilelor de intrare. Acest lucru exprimă corespondenţa dintre tabelul de adevăr al funcţiei (ordonat, după combinaţiile valorilor variabilelor, în cod binar) și formele canonice de exprimare ale acesteia (tabelul 3.10):

Tabelul .10

S_i	P_i	$x_n,\ x_{n-1},\ \ldots,\ x_2,\ x_1$	$f(x_1, x_2 \ldots x_n)$	α_i
S_0	P_0	0 0 . . . . . 0 0	$f(0, 0, \ldots 0)$	α_0
S_1	P_1	0 0 . . . . . 0 1	$f(1, 0, \ldots 0)$	α_1
S_2	P_2	0 0 . . . . . 1 0	$f(0, 1, \ldots 0)$	α_2
S_3	P_3	0 0 . . . . . 1 1	$f(1, 1, \ldots$	α_3
⋮	⋮			⋮
S_{2^n-1}	P_{2^n-1}	1, 1 . . . . . 1 1	$f(1, 1, \ldots 1)$	α_{2^n-1}

La trecerea de la reprezentarea prin tabel de adevăr la $f.c.n.d$ dispar termenii care au $\alpha_i = 0$, deoarece $0P_i = 0$ și

$$\sum_{j \neq i} (\alpha_j P_j) + 0 \cdot P_i = \sum_{j \neq i} \alpha_j P_j. \qquad 3.6.30$$

Analog, la trecerea de la tabelul de adevăr la $f.c.n.c.$ dispar termenii care au $\alpha_i = 1$ (adică se iau termenii pentru care $\alpha_i = 0$).

Scanned with OKEN Scanner

Tabelul 3.11

P_i	a	b	f
P_0	0	0	0
P_1	0	1	1
P_2	1	0	1
P_3	1	1	0

Spre exemplificare se consideră funcția de două variabile dată de tabelul de adevăr 3.11.

Exprimarea funcției f în formă canonică normală disjunctivă va fi

$$f = \sum_{i=0}^{2^n-1} \alpha_i P_i = 0 \cdot P_0 + 1 \cdot P_1 + 1 \cdot P_2 + 0 \cdot P_3 =$$

$$= P_1 + P_2 = \bar{a}b + a\bar{b} \qquad 3.6.31$$

care este funcția SAU–EXCLUSIV.

Pentru funcția dată de tabelul de adevăr (tabel 3.12) rezultă *f.c.n.d.*

$$f = P_1 + P_2 + P_4 + P_6 = \bar{a}\bar{b}c + \bar{a}b\bar{c} + a\bar{b}\bar{c} + abc. \qquad 3.6.32$$

Tabelul 3.12

P_i	a	b	c	f
P_0	0	0	0	0
P_1	0	0	1	1
P_2	0	1	0	1
P_3	0	1	1	0
P_4	1	0	0	1
P_5	1	0	1	0
P_6	1	1	0	1
P_7	1	1	1	0

Conform algoritmului ilustrat mai sus expresia canonică a funcției booleene se scrie direct luînd numai termenii (canonici) cărora le corespund valorile 1 ale funcției sau α_i (pentru *f.c.n.d.*) și respectiv 0 (pentru *f.c.n.c.*). Memorarea termenilor canonici nu este necesară. Practic, ei se obțin direct din tabelul de adevăr conform proprietăților metasimbolului γ_j și formulelor de interpolare langrangeană; ei reprezintă produsele tuturor variabilelor dintre care cele care pe linia respectivă sînt 0 se iau negate, iar cele care sînt 1, nenegate (v. exemplele precedente pentru *f.c.n.d.*); pentru *f.c.n.c.* situația negațiilor este inversă și avem *sume* de variabile. Astfel pentru funcția descrisă de tabelul 3.11 avem *f.c.n.c.*

$$f = \prod_{i=0}^{2^n-1} (\alpha_i + S_i) = (0 + P_0)(0 + P_3) = P_0 P_3 =$$

$$= (a + b)(\bar{a} + \bar{b}) = a\bar{b} + \bar{a}b. \qquad 3.6.33$$

3.6.2. Metode algebrice de minimizare a funcțiilor logice

Pe lîngă reprezentarea în forme canonice, funcțiile booleene pot fi reprezentate sub **formă elementară**, conținînd unul sau mai mulți termeni elementari.

Numim termeni elementari acei termeni care nu conțin toate variabilele independente ale funcției de n variabile. Considerînd că din termenul canonic P_k lipsesc variabilele $x_{k_1}, x_{k_2}, \ldots x_{k_l}$, termenul elementar se scrie

$$P_k = \prod_{i \neq k_1, k_2, \ldots k_l} x_i^{\gamma_{k_i}}. \qquad 3.6.34$$

O funcție logică se află în exprimare algebrică elementară dacă expresia ei conține cel puțin un termen elementar.

În general formele canonice pot fi transformate în forme elementare folosind postulatele algebrei booleene. Reluînd exemplul funcției definite prin tabe-

Scanned with OKEN Scanner

lul 3.12 și prin forma canonică normal disjunctivă 3.6.32

$$f = \bar{a}\bar{b}c + \bar{a}b\bar{c} + a\bar{b}\bar{c} + ab\bar{c}, \qquad 3.6.32,a$$

se observă că în ultimii doi termeni se poate da factor comun $a\bar{c}$

$$f = \bar{a}\bar{b}c + \bar{a}b\bar{c} + a\bar{c}(b + \bar{b}) \qquad 3.6.33\,a,$$

rezultînd forma elementară (de exprimare a $f.b$)

$$f = \bar{a}\bar{b}c + \bar{a}b\bar{c} + a\bar{c}. \qquad 3.6.34,a$$

Formele elementare prezintă avantaje evidente față de formele canonice întrucît numărul de circuite (și dispozitive electronice) cu care se poate realiza practic (implementa) funcția dată este mai mic.

Dintre formele elementare de exprimare algebrică a unei funcții logice o importanță deosebită prezintă **formele elementare minimale.** În general, nu există o formă elementară minimală unică pentru o funcție logică dată, după cum nu există o definiție unică a acestei noțiuni. Vom accepta în continuare convenția că o formă elementară minimă este expresia unei funcții logice obținută prin parcurgerea unui proces de minimizare.

Metodele de minimizare pot fi: *algebrice, grafice* și *combinate.*

Metodele algebrice de minimizare constau în prelucrări succesive ale expresiei unei funcții logice folosind postulatele algebrei booleene.

Funcția considerată mai sus (v. tabel 3.12 și rel. 3.6.32) a fost adusă la forma elementară din 3.6.34,*a* prin aplicarea postulatului (v. 3.3.12)

$$x + \bar{x} = 1. \qquad 3.6.35$$

Apar, în continuare, două probleme:

1. Cum trebuie mers pentru minimizarea acestei forme?
2. Cînd se poate considera că funcția a fost minimizată?

Rezolvarea acestor probleme este de obicei destul de laborioasă și reclamă experiență și efort de gîndire.

De exemplu, pentru funcția considerată se poate proceda astfel:

$$f = \bar{a}\bar{b}c + \bar{a}b\bar{c} + a\bar{c} = \bar{a}\bar{b}c + (\bar{a}b + a)\bar{c} =$$

$$= \bar{a}\bar{b}c + [\bar{a}b + a(b + \bar{b})]\bar{c} = \bar{a}\bar{b}c + [\bar{a}b + ab + a\bar{b}]\bar{c} =$$

$$= \bar{a}\bar{b}c + (\bar{a}b + ab + ab + a\bar{b})\bar{c} \qquad 3.6.36$$

Dînd factori pe b în primii doi termeni din paranteză și pe a în ultimii doi, se obține

$$f = \bar{a}\bar{b}c + [(\bar{a} + a)b + a(b + \bar{b})]\bar{c} = \bar{a}\bar{b}c + (b + a)\bar{c}. \qquad 3.6.37$$

Se ajunge în final la forma elementară, considerată minimală

$$f = \bar{a}\bar{b}c + b\bar{c} + a\bar{c}. \qquad 3.6.38$$

Scanned with OKEN Scanner

3.6.3. Miniminarea funcţiilor logice cu ajutorul diagramei Veitch-Karnaugh

3.6.3.1. Reprezentarea funcţiilor logice prin diagrame Veitch-Karnaugh. După cum s-a menţionat în § 3.6.1, un alt mod de reprezentare a funcţiilor logice este reprezentarea sub formă de diagrame Euler, Venn, Veitch sau Karnaugh etc. Veitch a fost printre primii care a introdus modul de reprezentare a funcţiilor booleene (*F.B.*) sub formă de diagrame cu n linii şi m coloane care conţin în cîmpurile (ochiurile) diagramei combinaţiile argumentelor funcţiei, cîmpuri care sînt numerotate în cod binar natural. Respectiva dispunere (numerotare) implică unele dificultăţi în procesul de minimizare a *F.B.* reprezentate prin această diagramă. Ulterior Karnaugh a ordonat combinaţiile argumentelor funcţiei booleene dispuse pe n linii şi m coloane conform codului Gray care este un cod binar ciclic[3] şi asigură adiacenţa între „cîmpurile" ochiurile) diagramei; o asemenea reprezentare este mai frecvent cunoscută ub numele de diagramă Veitch-Karnaugh.

Diagrama Veitch-Karnaugh (V—K) pentru funcţii de două variabile are structura din figura 3.38,*a*. În cîmpurile diagramei se trec produsele logice corespunzătoare valorilor variabilelor notate pe margini sus şi jos, adică $\bar{a}\bar{b}$, $\bar{a}b$ şi respectiv $a\bar{b}$ şi ab. Pentru o funcţie $f(a, b)$ dată de tabelul (de adevăr) 3.13 sau de ecuaţia logică

$$y = ab + a\bar{b} \qquad 3.6.39$$

Tabelul 3.13

a	b	$f(a, b)$	P
0	0	α_0	P_0
0	1	α_1	P_1
1	0	α_2	P_2
1	1	α_3	P_3

rezultă diagrama V—K din figura 3.38, *b* (sau 3.38, *c*) unde α_0, α_1, α_2 şi α_3 reprezintă coeficienţii α_i care exprimă chiar valorile funcţiei f; ca urmare în ochiurile (cîmpurile) diagramei V — K se pot trece direct valorile acestor coeficienţi (ale funcţiei) corespunzătoare valorilor variabilelor a şi b (fig. 3.38,*d*) sau valorile corespunzătoare ale termenilor canonici P_i.

Problema reprezentării unei funcţii booleene de trei variabile prin diagramă V—K este puţin mai dificilă deoarece trebuie reprezentată o varietate tridimensională (corespunzătoare combinaţiilor canonice de a, b şi c) într-un plan (bidimensional). Există metode pentru rezolvarea acestei probleme preluate prin analogii topografice, de exemplu, planiglobul.

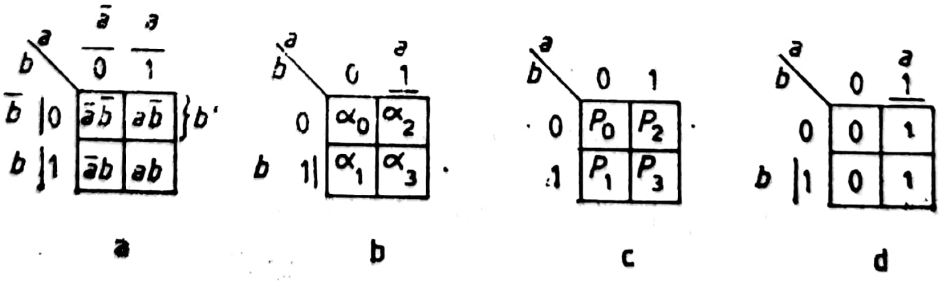


Fig. 3.38

[3] Codul Gray este un cod binar reflectat avînd proprietatea remarcabilă că două numere binare consecutive diferă între ele prin valoarea unei singure cifre (bit) (proprietate de adiacenţă): primele numere binare ale acestui cod ciclic sînt: 00, 01, 11, 10, 110, 111 etc. Date suplimentare privind construirea acestui cod se găsesc în lucrările [1, 20].

Scanned with OKEN Scanner

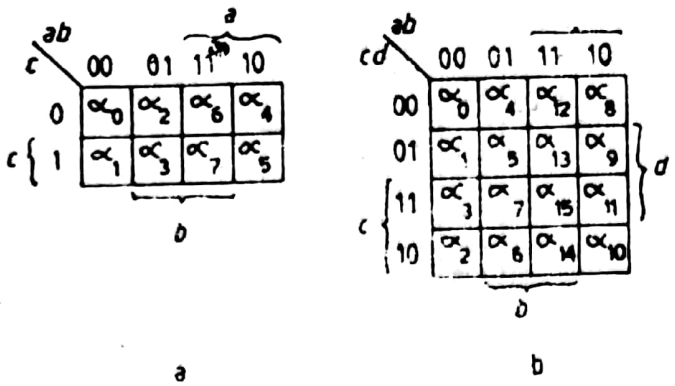


Fig. 3.39

Tabelul 3.14

a	b	c	$f(a,b,c)$
0	0	0	α_0
0	0	1	α_1
0	1	0	α_2
0	1	1	α_3
1	0	0	α_4
1	0	1	α_5
1	1	0	α_6
1	1	1	α_7

Întrucît pe o astfel de suprafață trebuie figurate opt zone de interes, corespunzătoare coeficienților $\alpha_0, \alpha_1, \ldots, \alpha_n$ care definesc funcția $f(a, b, c)$ (v. tabel 3.14), reprezentarea va fi cea din figura 3.39,*a*.

După cum se știe din topografie, marginea din extrema stîngă coincide în spațiul tridimensional — reprezentat în proiecție plană — cu cea din extrema dreaptă (de exemplu la planiglob ele corespund meridianului de 180°).

Pentru a codifica (numerota) cele opt zone prin intermediul celor trei variabile trebuie să ținem seama de aceste proprietăți topografice. Codul folosit trebuie să fie de tip adiacent (două numere consecutive să difere printr-un singur bit, în cazul codului binar) și ciclic (ultimul număr de n cifre să fie adiacent cu primul).

După cum se știe codul Gray (codul binar reflectat) se bucură de aceste proprietăți și îl vom utiliza pe acesta, așa cum se vede și din figura 3.39,*a*,*b*.

Prin analogie cu situația precedentă, desfășurarea bidimensională a varietății liniare cuadridimensionale, formată de variabilele a, b, c, d, este reprezentată în figura 3.39, *b*. Pentru fiecare zonă a diagramei corespunde un număr pe orizontală și unul pe verticală a căror reunire dă o anumită linie din tabelul de adevăr. Valoarea funcției pe acea linie se trece în zona (cîmpul) respectivă a diagramei. Analog cu cazul tridimensional și în acest caz marginea din extrema stîngă coincide cu cea din extrema dreaptă. În plus, marginea de jos coincide cu cea de sus. De asemenea toate colțurile sînt adiacente.

În cazul funcțiilor de cinci variabile, a, b, c, d, e, cu $a = MSB$ (Most Significant Bit) și $e = LSB$ (Less Significant Bit), se vor construi două astfel de diagrame V—K care se presupun suprapuse și adiacente la nivelul suprafețelor (fig. 3.40).

În cazul figurii 3.40 avem :

— marginile $\bar{u}$, $\bar{a}$, u și a sînt adiacente ;

— marginile $\bar{l}$, $\bar{r}$, l și r sînt adiacente ;

— toate colțurile sînt adiacente ;

— zona termenului P_k este adiacentă cu zona termenului

P_{k+16} ; $k = 0, 1, 2, 3, \ldots, 14, 15$.

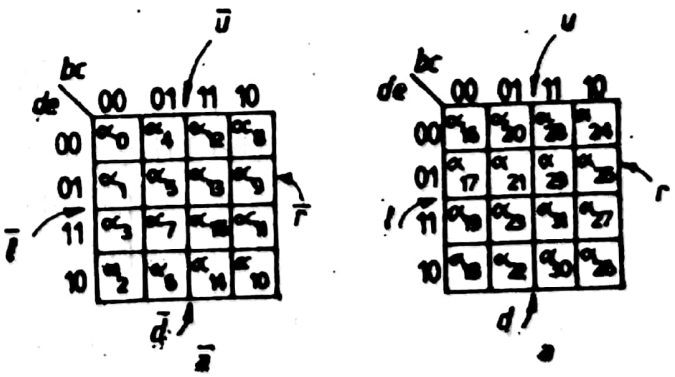


Fig 3.40

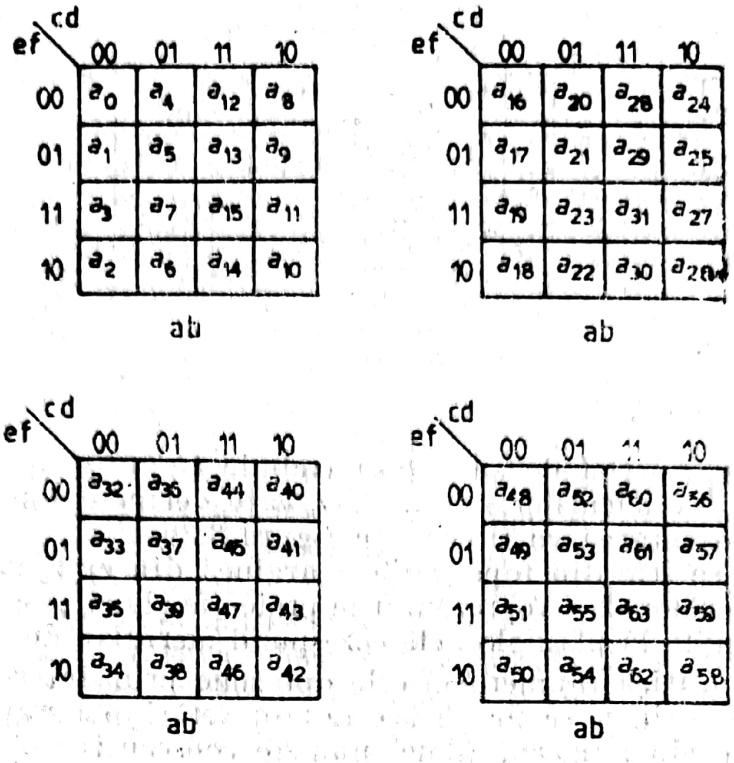


Fig. 3.41

Toți termenii canonici care fac parte din diagrama din stînga se înmulțesc cu $\bar{a}$ (care constituie simbolul de „notare" a primei diagrame), iar cei din diagrama din dreapta se înmulțesc cu a (care este notația celei de a doua diagrame) [1]. În mod analog se construiește și diagrama Veitch-Karnaugh pentru șase variabile a, b, c, d, e, f cu $a = MSB$, folosind patru diagrame (de 4 variabile) suprapuse (fig. 3.41) și care sînt „notate" prin $\bar{a}\bar{b}$, $\bar{a}b$, $a\bar{b}$ și ab. De reținut aceleași reguli ca cele ale diagramei pentru cinci variabile, adică zonele de pe laturi paralele ale diagramelor sau ocupînd poziții omoloage pe diagramele de cinci sau șase variabile, sînt adiacente,

3.6.3.2. Exprimarea complementară, simetrică a f.c.n.d. Pentru a pune în evidență proprietățile remarcabile de care se bucură diagrama Veitch-Karnaugh și modul de utilizare a acesteia pentru minimizarea funcțiilor booleene, vom introduce forma complementară simetrică de reprezentare a termenilor canonici de tip P. Pentru aceasta vom observa că termenii respectivi sînt produse formate din toate varabilele dintre care unele sînt negate iar altele nu. Folosind metasimbolul γ acest lucru se scrie (v. rel. 3.6.34).

$$P_k = \prod_{j=1}^{n} x_j^{\gamma_{kj}}. \qquad 3.6.40$$

Dar conform definiției lui γ putem scrie (v. rel. 3.6.5)

$$x_j^{\gamma_{kj}} = \begin{cases} x_j & \text{dacă} \quad \gamma_{kj} = 1 \\ \bar{x}_j, & \text{dacă} \quad \gamma_{kj} = 0. \end{cases} \qquad 3.6.41$$

Această relație (3.6.41) se mai poate scrie în felul următor

$$x_j^{\gamma_{kj}} = \gamma_{kj} x_j + \bar{\gamma}_{kj} \bar{x}_j. \qquad 3.6.42$$

Scanned with OKEN Scanner

Relaţia 3.6.42 se poate verifica imediat dînd valorile 0 şi 1 lui γ_{kj}. Atunci scriind această relaţie în 3.6.40 (în loc de 3.6.41) termenii canonici de tip P_k se pot pune sub forma

$$P_k = \prod_{j=1}^{n} (\gamma_{kj} x_j + \bar{\gamma}_{kj} \bar{x}_j). \qquad 3.6.43$$

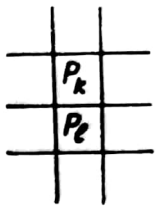


Fig. 3.42

Rezultă atunci că forma canonică normală disjunctivă din 3.6.28 se poate scrie ca

$$f(x_1, x_2, \ldots, x_n) = \sum_{k=0}^{2^n-1} \alpha_k \prod_{j=1}^{n} (\gamma_{kj} x_j + \bar{\gamma}_{kj} \bar{x}_j) \qquad 3.6.44$$

care este exprimarea complementară simetrică a *f.c.n.d.*

3.6.3.3. Minimizarea funcţiilor logice cu ajutorul diagramei Veitch-Karnaugh. Să considerăm două zone alăturate pe diagrama Veitch-Karnaugh (fig. 3.42). După cum s-a convenit, codificarea variabilelor pe verticală şi orizontală se face în cod Gray. Prin urmare coordonatele celor doi termeni canonici alăturaţi diferă printr-un singur bit. Să presupunem că acest bit este cel corespunzător variabilei x_m. Putem atunci scrie termenul P_k (v. 3.6.43) sub forma produsului

$$P_k = (\gamma_{km} x_m + \bar{\gamma}_{km} \bar{x}_m) \prod_{\substack{j=1 \\ j \neq m}}^{n} (x_j \gamma_{kj} + \bar{\gamma}_{kj} \bar{x}_j). \qquad 3.6.45$$

Dacă $\gamma_{km} = 0$ atunci x_m apare negat în P_k (altfel termenul s-ar anula sau nu se poate scrie sub forma complementară simetrică) şi va trebui să apară nenegat în P_l. Dacă $\gamma_{km} = 1$, x_m apare nenegat în P_k şi negat în P_l deoarece cei doi termeni diferă printr-un singur bit (cel corespunzător variabilei x_m). Atunci termenul P_l care se scrie în mod similar cu 3.4.45

$$P_l = (\gamma_{lm} x_m + \bar{\gamma}_{lm} \bar{x}_m) \prod_{\substack{j=1 \\ j \neq m}}^{n} (\gamma_{kj} x_j + \bar{\gamma}_{kj} \bar{x}_j) \qquad 3.6.46$$

se poate pune sub forma

$$P_l = (\bar{\gamma}_{km} x_m + \gamma_{km} \bar{x}_m) \prod_{\substack{j=1 \\ j \neq m}}^{n} (\gamma_{kj} x_j + \bar{\gamma}_{kj} \bar{x}_j). \qquad 3.6.47$$

Într-adevăr, dacă termenii P_k şi P_l diferă printr-un singur bit, deci ei pot fi diferenţiaţi prin valoarea metasimbolului γ, putem scrie

$$x_m^{\gamma_{lm}} = x_m^{\bar{\gamma}_{km}} \qquad 3.6.48$$

sau

$$x_m^{\bar{\gamma}_{km}} = x_m \bar{\gamma}_{km} + \bar{x}_m \bar{\bar{\gamma}}_{km} = x_m \bar{\gamma}_{km} + \bar{x}_m \gamma_{km}. \qquad 3.6.49$$

Revenind la funcţia $f(x_i)$ din relaţia 3.6.44, aceasta se va putea pune sub forma

$$f(x_1, x_2, \ldots, x_n) = \sum_{i=0}^{2^n-1} \alpha_i P_i = \alpha_k P_k + \alpha_l P_l + \sum_{\substack{i=0 \\ i \neq k,l}}^{2^n-1} \alpha_i P_i \qquad 3.6.50$$

11—C.5 46

Scanned with OKEN Scanner

în care am pus în evidență separat termenii P_k și P_l.

Presupunînd că

$$\alpha_k = \alpha_l = 1 \qquad 3.6.51$$

avem

$$f(x_1, x_2, \ldots, x_n) = \sum_{\substack{i=0 \\ i \neq k,l}}^{2^n-1} \alpha_i \prod_{j=1}^{n} (\gamma_{kj} x_j + \bar{\gamma}_{kj} \bar{x}_j) +$$

$$+ (\gamma_{km} x_m + \bar{\gamma}_{km} \bar{x}_m + \bar{\gamma}_{km} x_m + \gamma_{km} \bar{x}_m) \prod_{\substack{j=1 \\ j \neq m}}^{n} (\gamma_{kj} x_j + \bar{\gamma}_{kj} \bar{x}_j). \qquad 3.6.52$$

Se observă că factorul

$$\gamma_{km} x_m + \bar{\gamma}_{km} \bar{x}_m + \bar{\gamma}_{km} x_m + \gamma_{km} \bar{x}_m = 1 \qquad 3.6.53$$

este egal cu 1 deoarece

$$\gamma_{km}(x_m + \bar{x}_m) + \gamma_{km}(\bar{x}_m + x_m) = \gamma_{km} + \bar{\gamma}_{km} = 1. \qquad 3.6.54$$

Atunci expresia 3.6.52 devine

$$f(x_1, x_2, \ldots, x_n) = \sum_{\substack{i=0 \\ i \neq k,l}}^{2^n-1} \alpha_i P_i + \prod_{\substack{j=0 \\ j \neq m}}^{n} (x_j \gamma_{kj} + \bar{x}_j \bar{\gamma}_{kj}). \qquad 3.6.55$$

Rezultă următoarea lemă de mare importanță: alăturarea a două zone ocupate de 1 (deoarece s-a luat $\alpha_k = \alpha_l = 1$) ale diagramei Veitch-Karnaugh elimină din expresia funcției termenii canonici P respectivi păstrînd doar partea lor comună, fără variabila x_m prin care ei diferă. Evident *f.c.n.d.* trece astfel într-o formă elementară.

De menționat că nu are nici o importanță dacă alăturarea celor doi termeni se face pe orizontală sau pe verticală deoarece codificarea pe ambele direcții se face în cod Gray.

Să alăturăm acum celor două zone considerate mai sus alte două zone (pe orizontală sau pe verticală), ca în figura 3.43.

După cum am văzut

$$P_k + P_l = \prod_{\substack{j=1 \\ j \neq m}}^{n} (x_j \gamma_{kj} + \bar{x}_j \bar{\gamma}_{kj}). \qquad 3.6.56$$

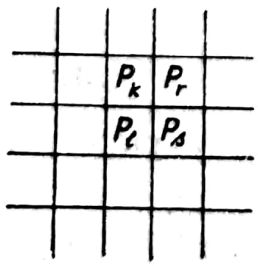


Fig. 3.43

Totodată avem pentru suma $P_r + P_s$ o expresie analoagă

$$P_r + P_s = \prod_{\substack{j=1 \\ j \neq m}}^{n} (x_j \gamma_{kj} + \bar{\gamma}_{kj} \bar{x}_j) \qquad 3.6.57$$

unde am folosit proprietatea de reflexie a codului Gray, care asigură pentru alăturări de cîmpuri de tipul celor din figura 3.43, același indice m al variabilei x_m prin

Scanned with OKEN Scanner

care diferă P_r și P_s (ca și P_k cu P_l). În plus perechea (P_k, P_l) diferă de perechea (P_r, P_s) printr-o altă variabilă, γ care o vom nota cu x_q, restul fiind identice.

Aceasta ne permite să scriem termenii sumă $P_k + P_l$ și respectiv $P_r + P_s$ în mod similar cu termenii singulari P_k și P_l (v. formulele 3.6.45 și 3.6.47):

$$P_k + P_l = (\gamma_{kq} x_q + \bar{\gamma}_{kq} \bar{x}_q) \prod_{\substack{j=1 \\ j \neq m,q}}^{n} (\gamma_{kj} x_j + \bar{\gamma}_{kj} \bar{x}_j) \qquad 3.6.58$$

$$P_r + P_s = (\bar{\gamma}_{kq} x_q + \gamma_{kq} \bar{x}_q) \prod_{\substack{i=1 \\ j \neq m,q}}^{n} (\gamma_{kj} x_j + \bar{\gamma}_{kj} \bar{x}_j). \qquad 3.6.59$$

În mod analog, făcînd suma celor patru termeni rezultă (v. 3.6.52 și 3.6.54)

$$P_k + P_l + P_r + P_s = \prod_{\substack{j=1 \\ j \neq m,q}}^{n} (\gamma_{kj} x_j + \bar{\gamma}_{kj} \bar{x}_j). \qquad 3.6.60$$

Funcția inițială tinde să se minimizeze devenind, în cazul cînd $\alpha_k = \alpha_l = \alpha_r = \alpha_s = 1$,

$$f(x_1, x_2, \ldots, x_n) = \sum_{\substack{i=0 \\ i \neq k,l,r,s}}^{[2^n-1]} \alpha_i P_i + \prod_{\substack{j=1 \\ j \neq m,q}}^{n} (\gamma_{kj} x_j + \bar{\gamma}_{kj} \bar{x}_j). \qquad 3.6.61$$

Raționamentul se poate continua alăturînd celor patru zone precedente alte patru zone vecine (adiacente) acestora ceea ce extrage încă o variabilă din expresia celor opt termeni respectivi.

Rezultă următoarea regulă de minimizare a funcțiilor logice folosind diagrama Veitch-Karnaugh:

1. Se aleg toate suprafețele dreptunghiulare maxime formate din zone elementare alăturate ocupate de 1, suprafețe avînd ca dimensiune un număr egal cu o putere a lui 2.
2. Pentru fiecare suprafață se efectuează produsul variabilelor care rămîn cu același exponent γ de-a lungul suprafeței, negate sau nenegate după cum γ este 0 sau 1.
3. Funcția se obține în formă minimizată prin însumarea acestor termeni (elementari).

În analiza de mai sus s-a preferat utilizarea, în general, a *f.c.n.d.* Teoretic, minimizarea funcțiilor logice sub forma canonică normală conjunctivă (*f.c.n.c.*) se face analog, delimitînd însă pe diagrama V—K suprafețe ocupate de zerouri. Totuși există o justificare practică a intereseului pentru *f.c.n.d.* Într-adevăr, aplicînd teorema lui De Morgan pentru relația 3.6.28 obținem

$$f(x_1, x_2, \ldots, x_n) = \sum_{i=0}^{2^n-1} \alpha_i P_i = \left[\overline{\prod_{i=0}^{2^n-1} (\alpha_i P_i)} \right]. \qquad 3.6.62$$

Această exprimare reflectă posibilitatea de a construi un circuit practic care să implementeze funcția dată folosind numai porți de tip ȘI—NU, impuse

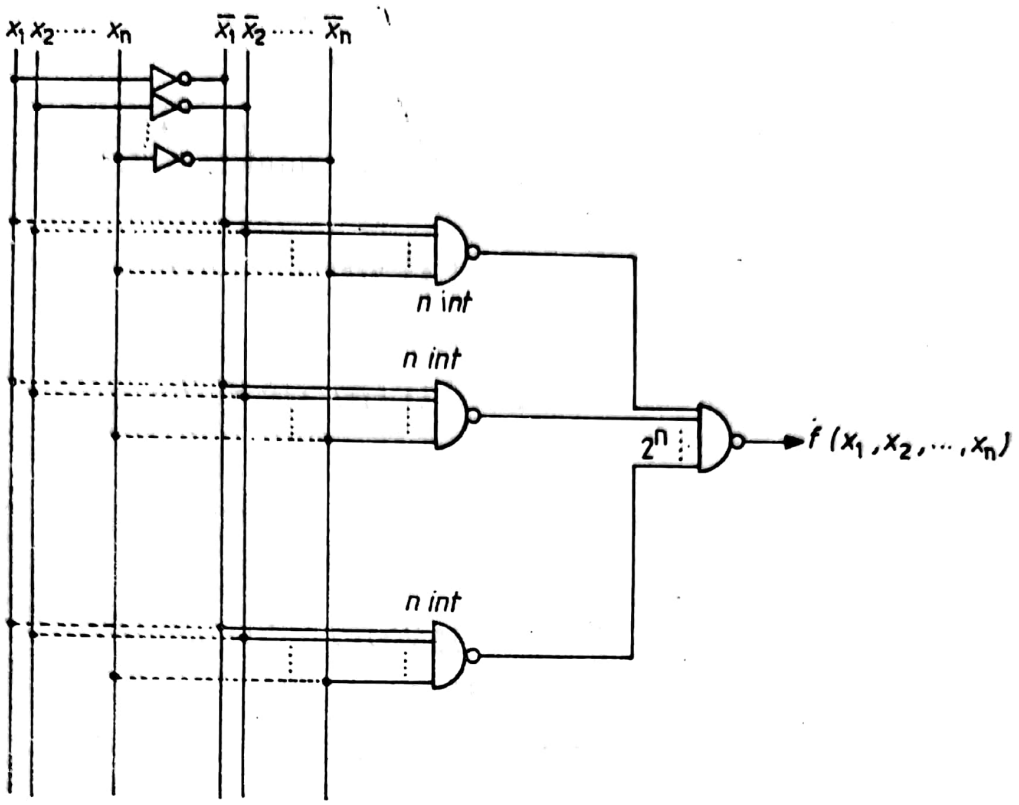


Fig. 3.44

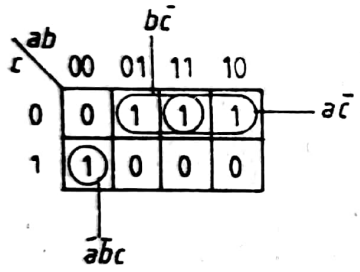


Fig. 3.45

tehnologic ca cele mai avantajoase. Practic funcția dată se obține astfel cu ajutorul unor porți ȘI—NU cu maxim 2^n intrări, la fiecare din acestea fiind cuplată cîte o poartă ȘI—NU cu maxim n intrări cuplate la variabilele (argumentele) respective sau la negatele acestora așa cum se vede în figura 3.44.

Reluînd, spre exemplificare, funcția definită de tabelul (de adevăr) 3.12 (sau prin relația 3.6.32), reprezentarea acestei funcții prin diagrama Veitch-Karnaugh este cea din figura 3.45 în care termenii canonici diferiți de 0 sînt P_1, P_2, P_4 și P_6 (v. 3.6.32). Pentru minimizare, se vor delimita suprafețe ocupate de 1 a căror dimensiune maximă să fie egală cu puteri ale lui 2. După cum se observă termenului aflat la intersecția coloanei cu $a = 0$, $b = 0$ și $c = 1$ nu i se poate alătura nici o altă zonă. El va apare deci în expresia funcției neminimizat : $\bar{a}\bar{b}c$. Ceilalți termeni nenuli pot fi grupați în cele două suprafețe figurate. Una păstrează pe $b = 1$ și $c = 0$, iar cealaltă pe $a = 1$ și $c = 0$, deci se vor scrie $b\bar{c}$ și respectiv $a\bar{c}$. Funcția minimizată este deci

$$f = \bar{a}\bar{b}c + a\bar{c} + b\bar{c} \qquad 3.6.62$$

și coincide cu expresia 3.6.38 minimizată prin metode algebrice. Implementarea ei se face printr-o schemă analoagă cu cea din figura 3.44, apelîndu-se la teorema lui *De Morgan*.

$$f = \bar{a}\bar{b}c + a\bar{c} + b\bar{c} = \overline{\overline{\bar{a}\bar{b}c} \cdot \overline{a\bar{c}} \cdot \overline{b\bar{c}}}. \qquad 3.6.63$$

Scanned with OKEN Scanner

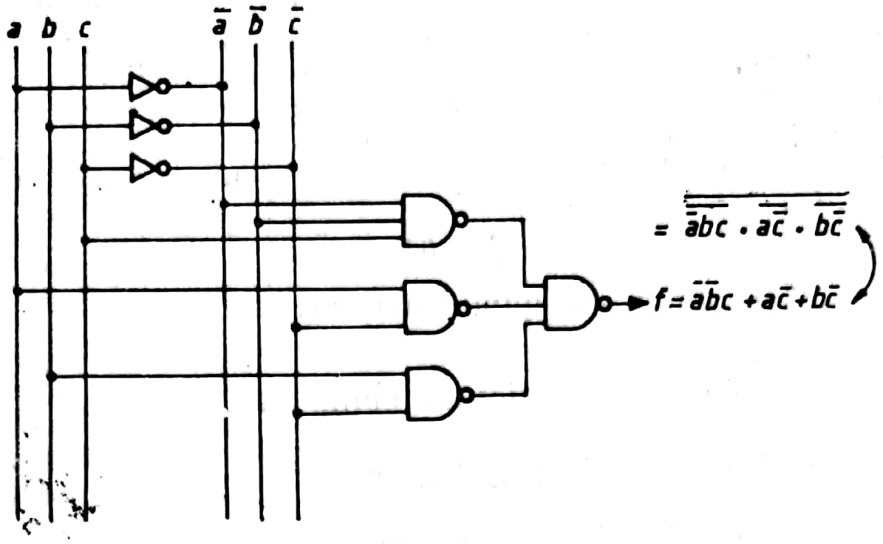


Fig. 3.46

Rezultă schema logică din figura 3.46.

Pentru exemplificare de minimizare a unei funcții de patru variabile să considerăm funcția definită prin următorii termeni canonici

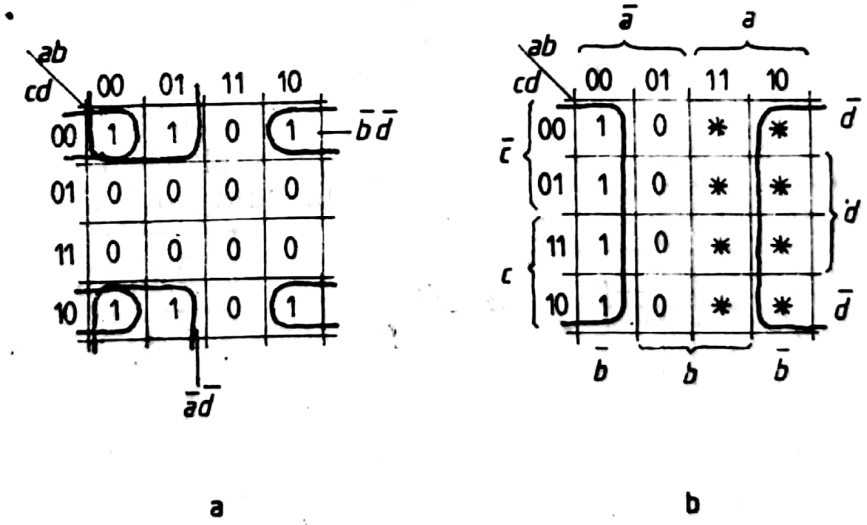
$$f = P_0 + P_2 + P_4 + P_6 + P_8 + P_{10}. \qquad 3.6.64$$

Diagrama Veitch-Karnaugh este notată în figura 3.47,*a*. Folosind algoritmul de minimizare și ținînd seama că marginea de sus este adiacentă cu cea de jos și că, de asemenea, toate colțurile sînt adiacente, rezultă funcția minimizată (cu ajutorul diagramei V–K)

$$f = b\bar{d} + \bar{a}\bar{d} = \overline{\overline{b\bar{d}} \cdot \overline{\bar{a}\bar{d}}}. \qquad 3.6.65$$

Fie funcția

$$f = \begin{cases} 1 \text{ dacă } (dcba) < (0100) \\ * \text{ dacă } (dcba) \geqslant (1000) \\ 0 \text{ în rest.} \end{cases} \qquad 3.6.66$$



a b

Fig. 3.47

Semnul * înseamnă că valoarea funcției pentru combinația respectivă este indiferentă întrucît combinația (de biți) nu poate apare la intrări (nu poate fi furnizată de circuitele anterioare). Diagrama V—K a funcției definită prin 3.6.66 este redată în figura 3.47,*b*. Pe diagramă semnele * se pot înlocui cu 0 și 1 în mod convenabil pentru minimizare. Luînd ca în figura 3.47,*b*, semnele * din extrema dreaptă egale cu 1 și restul zero, se obține funcția minimizată,

$$f = \bar{b} \qquad 3.6.67$$

care se poate implementa cu un simplu inversor.

3.7. Circuite logice combinaționale complexe

3.7.1. Decodificatoare și demultiplexoare

Pentru anumite aplicații este necesar ca să se implementeze circuite logice combinaționale care pentru diferite combinații ale variabilelor de intrare să furnizeze la ieșire o funcție f cu valoarea 1 (fig. 3.48,*a*); în cazul cînd la ieșire există mai multe componente, se impune ca pentru o anumită combinație a variabilelor de intrare, o ieșire și numai una să fie activată în 1 logic. Este evident că, pentru acest scop, se vor utiliza, la ieșiri, porți ȘI cu intrări corespunzătoare combinațiilor (disjunctive) ale variabilelor de intrare. În cazul figurii 3.48,*a*, dacă se cere ca f să fie egal cu 1 pentru $a = 0$, $b = 0$ și $c = 1$, adică

$$f = \bar{a}\bar{b}c \qquad 3.7.1$$

se va folosi circuitul din figura 3.48,*b* (cu poartă ȘI la ieșire).

Dacă se consideră *CLC* cu ieșiri multiple din figura 3.49,*a* descris în felul următor:

a) f_1 ia valoarea 1 numai dacă $a = 0$, $b = 0$ și $c = 1$;

b) f_2 ia valoarea 1 numai dacă $a = 0$ și b este $= 1$,

avem relațiile logice:

$$f_1 = \bar{a}\bar{b}c \qquad 3.7.2$$

$$f_2 = \bar{a}b, \qquad 3.7.3$$

iar implementarea este cea din figura 3.49,*b*.

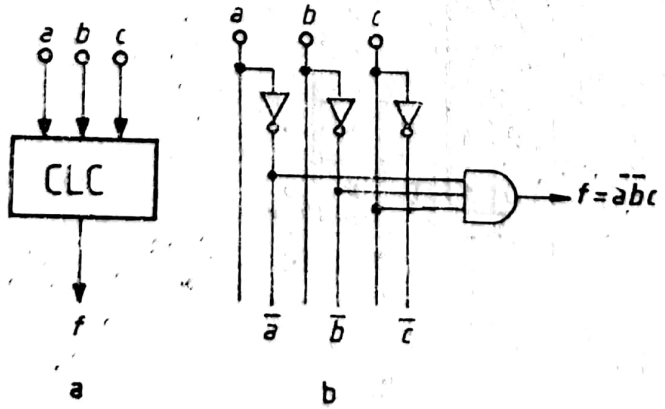


Fig. 3.48

Fie de implementat *CLC* cu ieșiri multiple conform modelului din figura 3.50,*a*, unde

$$f = (f_0, f_1, f_2, f_3) =$$

$$= (\bar{a}\bar{b},\ \bar{a}b,\ a\bar{b},\ ab). \qquad 3.7.4$$

Se observă că circuitul furnizează la ieșiri toți termenii canonici de tip produs de două variabile. Întrucît acești termeni sînt disjunctivi (produse) pentru

Tabelul 3.15

a	b	f_0	f_1	f_2	f_3
0	0	1	0	0	0
0	1	0	1	0	0
1	0	0	0	1	0
1	1	0	0	0	1

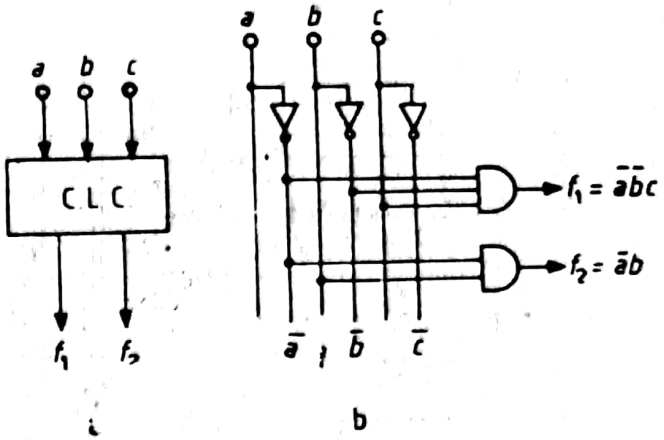


Fig. 3.49

o anumită combinație a variabilelor de intrare, o ieșire și *numai una* va fi activată în acest caz în 1 logic. Un astfel de circuit se numește **decodificator (DCD)** și reprezintă o structură extrem de răspîndită. Structura decodificatorului de doi biți și tabelul de adevăr sînt, evident, cele din figura 3.50, *b* și respectiv tabelul 3.15.

S-a considerat $a = MSB$ și $b = LSB$, astfel încît $\bar{a}b = P_1$, $a\bar{b} = P_2$ etc.

În aplicațiile actuale decodificatoarele se realizează sub formă integrată (pe scară medie) și se folosesc, printre altele, la identificarea unui cod de intrare prin activarea unei singure linii de ieșire, corespunzătoare codului (combinației de variabile la intrare) respectiv. În mod normal la ieșiri se folosesc porți NAND astfel încît ieșirile vor fi inversate (față de tabelul de adevăr); astfel de cazuri se întîlnesc frecvent în sistemele numerice și în această situație se spune că „ieșirile sînt active în 0". Un astfel de circuit este redat în figura 3.51, *b* și reprezintă (abstracție făcînd de prezența unor inversoare) schema decodificatorului din cod zecimal codificat binar (BCD), în zecimal, cu patru intrări și zece ieșiri tipul CDB-424E realizat la I.P.R.S.Băneasa. În figura 3.51, *c* se arată configurația pinilor circuitului integrat CDB-442E, iar în figura 3.51, *a* schema bloc a *CLC* considerat. Tabelul de adevăr corespunzător trecerii din binar în zecimal cu ajutorul decodificatorului din figura 3.51, *b* este redat în tabelul 3.16.

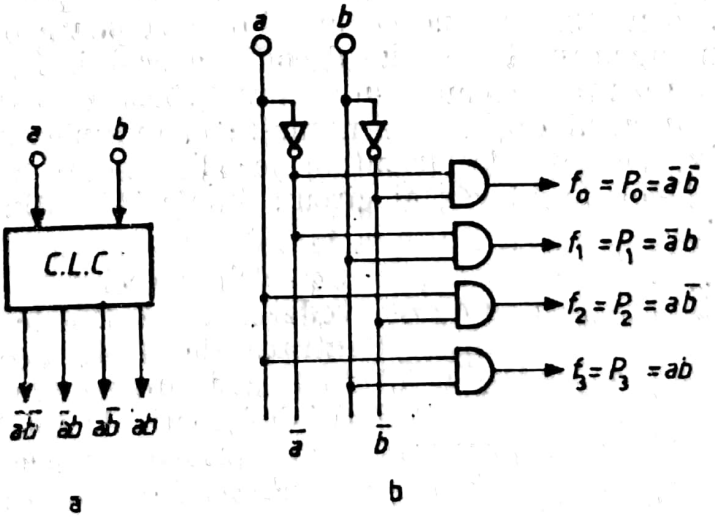


Fig. 3.50

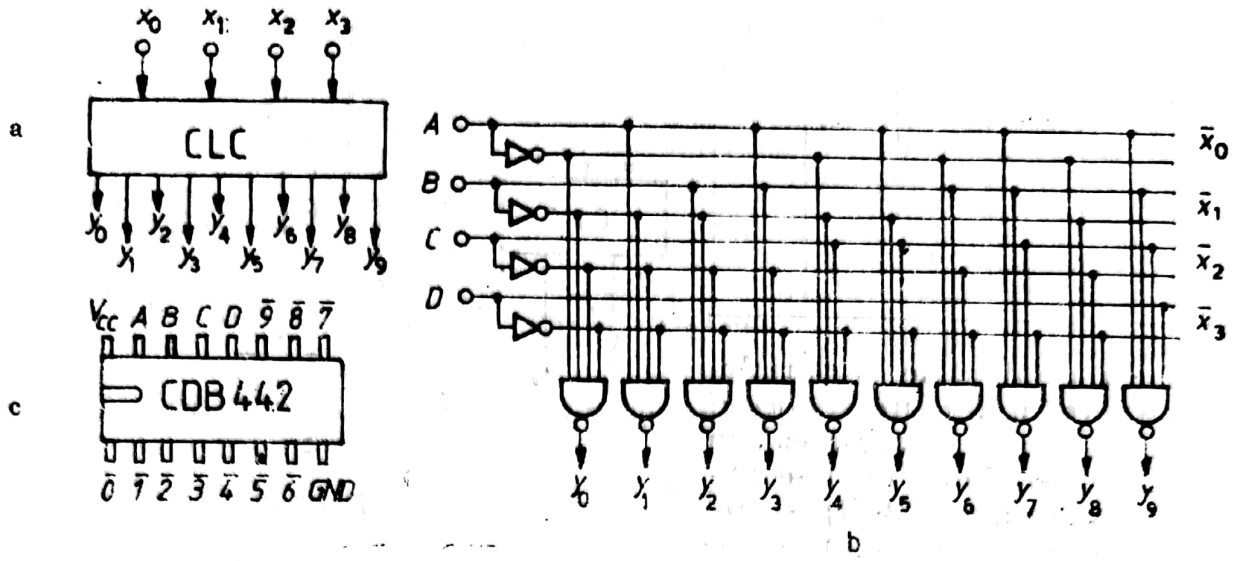


Fig. 3.51

Tabelul 3.16

x_3	x_2	x_1	x_0	y_0	y_1	y_2	y_3	y_4	y_5	y_6	y_7	y_8	y_9
0	0	0	0	1	0	0	0	0	0	0	0	0	0
0	0	0	1	0	1	0	0	0	0	0	0	0	0
0	0	1	0	0	0	1	0	0	0	0	0	0	0
0	0	1	1	0	0	0	1	0	0	0	0	0	0
0	1	0	0	0	0	0	0	1	0	0	0	0	0
0	1	0	1	0	0	0	0	0	1	0	0	0	0
0	1	1	0	0	0	0	0	0	0	1	0	0	0
0	1	1	1	0	0	0	0	0	0	0	1	0	0
1	0	0	0	0	0	0	0	0	0	0	0	1	0
1	0	0	1	0	0	0	0	0	0	0	0	0	1

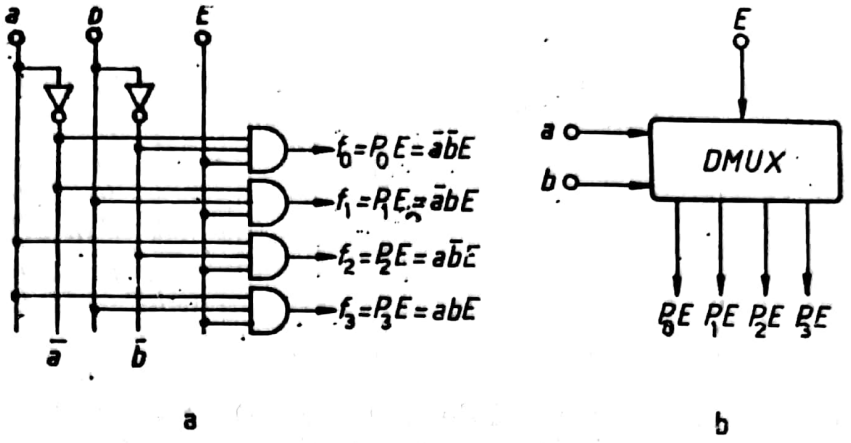
În multe aplicații este util ca funcționarea circuitului decodificator să poată fi permisă sau inhibată printr-o intrare suplimentară „ENABLE" (a permite) — intrare de validare. După cum s-a arătat, funcționarea unei porți cu trei intrări cuplată cu *două intrări* poate fi inhibată aplicînd 0 logic pe cea de a treia intrare. Prin urmare funcția de validare se poate obține introducînd cîte o intrare suplimentară la porțile decodificatorului. În cazul exemplului din figura 3.50,*b* rezultă schema din figura 3.52,*a* la care apare intrarea suplimentară E; circuitul obținut se numește **demultiplexor (DMUX)** și are funcțiuni calitativ noi față de circuitele decodificatoare (de tipul celui din figura 3.50,*b*). Tabelul de adevăr al circuitului DMUX din figura 3.52,*a* este redat în tabelul 3.17.

Tabelul 3.17

a	b	f_0	f_1	f_2	f_3
0	0	E	0	0	0
0	1	0	E	0	0
1	0	0	0	E	0
1	1	0	0	0	E

Din tabelul de adevăr 3.17 se vede că dacă E este considerată ca o intrare de date, acestea rezultă, pe rînd, la ieșire pentru fiecare combinație de valori ale intrărilor a și b care pot fi privite, în acest caz, ca *intrări de adrese*. Astfel un DMUX reprezintă un fel de „comutator logic" care permite cuplarea intrării de date cu orica-

Scanned with OKEN Scanner



a b

Fig. 3.52

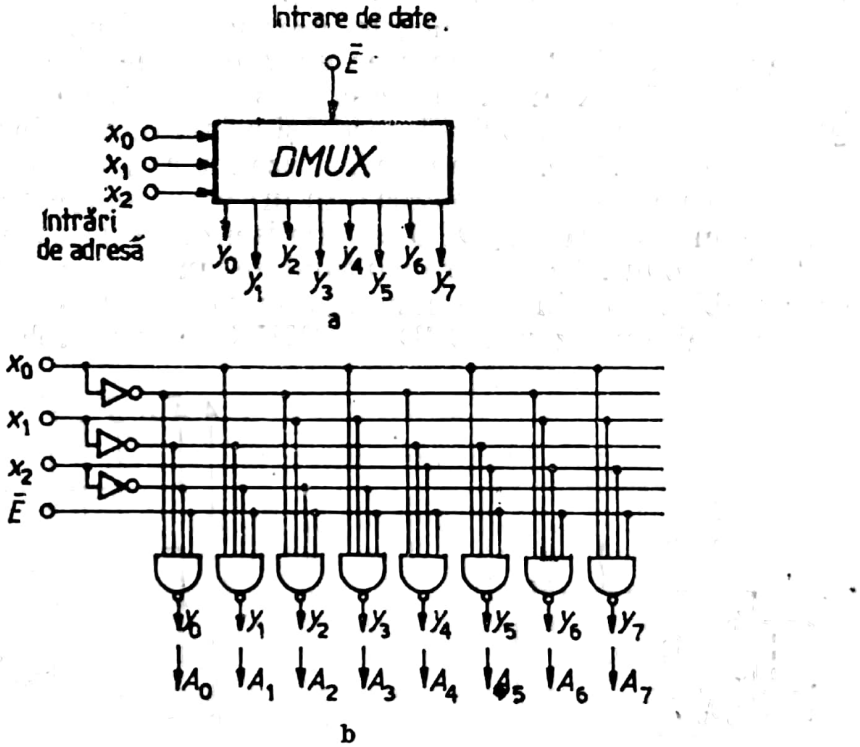


Fig. 3.53

re din liniile de ieşire.

Folosind una din cele patru intrări ca o intrare specială de date (E), decodificatorul din figura 3.51,*b* poate fi, de asemenea, transformat într-un circuit pentru demultiplexarea datelor (fig. 3.53, *b*). Un astfel de circuit, reprezentat prin modelul *CLC* din figura 3.53,*a* permite transferul (distribuirea) datelor de la intrarea E la una din cele 2^n ieşiri, selectabilă prin n linii de adrese. Tabelul de adevăr corespunzător (pentru $n = 3$ linii de adresă şi $2^n = 8$ linii de ieşire) este redat în tabelul 3.18.

Notaţia $\bar{E}$ arată că intrările (şi ieşirile) sînt active în zero logic, pentru realizarea DMUX (şi respectiv DCD) folosindu-se porţi NAND standard. Intrarea $\bar{E}$ este o intrare de inhibiţie; cînd această intrare este activă, circuitul funcţionează ca un DCD obişnuit, iar cînd este inhibată toate ieşirile sînt dezactivate. În funcţie de aplicaţia concretă DMUX este privit în una sau cealaltă din cele două interpretări.

Scanned with OKEN Scanner

Tabelul 3.18

Date	C	B	A	y_0	y_1	y_2	y_3	y_4	y_5	y_6	y_7
$\bar{E}$	0	0	0	$\bar{E}$	0	0	0	0	0	0	0
$\bar{E}$	0	0	1	0	$\bar{E}$	0	0	0	0	0	0
$\bar{E}$	0	1	0	0	0	$\bar{E}$	0	0	0	0	0
$\bar{E}$	0	1	1	0	0	0	$\bar{E}$	0	0	0	0
$\bar{E}$	1	0	0	0	0	0	0	$\bar{E}$	0	0	0
$\bar{E}$	1	0	1	0	0	0	0	0	$\bar{E}$	0	0
$\bar{E}$	1	1	0	0	0	0	0	0	0	$\bar{E}$	0
E	1	1	1	0	0	0	0	0	0	0	$\bar{E}$

În majoritatea cazurilor astfel de structuri (DCD şi DMUX) se întîlnesc sub formă integrată, avînd ieşirile (şi eventual intrarea $\bar{E}$) active în 0 logic. De asemenea, există circuite DMUX cu mai multe intrări de validare dintre care unele negate iar altele nenegate, ceea ce facilitează extinderea decodificării şi demultiplexării. Reprezentarea unor astfel de circuite se poate face ca în figura 3.54,*a*. Un exemplu în acest sens îl constituie circuitul DMUX de tip I 8216 a cărui schemă logică internă şi reprezentare sînt redate în figurile 3.54,*b* şi respectiv 3.54,*c*. Se observă prezenţa a două rînduri de inversoare la intrări pentru a nu mări încărcarea (fan-in) circuitelor care comandă DMUX.

După cum s-a arătat, DCD semnalizează la ieşiri apariţia termenilor canonici de tip produs. Aceşti termeni fiind disjunctivi, pentru o anumită combinaţie a variabilelor de intrare, numai o singură ieşire este activată. Această funcţionare permite utilizarea DCD şi DMUX pentru implementarea directă a

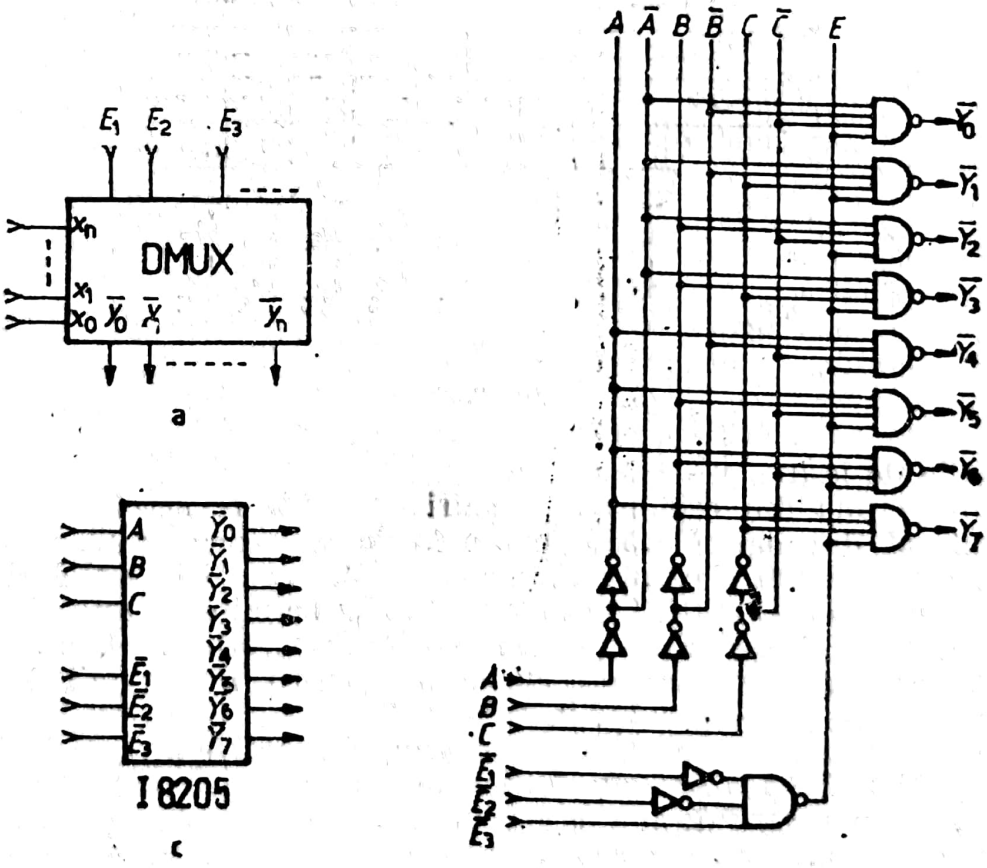


Fig. 3.54

CLC fără a mai apela la operații de minimizare; de asemenea astfel de circuite (DCD și DMUX) permit rezolvarea comodă a selecției într-un sistem numeric complex (memorii etc.) așa cum se va arăta în capitolele următoare.

3.7.2. Codificatoare și multiplexoare

Codificatorul (CD) reprezintă un circuit logic combinațional care furnizează la ieșire un cuvînt binar de n biți atunci cînd *numai una* dintre cele m intrări ale sale este activată. Un exemplu îl constituie codificatorul zecimal-binar la a cărui intrare se aplică datele în sistem zecimal ($m = 10$), iar la ieșire apar datele codificate în binar ($n = 4$) în acord cu tabelul de adevăr 3.19.

Tabelul 3.19

Linie de cuvînt	x_0	x_1	x_2	x_3	x_4	x_5	x_6	x_7	x_8	x_9	y_3	y_2	y_1	y_0
W_0	1	0	0	0	0	0	0	0	0	0	0	0	0	0
W_1	0	1	0	0	0	0	0	0	0	0	0	0	0	1
W_2	0	0	1	0	0	0	0	0	0	0	0	0	1	0
W_3	0	0	0	1	0	0	0	0	0	0	0	0	1	1
W_4	0	0	0	0	1	0	0	0	0	0	0	1	0	0
W_5	0	0	0	0	0	1	0	0	0	0	0	1	0	1
W_6	0	0	0	0	0	0	1	0	0	0	0	1	1	0
W_7	0	0	0	0	0	0	0	1	0	0	0	1	1	1
W_8	0	0	0	0	0	0	0	0	1	0	1	0	0	0
W_9	0	0	0	0	0	0	0	0	0	1	1	0	0	1

Numărul cuvintelor generate la ieșirea decodificatorului este egal cu numărul intrărilor sau liniilor de cuvînt W_m de la intrare. În cazul exemplului de mai sus $m = 10$, prin W_m notîndu-se linia de cuvînt activată (activ în 1); de exemplu W_2 corespunde activării liniei (cuvîntului de intrare) cînd variabilei x_2 i se dă valoarea 1, la fel W_3 cînd $x_3 = 1$ etc. (tabel 3.19). Din tabelul de adevăr 3.19 se vede că la cele patru ieșiri se obțin funcțiile y_0, y_1, y_2, y_3 determinate de relațiile logice:

$$y_0 = W_1 + W_3 + W_5 + W_7 + W_9; \qquad 3.7.5$$

$$y_1 = W_2 + W_3 + W_6 + W_7; \qquad 3.7.6$$

$$y_2 = W_4 + W_5 + W_6 + W_7; \qquad 3.7.7$$

$$y_3 = W_8 + W_9, \qquad 3.7.8$$

ceea ce indică faptul că circuitul decodificatorului se poate realiza cu porți SAU așa cum se vede în figura 3.55,*b*.

De cele mai multe ori, variabilele de intrare se prezintă negate deoarece la activarea unei intrări (prin tasta respectivă de la claviatura sistemului numeric) aceasta capătă valoarea 0, prin punere la masă, în timp ce eventuala cuplare la V_{cc} nu ar avea nici un efect. În figura 3.56 se arată schema logică

Scanned with OKEN Scanner

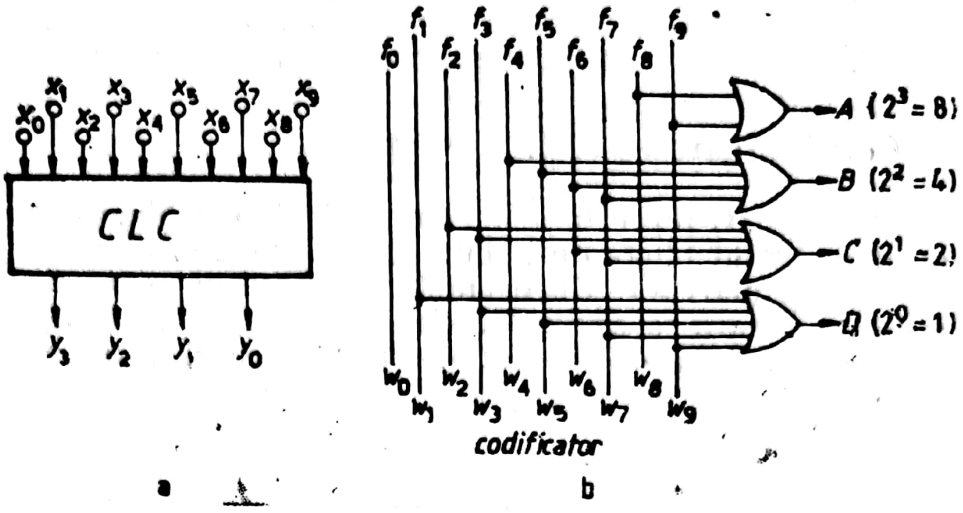


Fig. 3.55

(detailată) a unui codificator prioritar (tipul 74148) cu opt intrări și trei ieșiri (y_0, y_1, y_2) toate activate pe 0. Tabelul de adevăr al funcționării DCD respectiv este tabelul 3.20.

Pentru validarea circuitului 74148 este prevăzută intrarea $\overline{EI}$ (Enable In), activă pe 0. Se vede din tabelul 3.20 că dacă DC nu este activat (adică

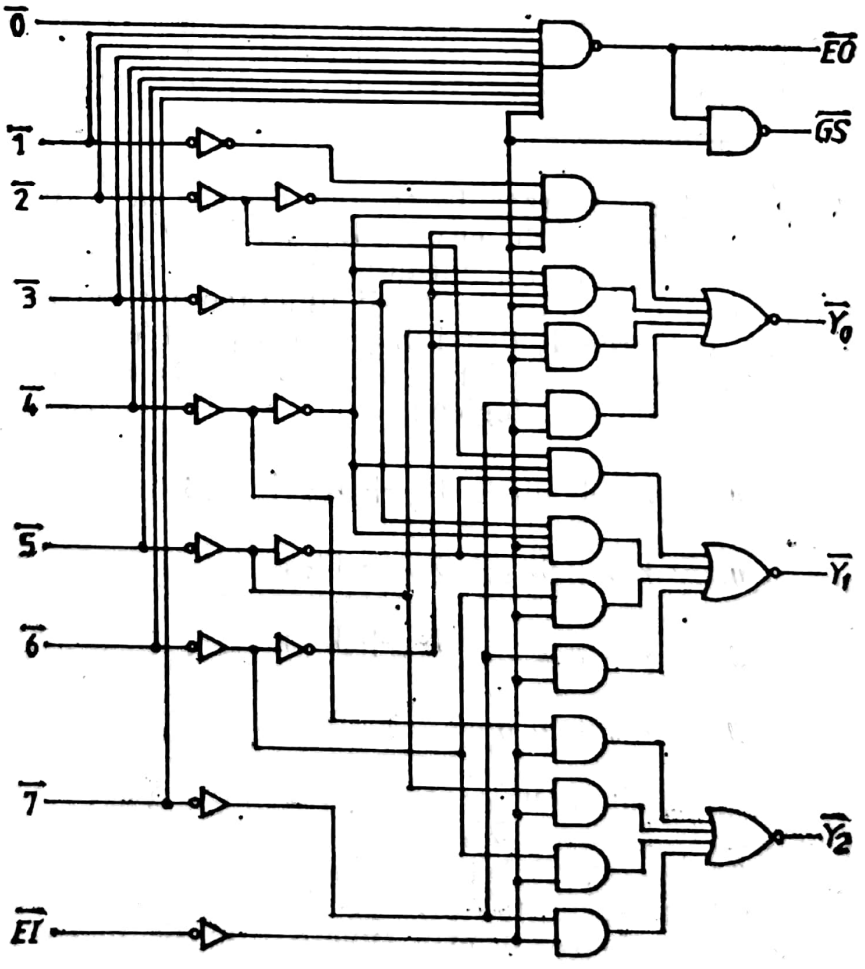


Fig. 3.56

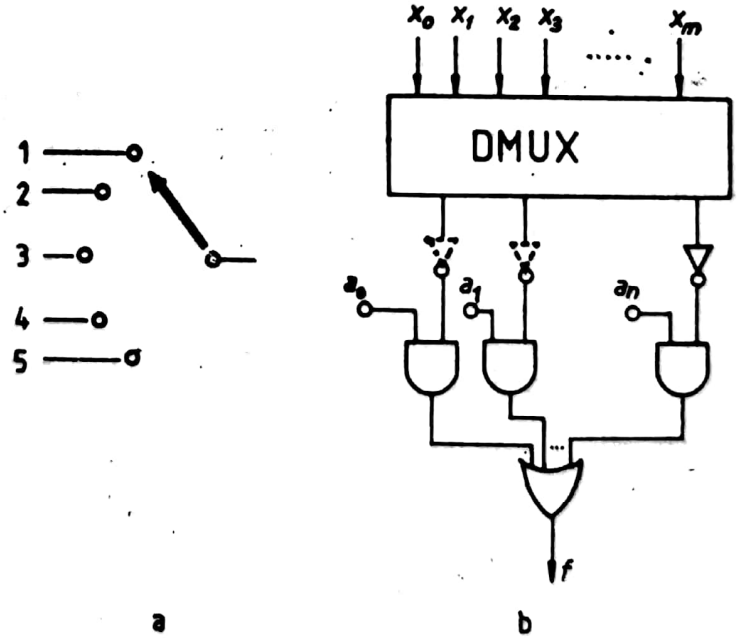
Tabelul 3.20

Intrări									Ieșiri				
$\overline{EI}$	$\overline{0}$	$\overline{1}$	$\overline{2}$	$\overline{3}$	$\overline{4}$	$\overline{5}$	$\overline{6}$	$\overline{7}$	$\overline{y}_2$	$\overline{y}_1$	$\overline{y}_0$	$\overline{EO}$	$\overline{GS}$
1	*	*	*	*	*	*	*	*	1	1	1	1	1
0	1	1	1	1	1	1	1	1	1	1	1	1	0
0	*	*	*	*	*	*	*	0	0	0	0	0	1
0	*	*	*	*	*	*	0	1	0	0	1	0	1
0	*	*	*	*	*	0	1	1	0	1	0	0	1
0	*	*	*	*	0	1	1	1	0	1	1	0	1
0	*	*	*	0	1	1	1	1	1	0	0	0	1
0	*	*	0	1	1	1	1	1	1	0	1	0	1
0	*	0	1	1	1	1	1	1	1	1	0	0	1
0	0	1	1	1	1	1	1	1	1	1	1	0	1

$\overline{EI} = 1$), toate ieșirile sale sînt inactivate (sînt pe 1). Ieșirea suplimentară $\overline{EO}$ este activată (este 0) atunci cînd toate intrările de date sînt pe 1 (adică inactive). Semnalul $\overline{EO}$ este folosit pentru conectarea în cascadă a mai multor codificatoare [1,8]. Ieșirea *GS* devine activă (=0) cînd cel puțin una din intrări este activată (pe 0).

O situație oarecum reciprocă celei de la multiplexor se întîlnește în practică atunci cînd este nevoie ca datele de la una sau mai multe intrări să fie transferate la o singură cale de ieșire conform schemei de „comutator" din figura 3.57,*a*. Acest lucru se face cu un circuit (integrat) special denumit **multiplexor (MUX)** care permite transmiterea datelor de la una din cele *m* intrări la o cale de ieșire unică.

Pornind de la circuitul demultiplexor se poate cupla la fiecare ieșire a acestuia intrarea unui circuit SAU condiționată de cîte o poartă ȘI așa cum se vede în figura 3.57,*b*. Se observă că la ieșirea generală se poate selecta pe



a b

Fig. 3.57

rînd cîte un termen de la ieşirile DMUX activind pe rînd intrările de condiţie $a_i (i = 0, 1, 2, \ldots . k = 2^n - 1)$ de la porţile ŞI. Cînd la una din intrări se ia $a_i = 1$, în funcţie de ieşire f va apare termenul canonic corespunzător, P_i, iar dacă $a_i = 0$, termenul P_i nu apare. Prin urmare pentru implementarea unei funcţii

$$f = \sum_{i=0}^{2^n-1} a_i P_i, \qquad 3.7.9$$

la intrările de condiţii se vor introduce, în ordinea din tabelul de adevăr, coeficienţii a_i ai termenilor canonici. Cum ieşirile de la DMUX sînt de regulă negate (se utilizează porţi NAND), înainte de a se introduce în porţile ŞI premergătoare circuitului SAU, aceste ieşiri se vor nega aşa cum se arată în figura 3.57,*b* (prin inversoare).

Schema bloc a unui MUX este reprezentată în figura 3.58,*a*, iar schema logică detailată a unui MUX cu opt intrări de date şi o intrare de validare E (tipul 74152) este redată în figura 3.58,*b*. Selecţia căii de intrare se face, după cum s-a arătat mai sus, printr-un cuvînt binar de n biţi care este legat de numărul m al intrărilor prin relaţia

$$m = 2^n.$$

În cazul schemei din figura 3.58 (circuitul 74152), $m = 8$, deci sînt necesare $n = 3$ intrări pentru codul (cuvîntul) de selecţie.

Ca şi circuitele DCD şi DMUX, multiplexoarele se pot folosi pentru implementarea funcţiilor logice. Multiplexoarele se pot utiliza, de asemenea, pentru realizarea sistemelor de transmisie multiplexată (pe un singur canal) a datelor, pentru conversia paralel-serie etc. [1.3.9.18].

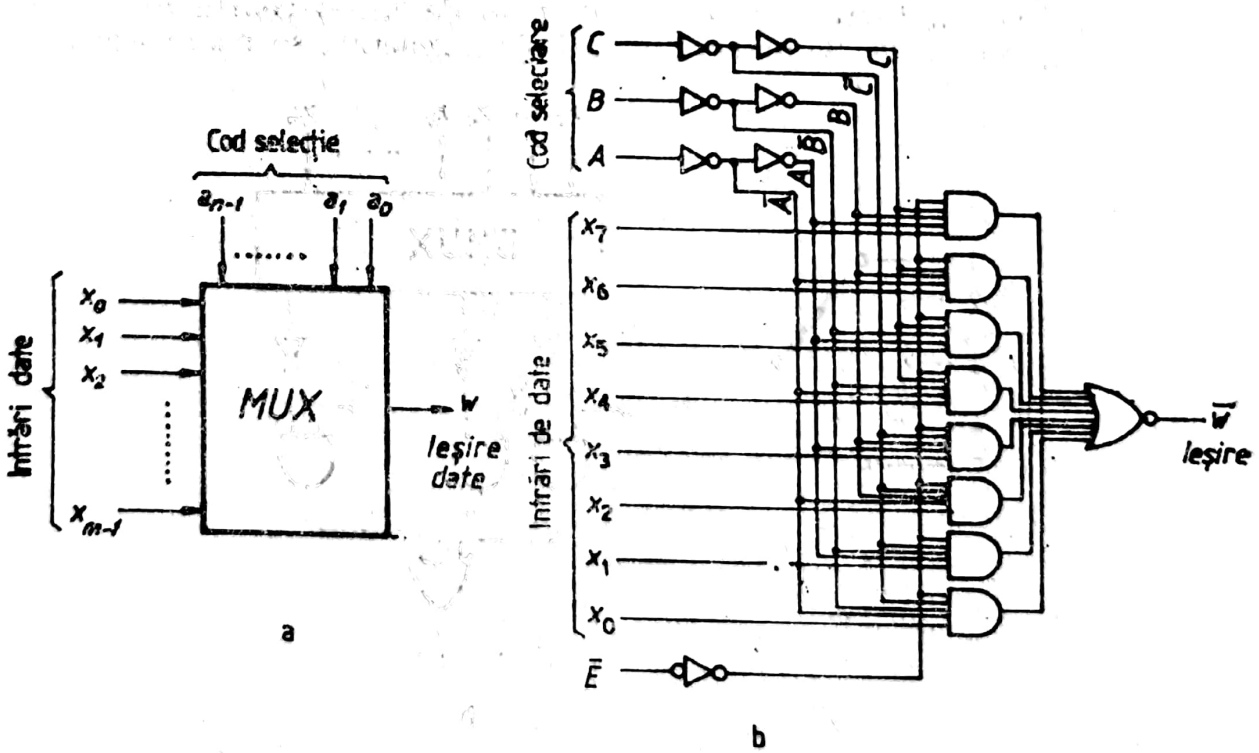


Fig. 3.58

3.7.3. Sumatoare

Principalul bloc care intră în alcătuirea calculatoarelor numerice și sistemelor cu microprocesoare o constituie unitatea de calcul aritmetic și logic sau *ALU* (*A*ritmetic *L*ogic *U*nit) cu care se efectuează diferitele operații aritmetice și logice în calculator. Operația fundamentală efectuată de calculatoare (și sisteme cu microprocesoare) este *adunarea*. Operația de scădere se reduce la adunarea primului termen (al descăzutului) cu complementul (în binar) al celui de-al doilea termen (al scăzătorului). Înmulțirea se face prin adunări succesive, iar împărțirea prin scăderi succesive. Orice problemă sau operație matematică mai complexă se poate reduce (printr-o programare adecvată) la cele patru operații fundamentale, deci în ultimă instanță la adunare. Iată de ce blocul care efectuează adunarea în sistemele numerice de calcul, așa-numitul *sumator*, reprezintă unul din blocurile cele mai importante ale unității aritmetice și logice. Pe lîngă sumator, *ALU* mai conține și cîteva registre speciale, combinații dintr-un registru și sumator, precum și alte circuite auxiliare (v. cap. 5).

Un sumator este un circuit logic combinațional format, în principiu, din două circuite *SAU-EXCLUSIV* (*XOR*) care joacă rolul de semisumatoare. După cum s-a arătat, cu ajutorul circuitului *XOR* (fig. 3.3) se poate efectua operația de adunare $a \oplus b$ (a modulo doi b) adică operația (v. 3.1.26)

$$a \oplus b = (a + b)(\overline{a \cdot b}). \qquad 3.7.10$$

Acest circuit (fig. 3.3) efectuează adunarea (în binar) dar nu asigură transportul; denumirea corectă de semisumator trebuie atribuită unui astfel de circuit completat cu posibilitatea de a efectua transportul T (fig. 3.59, *a*). În această schemă S_i reprezintă rezultatul adunării, iar T_i — reprezintă transportul. Regula transportului (la un rang superior) pentru adunare este următoarea: dacă unul din numerele adunate conține un 1, numărătorul produce suma $S = 1$ și nu dă nimic la transport; dacă amîndouă numerele (de un bit fiecare) conțin 1, sumatorul produce echivalentul binar al lui 2 adică 10, format din suma 0 și transportul 1 în coloana următoare, conform tabelului de adevăr 3.21.

Tabelul 3.21

a	b	S	T
0	0	0	0
0	1	1	0
1	0	1	0
1	1	0	1

Ținînd seama de regulile algebrei booleene se vede că tabelul de adevăr 3.21 satisface ecuațiile logice (v. și 3.1.27):

$$S = (a + b)\,(\bar{a} + \bar{b}) \qquad 3.7.11$$

$$T = (a + b)(a + \bar{b})(\bar{a} + b) = ab + ab = ab. \qquad 3.7.12$$

Rezultă de asemenea (v. și teoremele lui De Morgan)

$$\bar{T} = \overline{ab} = \bar{a} + \bar{b}. \qquad 3.7.13$$

Atunci 3.7.11 se poate scrie ca

$$S = (a + b)\,\bar{T}. \qquad 3.7.14$$

Prin combinarea a două semisumatoare se obține sumatorul propriu-zis care asigură adunarea a două numere în binar ținînd seama și de transportul

anterior. Astfel, la efectuarea adunării în binar a numerelor :

$$\begin{array}{l} a_{i+1} \cdot a_i \cdot a_{i-1} \cdot \ldots + \\ b_{i+1} \cdot b_i \cdot b_{i-1} \\ \hline S_{i+1} \cdot S_i \cdot S_{i-1} \cdot \ldots \end{array} \qquad 3.7.15$$

la poziţia i trebuie să fie efectuată operaţia

$$a_i + b_i + T_{i-1} = T_i S_i, \qquad 3.7.16$$

în care T_{i-1} este transportul provenit din adunarea de la poziţia $i-1$, iar T_i este transportul generat la rangul i, către rangul superior. Tabelul de adevăr al acestei operaţii, în cazul sumatorului, este redat în tabelul 3.22.

Tabelul 3.22

a_i	b_i	T_{i-1}	T_i	S_i
0	0	0	0	0
0	0	1	0	1
0	1	0	0	1
0	1	1	1	0
1	0	0	0	1
1	0	1	1	0
1	1	0	1	0
1	1	1	1	1

Schema logică realizată pe baza tabelului de adevăr 3.22 şi a ecuaţiilor logice corespunzătoare acestuia este reprezentată în figura 3.59,*b*; în figura 3.59,*c* se arată simbolul pentru sumator. Se vede din figura 3.59,*b* că sumatorul este alcătuit din două semisumatoare plus o poartă SAU.

Minimizînd cu ajutorul diagramei Veicth-Karnaugh funcţiile S_i şi T_i din tabelul 3.22, rezultă ecuaţiile logice pentru sumator [1, 3, 9]:

$$S_i = (a_i \oplus b_i) \oplus T_{i-1} \qquad 3.7.17$$

$$T_i = a_i b_i + T_{i-1}(a_i \oplus b_i). \qquad 3.7.18$$

Sumatoarele pot fi de tip serie sau de tip paralel. La cele de tip serie operaţia 3.7.16 este efectuată pe rînd, la fiecare poziţie (pentru fiecare bit).

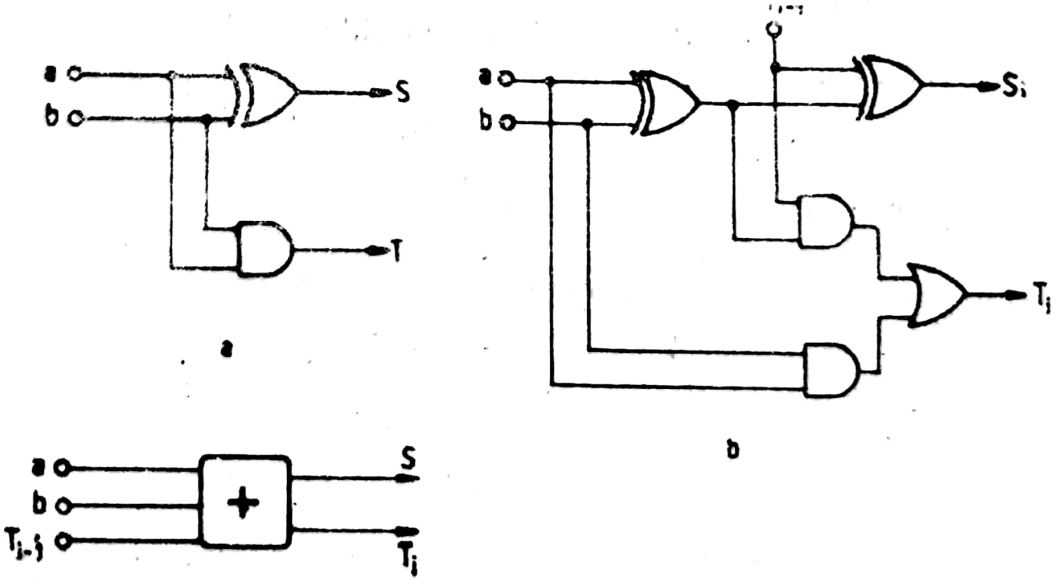


Fig. 3.59

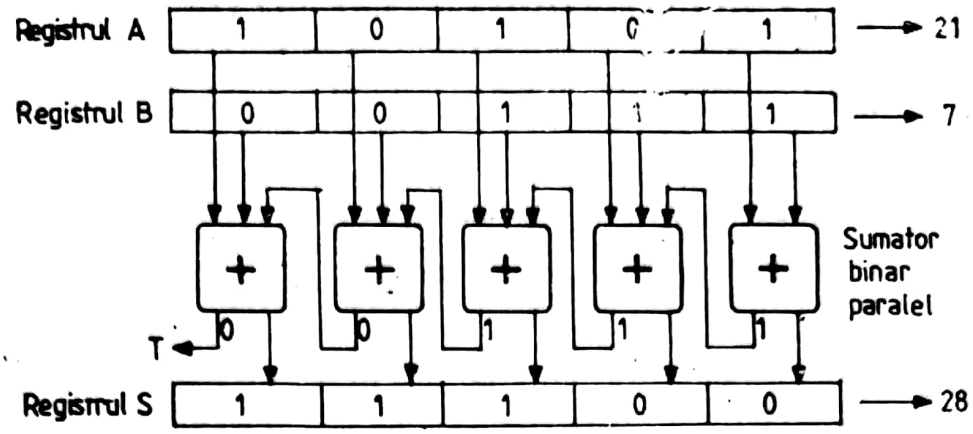


Fig. 3.60

La sumatorul de tip paralel operațiile decurg mai rapid dar este necesar echipament de calcul suplimentar. La orice tip de sumator sînt necesare, de regulă, trei registre de date, cîte unul pentru operanzi și unul pentru sumă (rezultat). Se poate renunța la cel de al treilea registru, rezultatul adunării fiind înscris în registrul primului (sau celui de al doilea) termen, pe măsură ce respectivul eliberează registrul; evident, este necesar ca lungimea acestui registru să fie mai mare. O asemenea combinație dintr-un registru al unui operand și registrul pentru sumă (și cel de al doilea operand) se numește *acumulator*.

Sumatorul simplu, din figura 3.59,*b*, permite adunarea a două numere binare *a* și *b* de cîte un singur bit. Un sumator multibit rezultă prin aranjarea în paralel a unui număr de sumatoare complete de un bit (fig. 3.60). Tot aici sînt figurate și cele trei registre care permit adunarea în binar, cu exemplificarea adunării numerelor 21 + 7 exprimate în binar:

1	0	1	0	1
0	0	1	1	1
1	1	1	0	0

Se observă că rezultă 11100 adică echivalentul în binar al numărului 28.

Capitolul 4. CIRCUITE LOGICE SECVENȚIALE

4.1. Considerații generale

Circuitele sau, mai complet, **sistemele logice secvențiale** constituie o dezvoltare funcțională a circuitelor logice combinaționale conținînd în plus elemente de memorie sau de întîrziere determinată a semnalelor, precum și unele bucle de reacție. La aceste circuite valorile funcției de ieșire la un anumit moment $t+1$ depind de combinațiile ordonate ale valorilor variabilelor de la intrare la momentul anterior, t, cît și de *stările* elementelor interne, de *memorie*, ale circuitului.

Un sistem (circuit) logic secvențial constituie în același timp un *automat cu stări finite* (discrete) de aceea pentru descrierea sistemelor logice secvențiale (*SLS*) se apelează la teoria și modelele utilizate pentru studiul automatelor finite [1—3]. Modelul corespunzător pentru *SLS* este reprezentat în figura 4.1,*a*. Acesta constituie modelul general pentru reprezentarea unui automat cu stări finite denumit *modelul Mealy* și care este utilizat și pentru reprezentarea și studiul sistemelor logice secvențiale (automate cu comenzi discrete, secvențiale).

Modelul Mealy pentru *SLS* este definit prin cvintuplul

$$S = (X,\ Y,\ Q,\ f,\ g) \qquad 4.1.1$$

în care (v. fig. 4.1):

$$X = X(x_1,\ x_2,\ x_3,\ \ldots,\ x_n) \qquad 4.1.2$$

reprezintă mulțimea variabilelor de intrare (într-un sistem);

$$Y = Y(y_1,\ y_2,\ \ldots,\ y_m) \qquad 4.1.3$$

este mulțimea variabilelor de ieșire din sistem;

$$Q = Q(q_1,\ q_2,\ \ldots,\ q_p) \qquad 4.1.4$$

este mulțimea de stări (spațiul stărilor) ale sistemului;

$$f : X_t \times Q_t \rightarrow Y_{t+1} \qquad 4.1.5$$

este funcția de intrare-ieșire sau funcția de transfer;

$$g : X_t \times Q_t \rightarrow Q_{t+1} \qquad 4.1.6$$

este funcția de tranziție a stărilor.

Scanned with OKEN Scanner

Conform definiţiei *SLS* (automatului cu stări finite) şi funcţiilor caracteristice (relaţiile 4.1.5 ; 4.1.6) rezultă că funcţia de transfer f este o aplicaţie a produsului cartezian al mulţimilor X_t şi Q_t pe mulţimea Y_{t+1}, adică ieşirile la momentul $t + 1$ se modifică în funcţie de intrările x_t la momentul anterior, t, şi de stările q_n la momentul t; de asemenea funcţia de tranziţie a stărilor este o aplicaţie a produsului cartezian al mulţimilor X_t şi Q_t pe mulţimea stărilor Q_{t+1}, adică procesul de evoluţie a stărilor este dependent de intrare (X_t) şi de starea anterioară (Q_t).

Un caz particular al modelului Mealy îl reprezintă modelul Moore care este un cvintuplu

$$S = (X,\ Y,\ Q,\ f,\ g) \qquad 4.1.7$$

cu semnificaţiile definite de relaţiile 4.1.2—4.1.4 şi avînd funcţiile caracteristice de forma [1, 3] :

$$f : Q_t \to Y_{t+1} \qquad 4.1.8$$

$$g : X_t \times Q_t \to Q_{t+1}. \qquad 4.1.9$$

Din definiţia acestui model, a cărui schemă bloc este redată în figura 4.1,*b*, se vede că starea următoare (la momentul $t + 1$) este definită de variabila de intrare $(X_t)_t$ şi de starea $(q_p)_t$, la momentul prezent, t, pe cînd ieşirea Y_{t+1} depinde numai de starea anterioară [1].

În analiza circuitelor combinaţionale, reprezentate prin modelul din figura 4.2, *a* (v. şi fig. 3.4), s-a considerat că circuitele (porţile) logice cu care se realizează funcţiile logice respective sînt identice şi comutarea lor este ideală (au timpi de propagare identici). În circuitele logice combinaţionale reale care conţin diferite elemente electronice, porţi etc., variaţiile variabilelor de intrare se propagă într-un timp finit prin diferite elemente de circuit spre diferite ieşiri. Astfel modificarea ieşirii nu este simultană cu cea a intrării, aceasta avînd loc după un anumit *timp de propagare* t_p, care conduce la întîrzierea răspunsului circuitului faţă de momentul $t = 0$ al aplicării semnalelor la intrare. Este evident că procesele tranzitorii din sistem şi respectiv timpii de propagare depind atît de vectorul de intrare, cît şi de funcţia logică realizată la fiecare

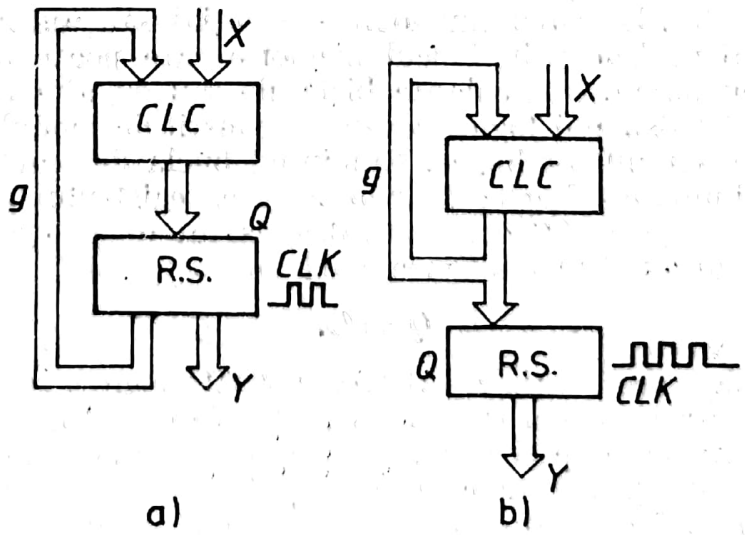


Fig. 4.1

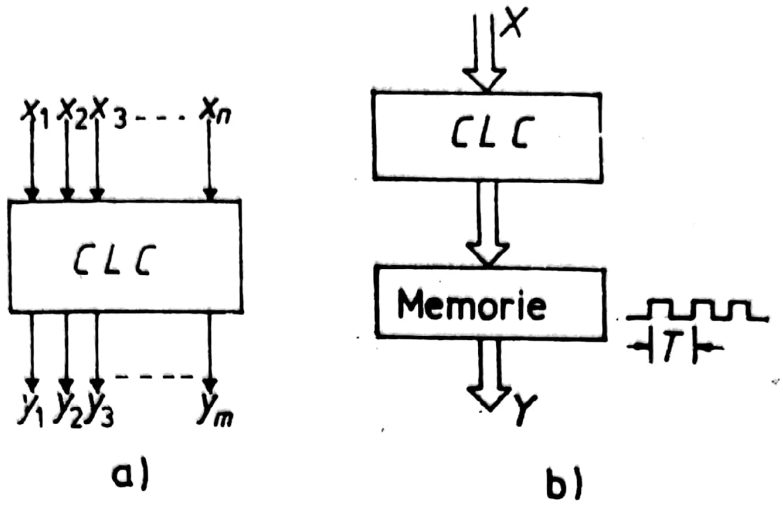


Fig. 4.2

ieşire. Răspunsul circuitului logic va fi corect la ieşire numai după ce efectul modificărilor de la intrare (aplicarea vectorului de intrare) s-a propagat la toate ieşirile, deci după trecerea timpului de propagare t_p *cel mai mare*. De menţionat că în intervalul de timp $(0 - t_p)$ pot apare mai mulţi vectori de ieşire care pot fi diferiţi de vectorul de ieşire corect care apare la momentul t_p. Acest fenomen care se petrece în intervalul $(0 - t_p)$ se numeşte hazard combinaţional.

Pentru eliminarea hazardului combinaţional (care nu poate fi pus în evidenţă direct prin metode ale algebrei booleene), la circuitul logic combinaţional se adaugă un bloc de memorie care preia datele de la ieşirea *CLC* doar la momente discrete de timp T, mai mari decît timpul maxim de propagare t_p (fig. 4.2, *b*). Acest lucru se poate asigura prin comanda memoriei cu impulsuri de tact T, în care

$$T > t_p.$$

Ansamblul *CLC* + memorie comandată de tact reprezentat în figura 4.2, *b* constituie un *sistem logic combinaţional* în care a fost eliminat hazardul static. Dacă se adaugă şi o conexiune de reacţie se obţine sistemul logic secvenţial (*SLC*) (fig. 4.1). Stările sistemului logic secvenţial sau automatului cu stări finite se pot realiza fizic prin blocul memorie care poate fi un registru de stări construit cu circuite basculante bistabile sau cu alte celule elementare de memorie. Astfel sistemul logic secvenţial constituie modul cel mai general de reprezentare a circuitelor logice. Eliminînd bucla de reacţie *BR* se obţine *SLC*, iar prin eliminarea buclei de reacţie şi a registrului de stări (adică a memoriei) se obţine un *CLC* care este descris tot de relaţia generală 4.1.7, la care spaţiul stărilor este mulţimea vidă, adică

$$Q = \emptyset.$$

Circuitele logice secvenţiale sînt larg utilizate pentru realizarea unităţilor de comandă şi control, pentru comenzi secvenţiale în automatizarea diferitelor procese care decurg în timp şi în general în construcţia şi funcţionarea automatelor cu stări finite în funcţionare secvenţială. Spre deosebire de *CLC*, existenţa stărilor interne face ca timpul să apară explicit în funcţionarea circuitelor secvenţiale de comandă şi control (v. şi formulele de definiţie 4.1.5—4.1.9).

Scanned with OKEN Scanner

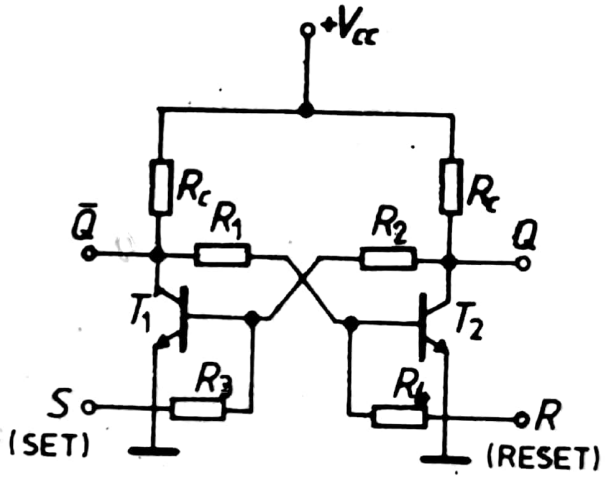
4.2. Circuite basculante bistabile de tip $R-S$

4.2.1. Bistabilul $R-S$ simplu

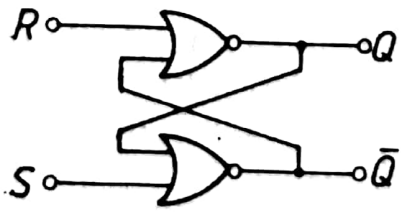
Circuitele basculante bistabile (CBB) sînt cele mai simple circuite logice secvențiale putînd funcționa ca element (celulă) de memorie.

Circuitele basculante sînt circuite de comutație regenerativă fiind realizate cu doi tranzistori (sau cu alte elemente electronice active cum sînt tuburile electronice, diode tunel, dispozitive supraconductoare, dispozitive optoelectronice etc.), cuplați între ei prin impedanțele Z_1 și Z_2 și o buclă de reacție suprаunitară [5—7]. La circuitele basculante bistabile aceste impedanțe de cuplaj sînt simple rezistențe (fig. 4.3, *a*).

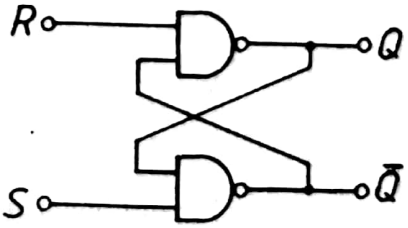
Circuitele basculante reprezintă circuite electronice care, din punct de vedere al parametrilor electrici, se caracterizează prin existența a două stări limită distincte. Trecerea dintr-o stare în alta (adică „bascularea" circuitului) are loc într-un timp în general foarte scurt (depinzînd de constantele de timp ale circuitului) și apare ca o variație bruscă a mărimilor electrice de la cele două „ieșiri" ale circuitului. Acest proces se declanșează fie sub acțiunea unor semnale de comandă externe (cazul circuitului bistabil și monostabil), fie ca



a)



b)



c)

Fig. 4.3

Scanned with OKEN Scanner

urmare a proprietății circuitului de a bascula spontan dintr-o stare în cealaltă (cazul circuitului basculant astabil sau multivibratorului) [4—6].

În tehnologia circuitelor integrate de tip secvențial, circuitele basculante cele mai folosite sînt cele de tip bistabil și în unele cazuri circuite monostabile realizate cu tranzistori integrați de tip $n-p-n$ (cu Si) (fig. 4.3, *a*). Se observă că dacă T_2 conduce, la aplicarea unui impuls pozitiv pe bază prin terminalul S (numit terminal „set" de punere, de înregistrare), are loc deschiderea tranzistorului T_1 la saturație. Ca urmare saltul (negativ) de tensiune de la colectorul său se va transmite prin R_1 la baza tranzistorului T_2 ducînd la blocarea acestuia (tensiune negativă pe bază). Saltul (pozitiv) de tensiune de la colectorul lui T_2 se transmite prin R_2 la baza lui T_1 menținînd-o pozitivă pînă cînd semnalul pe această intrare („set") devine zero. În absența altor semnale de intrare ulterioare, circuitul va rămîne în această stare un timp nedefinit; rezultă că circuitul basculant bistabil (*CBB*) poate îndeplini funcția *de memorie*, avînd ieșirea Q în starea 1 logic (tensiune ridicată la colectorul lui T_2, la ieșirea Q), iar ieșirea $\bar{Q}$ în zero logic (tensiune practic nulă în colectorul lui T_1, care este în conducție, la saturație).

Circuitul poate fi comutat în starea complementară prin aplicarea unui semnal pozitiv pe terminalul R („Reset"— ștergere), ajungîndu-se prin procesul regenerativ care ia naștere (descris mai sus pentru aplicarea semnalului la intrarea S) în situația cînd Q devine 0 logic, iar T_1 este blocat (deci $\bar{Q}=1$). Acest tip fundamental al circuitului basculant bistabil se numește bistabil $R-S$ sau „latch" (zăvor) simplu [1].

CBB de tip $R-S$ poate fi considerat ca fiind format din două porți NOR, sau din două porți NAND, cuplate intersectat ca în figura 4.3, *b*, *c*. Operațiile logice pe care le poate efectua un astfel de bistabil (fig. 4.3, *b*) pot fi exprimate prin relațiile (v. mai departe și tabelul de stări 4.1):

$$Q = S + Q\bar{R} \qquad 4.2.1$$

$$\bar{Q} = R + \bar{Q}\bar{S}. \qquad 4.2.2$$

Din figura 4.3, *b*, urmărind buclele de reacție (1) și (2), se vede că într-adevăr, pentru $S=1$ (și $R=0$) se obține:

$$Q = S + Q\bar{R} = 1 + Q1 = 1 + Q = Q(=1);$$

$$\bar{Q} = R + \bar{Q}\bar{S} = 0 + \bar{Q}\,\bar{1} = 0 + 0 = 0\,(=\bar{Q}).$$

Tabelul 4.1

R	S		$\bar{Q}$	
0	0	0	0	→ Fără modificări
0	1	1	0	
1	0	0	1	
1	1	*	*	→ Nedeterminare

La analiza funcționării bistabilului $R-S$ trebuie să se țină seama de faptul că în momentul aplicării semnalelor, *CBB* poate să se afle într-una din cele două stări (stabile), deci trebuie să se ia în considerație toate combinațiile posibile pentru ieșirea activă Q_{t+1}, în funcție de stările

[1] Denumirea de „latch" — zăvor provine din aceea că în urma comenzilor externe circuitul poate fi zăvorît în starea „sus" cînd $Q=1$ (înregistrează bitul 1) sau „jos", cînd $Q=0$.

Scanned with OKEN Scanner

Q_t existente în momentul aplicării comenzilor. Rezultă tabelul de adevăr (sau de stări) 4.2 care determină următoarele ecuații logice (pot fi deduse și cu ajutorul diagramei Veitch-Karnaugh) pentru *CBB* de tip $R-S$:

$$Q_{t+1} = S + \bar{R}Q_t \qquad 4.2.3$$

$$\bar{Q}_{t+1} = R + \bar{S}\bar{Q}_t \qquad 4.2.4$$

cu condiția

$$RS = 0. \qquad 4.2.5$$

Conform ecuațiilor 4.2.3—4.2.5 și tabelului de stări (adevăr) 4.2 rezultă următoarele (pentru bistabili cu porți NOR):

a) aplicarea semnalului 0 la ambele intrări nu modifică starea bistabilului (v. tabelul de stări);

b) aplicarea semnalului $S = 1$ simultan cu $R = 0$, determină $Q = 1$, independent de starea bistabilului înainte de aplicarea comenzii. Această trecere a bistabilului în starea $Q = 1$ se numește poziționare („set" în l. engleză);

c) aplicarea semnalului $R = 1$ simultan cu $S = 0$, determină $Q = 0$, operație care se numește ștergere („reset" în l. engleză) sau repunere pe zero pentru ieșirea Q;

d) aplicarea simultană a semnalelor 1 la intrările S și R generează o stare nedeterminată, de aceea comanda $R = S = 1$ este interzisă (v. tabelul 4.2); acest lucru este descris de condiția logică $RS = 0$, adică R și S nu pot fi simultan 1.

În mod similar poate fi analizat un bistabil $R-S$ realizat cu porți NAND (fig. 4.3, *c*), a cărui funcționare este descrisă de tabelul de stări 4.3 și de ecuațiile logice (deduse cu ajutorul diagramei V—K):

$$Q_{t+1} = \bar{R} + SQ_t; \qquad 4.2.6$$

$$\bar{Q}_{t+1} = \bar{S} + R\bar{Q}_t. \qquad 4.2.7$$

Din tabel se vede că de data aceasta stările interzise sînt $R = S = 0$ aplicate simultan, ceea ce conduce la următoarea condiție

$$\bar{R}\bar{S} = 0. \qquad 4.2.8$$

Tabelul 4.2

R	S	Q_t		
0	0	0	0	Fără modificări
0	0	1	1	
0	1	0	1	
0	1	1	1	
1	0	0	0	
1	0	1	0	
1	1	0	*	Nedeterminare
1	1	1	*	

Tabelul 4.3

R	S	Q_t	Q_{t+1}	
0	0	0	*	Nedeterminare
0	0	1	*	
0	1	0	1	
0	1	1	1	
1	0	0	0	
1	0	1	0	
1	1	0	0	Fără modificări
1	1	1	1	

Scanned with OKEN Scanner

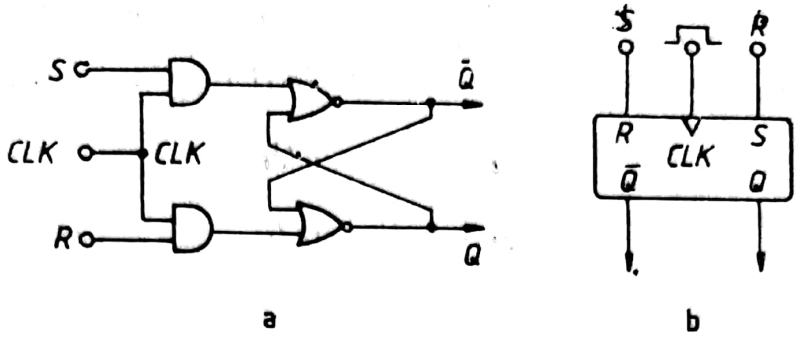


Fig. 4.4

Circuitele bistabile $R-S$ descrise mai sus sînt circuite asincrone; aceasta înseamnă că intrările S și R sînt considerate intrări de comenzi asincrone deoarece ieșirea se modifică după ce se modifică oricare din intrări (prin aplicarea semnalelor). În practică cel mai mult sînt folosite circuitele basculante bistabile sincrone la care există o intrare suplimentară de tact (CLK) care face ca circuitul să poată funcționa simultan (sincron) cu toate celelalte dispozitive din sistem.

CBB asincron de tip $R-S$ din figura 4.3, *b* poate fi transformat într-un *CBB* sincron prin adăugarea unor porți ȘI suplimentare acționate la cîte o intrare cu impulsul de sincronizare (de tact) CLK, dat de un generator special clock-ceas). După cum se vede din figura 4.4, *a*, atît timp cît intrarea CLK nu este activată (se află în starea 0 logic) ieșirile porților ȘI sînt în 0 logic independent de valorile semnalelor aplicate la intrările S și R și, ca urmare, starea *CBB* nu poate fi modificată. Dacă intrarea CLK se află la nivelul 1 logic, atunci, la aplicarea semnalelor la S și R porțile ȘI se deschid și bistabilul memorează comenzile de la intrările respective (cf. tabelului de stări 4.2). În figura 4.4, *b* se arată reprezentarea simbolică a *CBB* cu tact (ceas).

Astfel durata semnalului de tact (CLK) delimitează intervalul în care R și S pot modifica starea bistabilului, adică acesta comută pe palier. În unele situații este necesar ca bistabilul să comute în afara palierului activ al tactului, fie pe frontul pozitiv, fie pe frontul negativ cum este cazul bistabilelor D cu latch simplu.

4.2.2. Circuite basculante de tip D realizate cu latch simplu

Dezavantajul principal al latch-urilor simple de tip $S-R$ constă în aceea că pentru valori identice ale intrărilor ($R = S = 1$ sau $R = S = 0$) apar tranziții nedeterminate (v. tabelele 4.2 și 4.3) inclusiv pentru cele comandate cu impulsuri de tact. Pentru a elimina acest dezavantaj se apelează la structuri

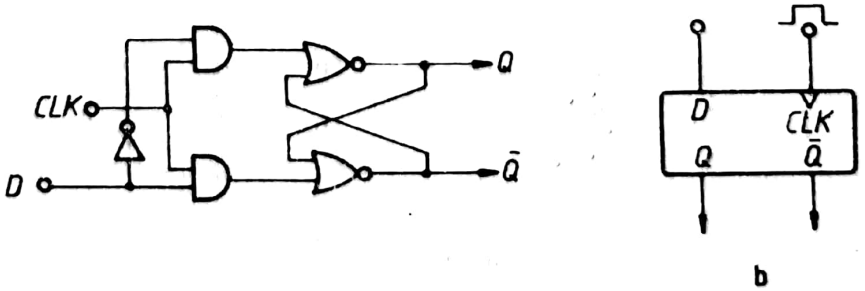


Fig. 4.5

de *CBB* de tip *D* (latch simplu *D*) (fig. 4.5, *a*); în figura 4.5, *b* se arată reprezentarea simbolică. După cum se vede, nedeterminarea $R = S = 1$ este înlăturată prin legarea împreună a intrărilor *S* şi *R* printr-un inversor astfel încît întotdeauna cînd $(S) = 1$ avem simultan $(R) = 0$.

Tabelul de stări (adevăr) al bistabilului *D* este tabelul 4.4.

Tabelul 4.4

D_t	Q_t	Q_{t+1}
0	0	0
0	1	0
1	0	1
1	1	1

Din tabelul 4.4 şi din schema logică a *CBB* de tip *D* se vede că la ieşirea Q_{t+1} se obţine întotdeauna starea aplicată intrării *D* în acord cu ecuaţiile logice de funcţionare a bistabilului *D*:

$$Q_{t+1} = D_t$$
$$\bar{Q}_{t+1} = \bar{D}_t. \qquad 4.2.9$$

Astfel bistabilul *D* este un repetor care realizează şi principala funcţie a *CBB* şi anume aceea de *întîrziere* cu un tact a datelor de la intrare, de unde şi denumirea bistabilului *D* (Delay = întîrziere în lb. engleză). Pentru ca bistabilul *D* să poată fi comutat sincronizat de către tact, se impune ca *D* să comute în afara palierului activ al tactului CLK. Ca şi circuitele bistabile *R—S* simple, bistabilii *D* sînt utilizaţi pentru realizarea unor reţele complexe de celule de memorare cum sînt registrele de deplasare, memorii adresabile prin decodificatori şi multiplexoare etc.

4.2.3. Structuri master-slave cu bistabili *R—S*

După cum s-a menţionat un bistabil *R—S* simplu cu tact poate comuta, pe durata impulsului de tact (pe palier) şi ca urmare a comutării intrărilor de date în acest interval. În multe situaţii se impune ca tranziţia ieşirii să se facă la momente bine determinate, fără să fie influenţate de modificările stărilor de la intrare. În acest scop se adoptă structuri formate din două circuite bistabile simple nseriate în aşa fel încît ieşirile celui de al doilea bistabil să fie complet izolate de intrările ansamblului. O asemenea structură care conţine un bistabil master (stăpîn) inseriat prin intermediul unor porţi NAND (în vederea aplicării tactului) cu un alt bistabil denumit slave (slugă) este reprezentată în figura 4.6, *a*;

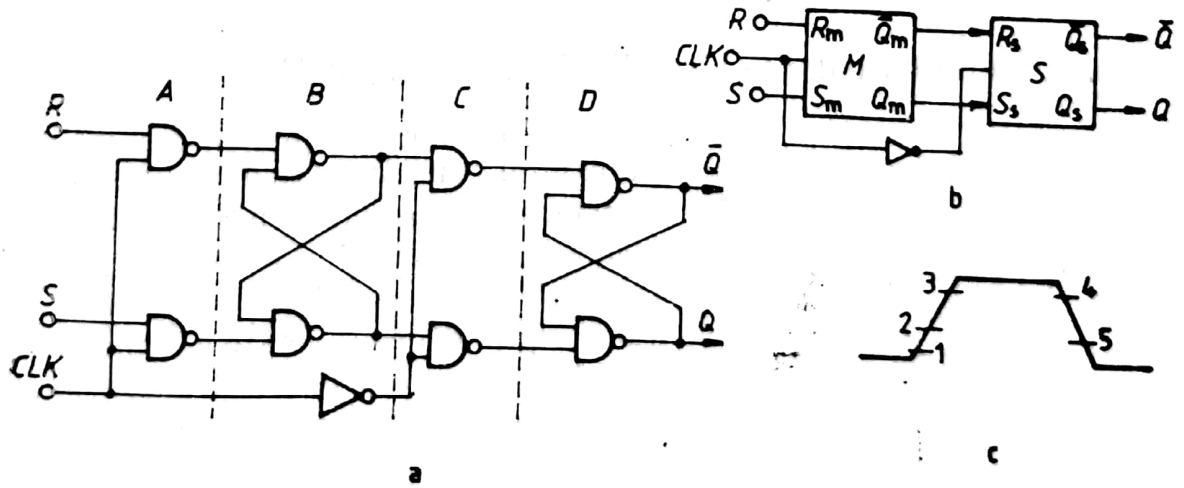


Fig. 4.6

în figura 4.6, *b* este dată reprezentarea simbolică a structurii care uzual se cunoaşte sub denumirea de bistabili *RS—MS*.

În cazul bistabililor *RS—MS* semnalul de tact (fig. 4.6, *c*) determină funcţionarea circuitului în patru secvenţe (faze); datorită prezenţei porţilor NAND (notate prin *A* şi *C* în figura 4.6, *a*), ieşirile Q_s şi $\bar{Q}_s$ sînt complet izolate de intrările *R* şi *S* deci circuitul are o mare imunitate la semnalele parazite.

Nivelele 2—5 pe diagrama impulsului de tact din figura 4.6,*c* au un caracter orientativ, poziţia lor putînd varia într-o anumită plajă (mică) de valori. În punctul 1 intrarea de tact CLK are valoarea 0 logic şi bistabilul master conţine informaţia memorată într-o fază anterioară, care se transmite prin porţile deschise *C* (comandate de CLK = 0 = 1) în bistabilul slave. În punctul 2 nivelul impulsului de tact este mai mare dar insuficient pentru a deschide porţile *A* de la intrare, avînd însă o valoare suficientă pentru blocarea porţilor *C*; în această secvenţă bistabilul slave este complet izolat de master. În punctul 3 nivelul semnalului de tact devine suficient pentru a deschide porţile A de intrare şi informaţia de la intrările *R* şi *S* se memorează în bistabilul master care este izolat în continuare de bistabilul slave. În punctul 4 porţile *A* încep să se închidă izolînd intrările *R* şi *S* de bistabilul master. În acest moment ambii bistabili sînt izolaţi între ei dar conţin informaţii diferite; slave conţine informaţia veche, iar master pe cea nouă. În punctul 5 porţile de transfer *C* se deschid, iar informaţia stocată în bistabilul master trece în bistabilul slave şi de aici la ieşirile Q_s şi $\bar{Q}_s$. Se vede că tranziţia ieşirii este sincronizată cu frontul negativ al impulsului de tact şi nu avem tranziţii pe palier. De asemenea se constată că în orice moment al tactului intrările sînt mereu izolate de ieşiri ceea ce constituie principala caracteristică a bistabilelor master-slave.

Dacă intrarea *S* se uneşte printr-un inversor cu intrarea *R* (adică $R = \bar{S}$) se obţine un circuit master-slave de tip *D* similar cu bistabilul *D* sincron analizat anterior şi fiind descris tot de ecuaţiile 4.2.9. Spre deosebire însă de latch-ul *D* simplu, unde comutarea putea avea loc oricînd pe durata palierului activ, la bistabilul *D* de tip master-slave comutarea are loc ca urmare a tranziţiei negative a impulsului de tact CKL (fig. 4.7) întîrzierea datelor de la intrare făcîndu-se pe durata unui impuls de tact. Funcţia de tranziţie a bistabilului *D* de tip master-slave este dată în tabelul 4.4 (pentru latch-ul *D* simplu). În aplicaţiile uzuale cel mai mult folosite sînt bistabilele *D* de tip *M—S* datorită avantajelor arătate mai sus.

4.3. Circuite basculante bistabile de tip *J—K* şi *T*

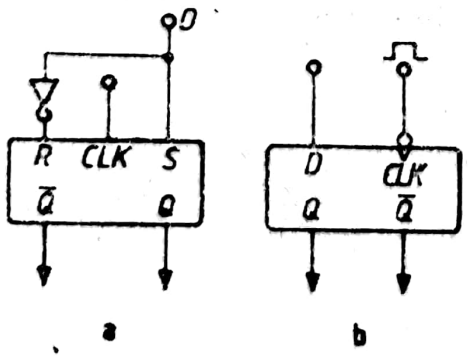
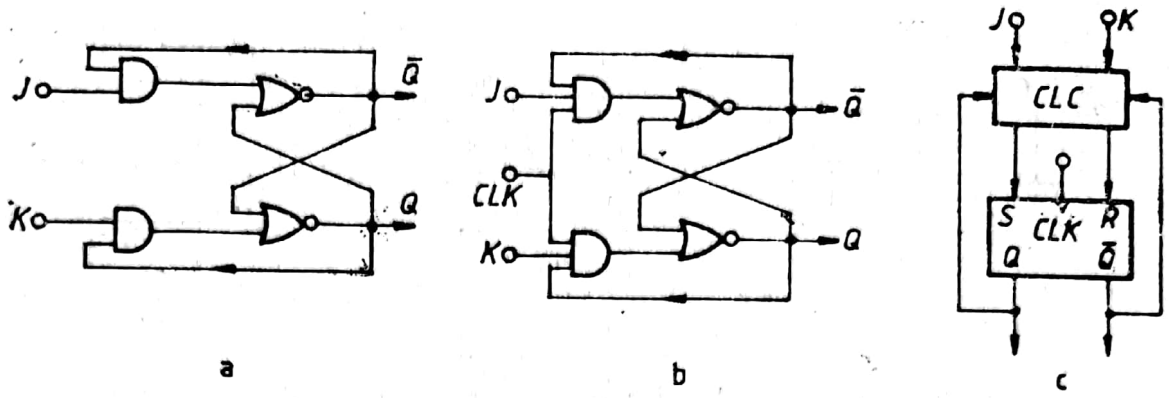


Fig. 4.7

Circuitele analizate pînă acum în cadrul acestui capitol cum sînt latchul simplu, bistabilul master-slave, precum şi posibilele reţele realizate cu asemenea bistabili (cum sînt memoriile sau registrele) depăşesc nivelul circuitelor combinaţionale şi pot fi considerate ca fiind circuite secvenţiale rudimentare datorită autonomiei limitate care nu ajunge să se manifeste şi în evoluţia stărilor. Introducerea unor noi reacţii de la ieşire la intrările de date conduce la creşterea

Scanned with OKEN Scanner



a b c

Fig. 4.8

puternică a autonomiei, iar circuitele bistabile respective capătă structura unui circuit (sistem) logic secvențial adică devin automate elementare. Referindu-ne la clasificarea adoptată în [8], acestea din urmă pot fi considerate sisteme de ordinul doi, în comparație cu latch-urile și circuitele master-slave de tip $R-S$ care sînt sisteme de ordinul unu (memorii), sau cu circuitele combinaționale care sînt sistemul de ordinul zero [8].

Circuitele $J-K$ provin dintr-un circuit $R-S$ la care se adaugă două bucle de reacție totală prin intermediul unor porți AND (sau NAND) la intrare (fig. 4.8, *a*). Activarea intrărilor de reacție se face simultan cu semnalele de comandă, eliminîndu-se totodată nedeterminarea $R = S = 1$ proprie circuitelor secvențiale simple (de ordin unu). În figura 4.8, *b* se arată schema bistabilului $J-K$ sincron (cu tact), iar în figura 4.8, *c* se dă reprezentarea simbolică.

Tabelul de adevăr (de stări) pentru circuitul bistabil $J-K$ este exprimat prin tabelul 4.5. Conform acestui tabel se vede că pentru cazul cînd la intrări se aplică $J = 0$ și $K = 1$, bistabilul trece sau rămîne (dacă era $Q_t = 0$) în starea 0, pe cînd atunci cînd $J = 1$ și $K = 0$, bistabilul trece sau rămîne (dacă $Q_t = 1$) în starea 1. Cu alte cuvinte intrarea J îndeplinește rolul de punere (set) pe 1, iar intrarea K îndeplinește rolul de punere pe 0 (reset) a bistabilului. Circuitul funcționează (conform tabelului de stări) și dacă la ambele intrări se aplică 1 (adică $J = K = 1$); în acest caz *CBB* își modifică starea (tabelul 4.5) cu condiția alegerii corecte a duratei comenzii. Este necesar ca durata semnalului de comandă să fie mai mare decît timpul de propagare printr-o poartă și mai mic decît timpul de propagare prin două porți, fapt care se realizează prin deschiderea celor două porți AND (NAND) pe timpul necesar cu ajutorul unui impuls de sincronizare CLK de durată determinată; se obțin astfel bistabilul $J-K$ sincron, care are o intrare suplimentară (de tact) (fig. 4.8, *b*).

Tabelul 4.5

J	K	Q_t	Q_{t+1}
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	0
1	0	0	1
1	0	1	1
1	1	0	1
1	1	1	0

Ecuațiile logice care definesc funcționarea *CBB* $J-K$ rezultă din tabelul de adevăr 4.5 prin minimizare cu ajutorul diagramei Veitch—Karnaugh (fig. 4.9):

$$Q_{t+1} = J\bar{Q}_t + \bar{K}Q_t \qquad 4.2.10$$

$$\bar{Q}_{t+1} = \bar{J}\bar{Q}_t + KQ_t. \qquad 4.2.11$$

Scanned with OKEN Scanner

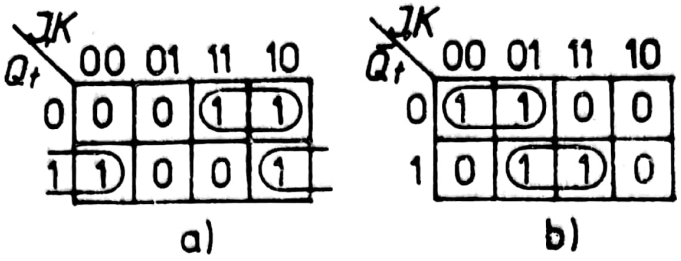


Fig. 4.9

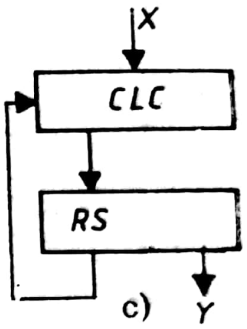


Fig. 4.10

Comparînd schema bistabilului $J-K$ din figura 4.8, *c* cu modelul unui sistem logic secvenţial (fig. 4.10) se vede că cele două modele sînt echivalente, adică bistabilul de tip $J-K$ constituie un veritabil automat finit sau automat elementar (sistem de ordinul doi); în comparaţie cu bistabilele $J-K$, bistabilele simple de tip $R-S$ sau reţele de asemenea circuite constituie structuri de ordinul unu [3].

În modelul din figura 4.10 blocul $R-S$ constituie registrul de stări (memorie, sistem de ordinul unu), iar *CLC* constituie un sistem de ordin zero (circuit combinaţional).

În mod similar şi pentru aceleaşi considerente ca cele făcute în cazul circuitelor $RS-MS$, se realizează şi se folosesc foarte mult circuitele bistabile $J-K$ în structuri master-slave (fig. 4.11). Astfel ca şi în cazul bistabilelor $J-K$ simple, în aceste circuite se elimină nedeterminarea $J = K = 1$ şi în acelaşi timp se elimină şi necesitatea dimensionării judicioase a duratei impulsului de tact, tranziţiile stărilor la ieşiri avînd loc pe frontul negativ al tactului (v. şi paragraful 4.2.3). Datorită existenţei circuitelor de reacţie (fig. 4.11) stările logice de la ieşirile Q şi $\bar{Q}$ vor condiţiona funcţionarea circuitului acţionînd asupra *CLC* format din porţile NAND (care se deschid cînd toate intrările sînt în 1 logic). Astfel, la circuitele de tip $J-K$, în paralel cu evoluţia ieşirii, există şi o evoluţie în spaţiul stărilor ceea ce constituie principala caracteristică a sistemelor logice secvenţiale.

O variantă cu o singură intrare a bistabilului $J-K$ sincron din figura 4.8, *b* o constituie bistabilul de tip T (fig. 4.12).

Se vede din figura 4.12 că în cazul acestui bistabil intrările J şi K sînt legate împreună, deci circuitul are o singură intrare de date, T şi una sau amîndouă din ieşirile Q şi $\bar{Q}$ disponibile.

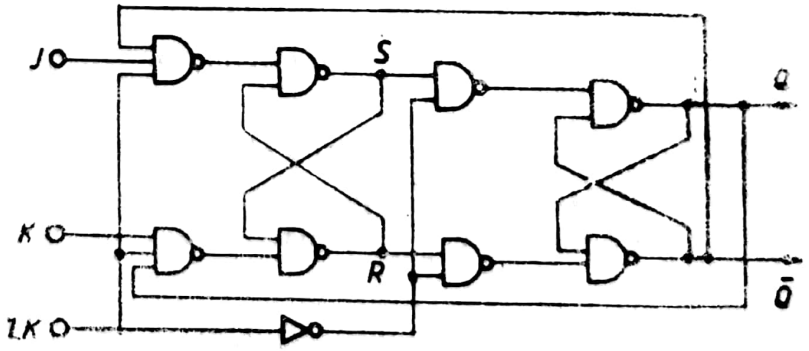


Fig. 4.11

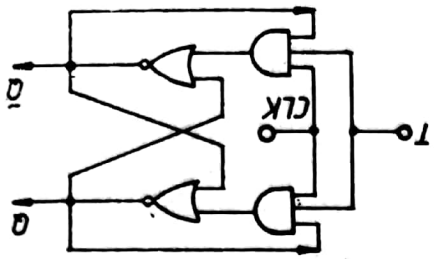


Fig. 4.12

Funcţionarea CBB de tip T este indicată de tabelul de adevăr alcătuit pentru ieşirea Q_t şi care corespunde următoarelor ecuaţii logice de funcţionare

$$Q_{t+1} = \bar{T}\bar{Q}_t + \bar{T}Q_t$$

$$\bar{Q}_{t+1} = T\bar{Q}_t + TQ_t.$$

Se vede că dacă intrarea T se află în stare logică 0, anterioară impulsului de tact, ieşirea Q nu se modifică la aplicarea tactului (CLK = 1). Dacă intrarea T se află în starea 1, atunci în urma aplicării tactului ieşirea Q trece în starea complementară $\bar{Q}$. Astfel bistabilul comută în starea complementară mereu în urma aplicării unui impuls de tact (tabelul 4.6), revenind în starea iniţială după fiecare două impulsuri aplicate la intrare (cînd $T = 1$), deci execută divizarea cu 2 a frecvenţei impulsurilor de la intrarea de tact. Această proprietate face ca bistabili de tip T să fie foarte mult utilizaţi în construcţia numărătoarelor electronice şi în alte circuite secvenţiale la care este necesară operaţia de divizare a numărului impulsurilor de la intrare.

Tabelul 4.6

T	Q_t	Q_{t+1}
0	0	0
0	1	1
1	0	1
1	1	0

Rezultă din cele arătate că bistabilul T nu îndeplineşte funcţia de memorie propriu-zisă, avînd un comportament definit atît de intrarea de date (T), cît şi de starea (Q_t) în care se află. Pentru ca să treacă în starea complementară, bistabilul trebuie să ştie în ce stare se află (la ieşire), deci informaţia de la ieşire trebuie adusă la intrare prin bucla de reacţie (cu care este înzestrat bistabilul de tip $J-K$ în general) şi în acelaşi timp să ţină seama de ce comandă se aplică la intrare. Astfel bistabilul de tip T constituie cel mai simplu automat (elementar).

Bistabilii de tip T se construiesc de regulă cu bistabilii $J-K$ de tip master-slave, înglobînd astfel toate avantajele pe care asemenea circuite le conferă. De altfel familiile curente de circuite integrate nu conţin bistabili de tip T care însă pot fi construiţi legînd împreună intrările J şi K (adică $J = K = 1$).

4.4. Numărătoare electronice asincrone

După cum s-a arătat mai înainte, un bistabil acţionat pe intrarea S sau J comută memorînd astfel bitul 1 (tranzistorul al doilea blocat, deci cu potenţial V înalt în colector). Aplicarea unui nou semnal pe terminalul R (sau K) comută bistabilul în starea complementară; circuitul revine în starea iniţială (cu bitul 1 înregistrat) după aplicarea celui de al doilea impuls pe terminalul S, deci CBB execută divizarea cu 2 a frecvenţei impulsurilor aplicate la o aceeaşi intrare. Înserierea a doi bistabili conduce la o divizare cu $2^2 = 4$, pentru 4 bistabili înseriaţi se obţine o divizare cu $2^4 = 16$ etc.; în cazul a n bistabili, factorul de divizare va fi 2^n.

În figura 4.13, *b* se arată diagramele tensiunilor de ieşire (din colectorii tranzistorilor T_2) pentru cazul a patru CBB înseriate (fig. 4.13, *a*). Se observă că în acest caz rezultă o divizare egală cu $2^4 = 16$ a frecvenţei impulsurilor aplicate la intrare.

În timpul procesului de divizare cu ajutorul celor patru bistabili, aceştia au ocupat toate combinaţiile celor două stări 0 şi 1 în care starea 1 logic

Scanned with OKEN Scanner

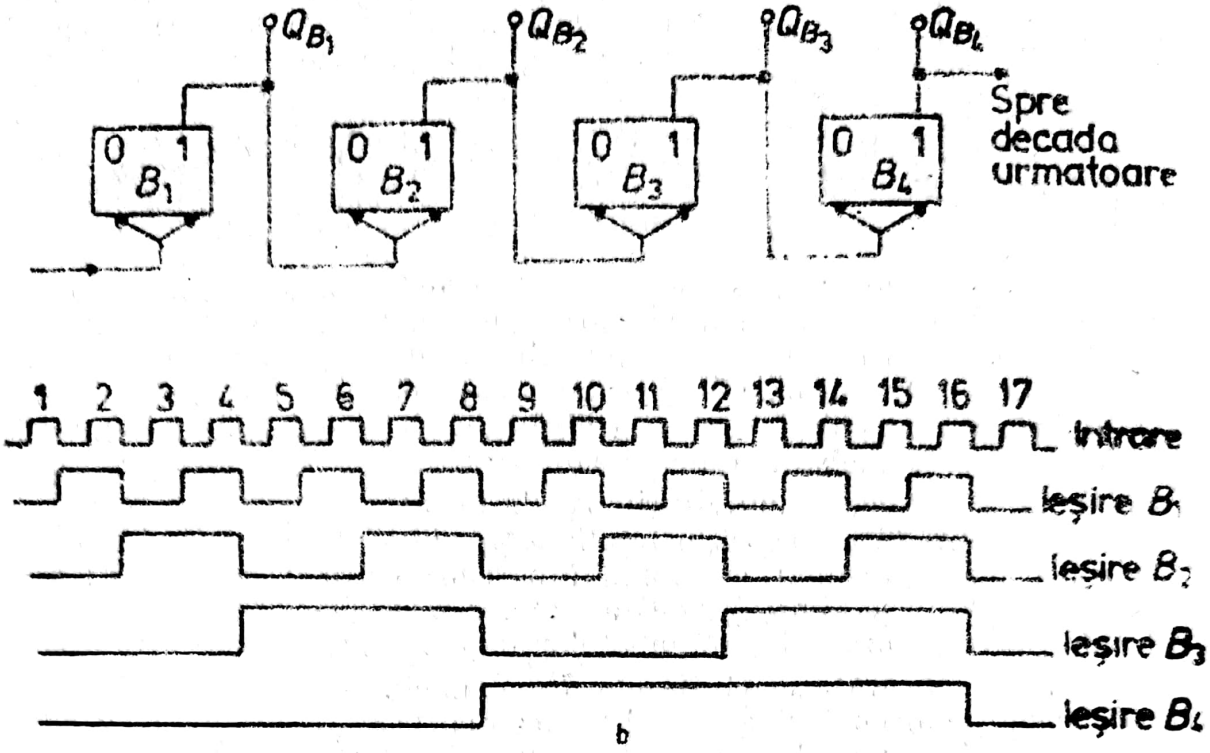


Fig. 4.13

corespunde potenţialului înalt din colectorul tranzistorului T_2 blocat. Aceste stări ocupate de cei patru bistabili înseriaţi sînt redate în tabelul 4.7.

După cum se observă, după fiecare impuls aplicat la intrare, ansamblul de patru *CBB* dă o reprezentare binară a numărului de impulsuri primite, deci execută numărarea în sistem binar pînă la $2^4 = 16$. După 15 impulsuri etajele sînt readuse la zero şi ciclul de numărare poate fi reluat.

În practică, pentru realizarea numărătoarelor electronice asincrone în binar se utilizează *CBB* integrate de regulă de tip $J-K$ (simple sau *MS*), montate ca bistabile de tip T ($J = K = 1$), care după cum am văzut fac divizarea cu 2 a frecvenţei impulsurilor de la intrare de tact (CLK), cît timp intrările T sînt în 1 (v. paragraful 4.3).

Tabelul 4.7

Nr. de impulsuri	Stări ale *CBB*				Nr. de impulsuri	Stări ale *CBB*			
	B_4	B_3	B_2	B_1		B_4	B_3	B_2	B_1
0	0	0	0	0	8	1	0	0	0
1	0	0	0	1	9	1	0	0	1
2	0	0	1	0	10	1	0	1	0
3	0	0	1	1	11	1	0	1	1
4	0	1	0	0	12	1	1	0	0
5	0	1	0	1	13	1	1	0	1
6	0	1	1	0	14	1	1	1	0
7	0	1	1	1	15	1	1	1	1

Scanned with OKEN Scanner

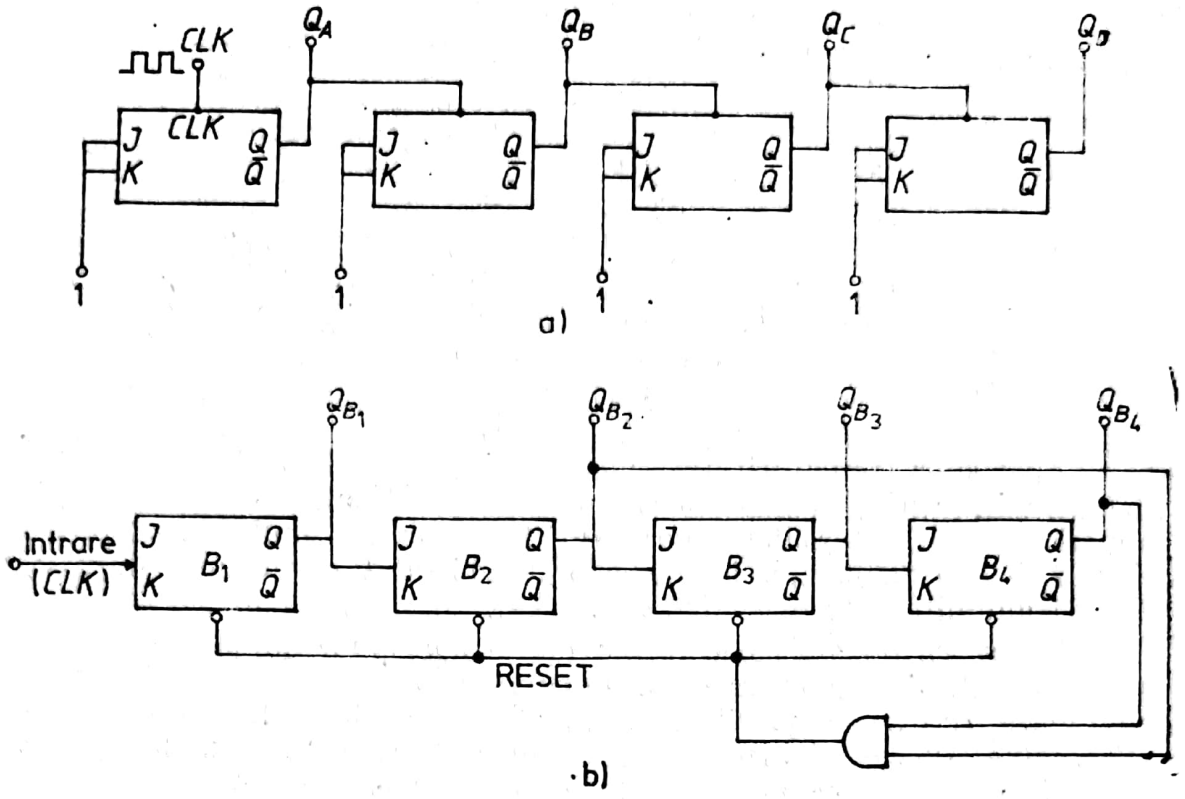


Fig. 4.14

Schema unui astfel de numărător este dată în figura 4.14, *a*.

Se observă că la numărătorul din figura 4.14, *a* intrările $J-K$ sînt legate împreună rezultînd o înseriere de bistabili T. Aceste intrări sînt activate și menținute în 1 logic, iar numărătorul memorează cifrele binare 0—15 în mod succesiv, în urma aplicării tactului la primul bistabil.

Pentru unele aplicații este necesar ca să se realizeze numărătoare care să numere în binar pînă la zece (numărătoare decadice) la aplicarea celui de al zecelea impuls revenind la zero peste tot. Acest lucru se obține prin introducerea în ansamblul celor patru bistabili înseriați din figura 4.14, *a* a unor circuite de reacție și porți logice. Unul dintre procedee este ilustrat în figura 4.14,*b* (nu este singura modalitate). Se observă că al zecelea impuls aduce bistabilii în stările 0101 (corespunzător echivalentului în binar : 1010 a numărului binar 10). Datorită conexiunilor de la ieșirile bistabililor B_2 și B_4 care au starea 1 logic la ieșire, poarta ȘI este activată și la ieșirea ei se obține semnal de reset care aduce toți bistabilii la zero ; rezultă astfel zero peste tot și ciclul de numărare poate fi reluat.

Acestea sînt numărătoare electronice (în binar) **asincrone** la care introducerea (și citirea) datelor are loc succesiv de la un bistabil la altul fiind caracterizate prin viteze mici de numărare.

Pentru aplicațiile curente de divizare de frecvență, numărare, adresare de memorii etc., în țara noastră se produc numărătoare integrate de tip asincron CDB 490, CDB 492 și CDB 493. Acestea cuprind în interior cascade de patru bistabili și unele bucle cu porți pentru asigurarea anumitor reacții.

În aplicațiile mai sofisticate, de comandă și control, aceste tipuri prezintă riscuri de hazard combinațional în circuitele pe care le atacă, datorită propagării succesive (de la un bistabil la următorul) a procesului de numărare. Astfel stările numărătorului nu mai au succesiunea normală pentru care a fost proiectat

Scanned with OKEN Scanner

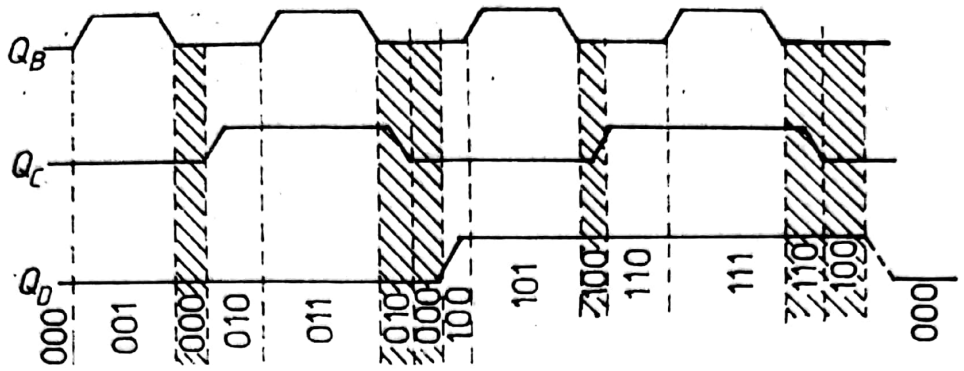


Fig. 4.15

acesta, ci apar stări tranzitorii, intermediare, care pot fi simțite de eventualele *CLC* cuplate la ieșiri și urmate la rîndul lor de bistabili. De exemplu, pentru un numărător CDB 493 aplicînd impulsuri la intrarea primului bistabil, pentru frecvențe suficient de mari, la ieșirile celorlalți bistabili se obțin pe lîngă stările normale și anumite stări parazite (fig. 4.15).

În figura 4.15 s-au haşurat porțiunile corespunzînd stărilor parazite, a căror suprafață devine cu atît mai importantă cu cît frecvența impulsurilor este mai mare. În cazul cuplării numărătorului la un decodificator de exemplu, vor fi active succesiv următoarele ieșiri : 0, 1, **0**, 2, 3, **2**, **0**, 4, 5, **4**, 6, 7, **6**, **4**, 0 ... în locul secvenței scontate : 0, 1, 2, 3, 4, 5, 6, 7, 0 ... ceea ce poate constitui o perturbație foarte gravă în sistem. Pentru preîntîmpinarea acestor dificultăți, în astfel de situații (bistabili cuplați prin *CLC* la ieșirile numărătorului) se folosesc **numărătoare de tip sincron,** la care comutarea tuturor bistabililor se face simultan, la aplicarea unui impuls de tact. În continuare vor fi prezentate sumar cîteva numărătoare de tip asincron în construcție integrată ; numărătoarele de tip sincron vor fi analizate în paragraful următor.

a) Numărătorul binar CDB 493

Configurația terminalelor și schema internă (simplificată) ale acestui numărător sînt reprezentate în figura 4.16.

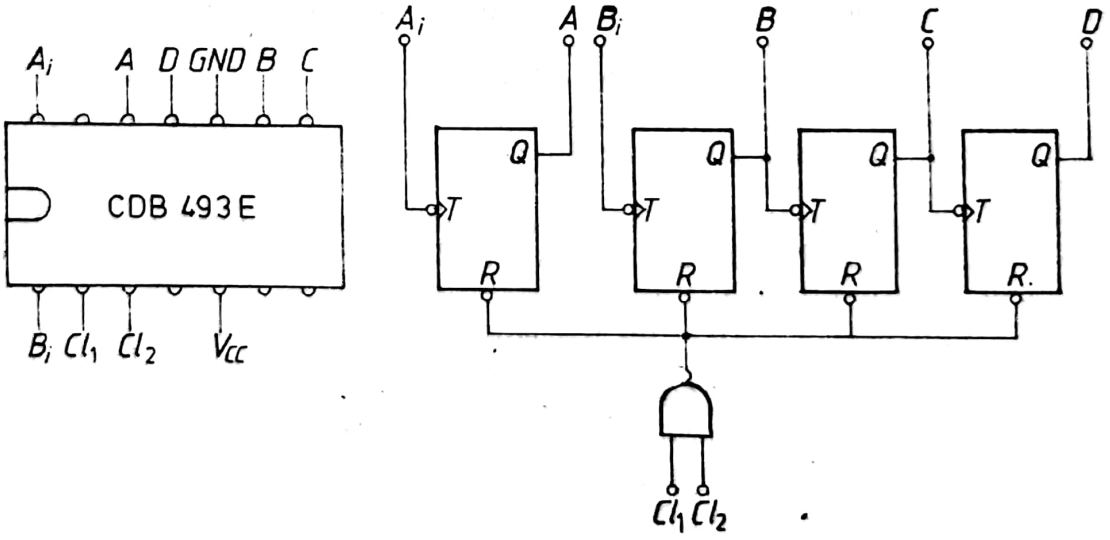


Fig. 4.16

Circuitul cuprinde deci patru bistabili $JK-MS$ cu ştergere comună (intrările de reset $Cl_1(R_1)$ şi $Cl_2(R_2)$).

Cind ambele intrări de ştergere se află în 1 logic, toţi bistabilii sînt trecuţi în zero. Numărarea este deci posibilă doar dacă cel puţin o intrare de ştergere este în zero (tabelul 4.8).

Tabelul 4.8

R_1	R_2	A	B	C	D
0	0				
0	1	Numărare			
1	0				
1	1	0	0	0	0

Pentru divizări pînă la 16 se conectează în exterior ieşirea primului bistabil cu intrarea celui de-al doilea. În această configuraţie dacă se vor aplica impulsuri la intrarea A_1, avînd $R_1 = 0$ şi $R_2 = 1$ se pot urmări stările succesive ale ieşirilor. Dacă, dintr-o stare oarecare, se va ridica şi R_2 în 1 se poate observa ştergerea informaţiei acumulate în numărător.

Aplicaţii frecvente ale acestui circuit constau în divizoare prin 10. Pentru aceasta se leagă ieşirea D la R_1 (adică $R_1 \leftarrow D$) şi respectiv ieşirea B la R_2 (adică $R_2 \leftarrow B$), astfel că atunci cînd apare starea $DCBA = 1010$, ambele intrări de ştergere trec în 1 logic şi aduc instantaneu numărătorul în starea 0000.

b) Numărătorul decadic CDB 490

Cuprinde ca şi CDB 493 patru bistabili $JK-MS$ grupaţi într-un divizor prin 2 şi un divizor prin 5 (prin anumite reacţii interne între bistabili). Are de asemenea două intrări de ştergere şi două de setare (poziţionare) în starea $9 = (1001)$, toate active în 1 logic. Configuraţia terminalelor este pentru acest numărător (integrat) dată în figura 4.17, *a*.

Pentru numărări sau divizări prin 10 se leagă în exterior $B_1 \leftarrow A$. Pentru divizări prin 10 cu factor de umplere $\frac{1}{2}$ se leagă în exterior $A_1 \leftarrow D$ intrarea fiind pe B_1 iar ieşirea pe A.

c) Numărătorul bază 12, CDB 492

Cuprinde patru bistabili grupaţi într-un divizor prin 2 şi unul prin 6, avînd configuraţia terminalelor dată în figura 4.17, *b*.

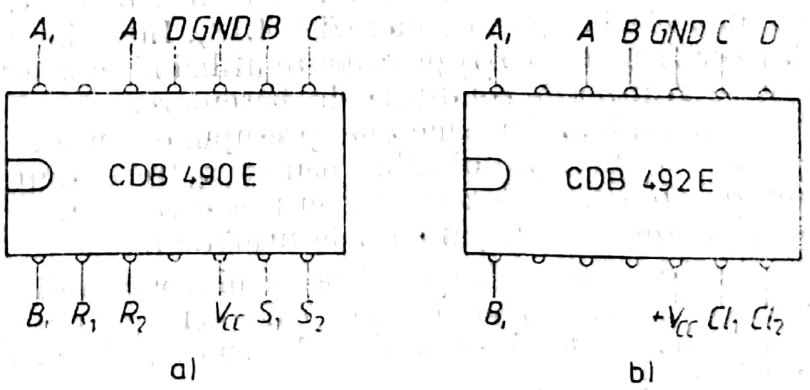


Fig. 4.17

4.5. Numărătoare electronice sincrone. Registre de deplasare

4.5.1. Numărătoare sincrone. Generalităţi

După cum s-a arătat, numărătoarele asincrone prezintă dezavantajul întîrzierilor cumulative ale bistabililor. Frecvenţa maximă de lucru (de tact) va fi limitată de aceste întîrzieri şi în plus apar stările parazite care, în cazul cuplării unui decodificator la ieşirile numărătorului, vor determina impulsuri false spre restul sistemului.

Pentru un numărător asincron, frecvenţa maximă de tact este determinată de timpul de propagare prin cei N bistabili, precum şi de timpul de validare la ieşirea decodificată a numărătorului adică

$$\frac{1}{f} \geq N T_b + T_v \qquad 4.5.1$$

în care T_b este întîrzierea în propagare a unui CBB, iar T_v este durata impulsului de validare. De exemplu, pentru $T_v = 100$ ns şi $T_b = 50$ ns, în cazul numărătorului asincron cu transport succesiv cu 4 CBB va rezulta

$$\frac{1}{f} \geq (4 \cdot 50 + 100)\ \text{ns} = 300\ \text{ns}$$

sau

$$f \lesssim 3{,}4\ \text{MHz}.$$

Pentru a mări frecvenţa de lucru şi pentru a elimina complet şi sistematic inconvenientele legate de comutarea succesivă a CBB, se pot folosi numărătoare sincrone în care comanda de tact este aplicată simultan pe toţi bistabilii. Deoarece basculareа acestora are loc concomitent, durata stărilor parazite nu poate întrece diferenţa între timpul maxim şi cel minim de comutare al CBB din numărător. Un astfel de puls parazit nu poate fi practic sesizat de circuitele cuplate la ieşirea numărătorului. De asemenea, frecvenţa maximă de tact nu mai depinde de numărul celulelor de numărare fiind deci principial mai mare decît la numărătoarele asincrone.

Ca şi în cazul numărătoarelor asincrone în construcţie integrată, numărătoarele sincrone sînt realizate cu bistabili JK (sau de tip T), care sînt comandate simultan cu un acelaşi impuls de tact (fig. 4.18). Intrările J şi K ale CBB sînt conectate la ieşirile Q ale CBB precedente utilizînd în acest scop şi unele porţi ŞI cu care se realizează condiţiile de basculare.

Proiectarea numărătoarelor sincrone presupune sinteza semnalelor de pe intrările J şi K ale fiecărui bistabil pentru a trece dintr-o stare dată în starea următoare. Metoda generală de lucru este cea a maşinii algoritmice de stare care va fi prezentată în paragrafele următoare.

După cum se vede şi din tabelul 4.7 bistabilii comută din 0 în 1 pentru oricare din coloanele tabelului, cînd toate coloanele pentru numărul binar inferior sînt în 1 logic. Astfel bistabilul A basculează la fiecare impuls de tact avînd intrările în 1 logic.

$$J_A = K_A = 1. \qquad 4.5.2$$

Scanned with OKEN Scanner

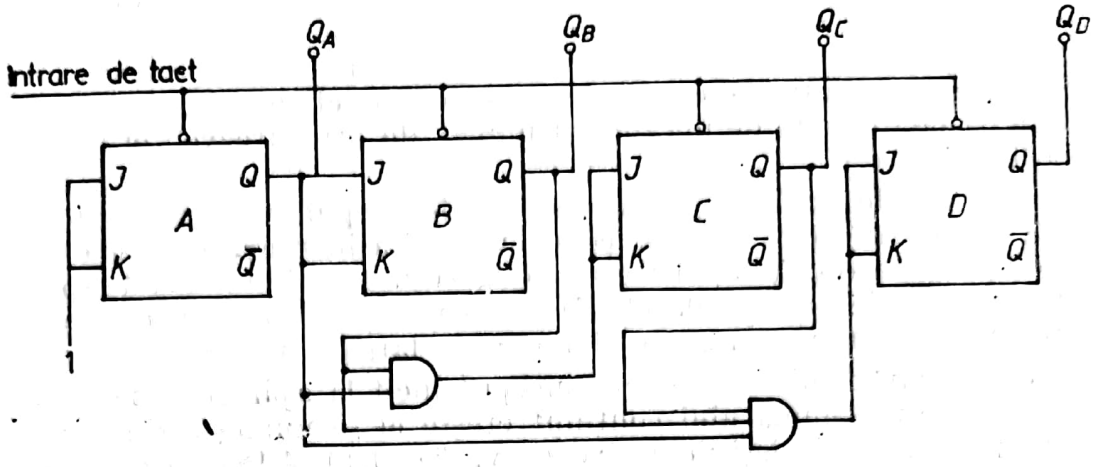


Fig. 4.18

Bistabilul B basculează cînd $Q_A = 1$, adică

$$J_B = K_B = Q_A. \qquad 4.5.3$$

La fel bistabilul C basculează cînd $Q_A = Q_B = 1$, iar bistabilul D basculează cînd $Q_A = Q_B = Q_C = 1$, adică avem :

$$J_C = K_C = Q_A Q_B \qquad 4.5.4$$

$$J_D = K_D = Q_A Q_B Q_C. \qquad 4.5.5$$

Comanda primului bistabil este asigurată prin menţinerea intrărilor J_A şi K_A la nivelul 1. Comanda bistabilului B este realizată prin legarea intrărilor J_B şi K_B la ieşirea Q_A (v. 4.5.3), iar comanda bistabilului C se face printr-o poartă ŞI ale cărei intrări sînt Q_A şi Q_B conform ecuaţiei 4.5.4. Bistabilul D este comandat ca şi C cu menţiunea că la cea de a doua poartă ŞI se aplică Q_A, Q_B şi Q_C (la intrări) în acord cu relaţia 4.5.5. După cum s-a menţionat mai înainte proiectarea numărătoarelor electronice sincrone şi stabilirea ecuaţiilor logice de funcţionare de tipul 4.5.2—4.5.5 se face prin metoda maşinii algoritmice de stare (v. § 4.7 şi § 4.8).

Viteza de numărare la aceste numărătoare este mai mare decît cea a numărătoarelor asincrone fiind limitată numai de întîrzierea T_b a oricărui bistabil (tactul se aplică paralel, la toate bistabilele), plus întîrzierea T_p introdusă de porţile logice, adică

$$\frac{1}{f} \geqslant T_b + T_p. \qquad 4.5.6$$

Presupunînd $T_b = 50$ ns şi întîrzierea printr-o singură poartă ŞI egală cu 25 ns, rezultă

$$\frac{1}{f} \geqslant 50 + 2 \cdot 25 = 100 \text{ ns}$$

sau

$$f \leqslant 10 \text{ MHz}.$$

Scanned with OKEN Scanner

Din cele arătate în § 4.4 și în acest paragraf, se vede că numărătoarele electronice sînt circuite logice secvențiale (sisteme cu memorie), adică ele memorează numărul de impulsuri care au fost aplicate la intrare. În acest mod ele îndeplinesc atît funcția de numărare a unei succesiuni de impulsuri, cît și funcția de divizare de un anumit număr de ori a frecvenței impulsurilor aplicate la intrare.

În funcție de firma constructoare și de scopul urmărit există o mare varietate de numărătoare electronice sincrone și asincrone, a căror descriere și moduri de proiectare și funcționare se pot găsi în diferite lucrări de specialitate [9] sau cataloage de firmă [10, 11]. În acest paragraf vor fi succint prezentate doar cîteva dintre numărătoarele sincrone de largă utilizare.

Dacă numărătorul este astfel conceput încît la aplicarea fiecărui impuls la intrare, valoarea numărului conținut crește el se numește direct, numărul fiind pus în evidență la ieșirile active Q (v. fig. 4.14, 4.18). Dacă în schemele prezentate în figurile precedente ieșirile Q se înlocuiesc cu $\bar{Q}$, în urma aplicării impulsurilor la intrare, valoarea numărului conținut scade, adică numărătorul este de tip scăzător sau invers (numără invers). Folosind unele porți logice (ȘI) suplimentare așa cum se vede în figura 4.19, se obține un **numărător reversibil** (sincron sau asincron) care poate îndeplini atît funcția de numărător direct, cît și pe aceea de numărător invers. În acest scop schema conține intrări suplimentare de tipul „count up" (numără în sus, direct) sau „count down"(numără în jos, invers), precum și comenzi generale de tip Clear (ștergere, reset), Load (de încărcare sau „presetare"). De asemenea astfel de numărătoare, a căror schemă este destul de complexă (v. mai departe) prezintă ieșiri (terminale) care semnalizează depășirea capacității de numărare Carry (CR) pentru numărare înainte și Borrow (BR) pentru numărarea înapoi (fig. 4.20).

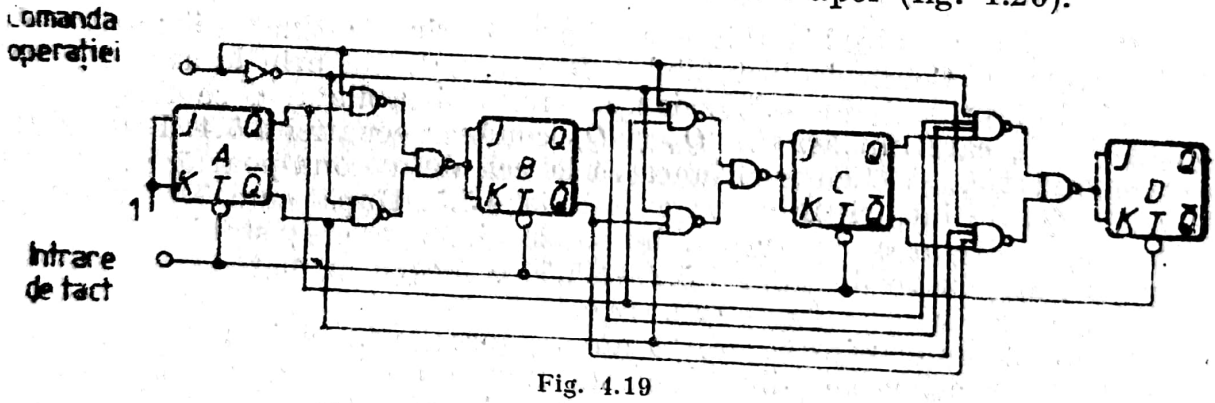


Fig. 4.19

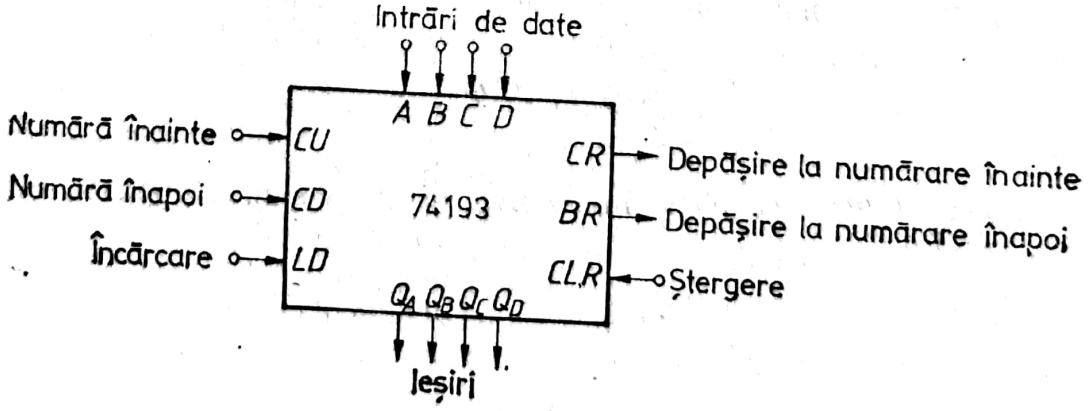


Fig. 4.20

Scanned with OKEN Scanner

Pentru circuitul simplificat din figura 4.19, în cazul comenzii 1 (count up) pentru modul de lucru, sînt activate circuitele ȘI din ramura superioară care transmit semnalele de la ieșirile Q, iar în cazul comenzii „0" (count down), prin circuitul inversor sînt activate circuitele ȘI din ramura inferioară care transmit semnalele de la ieșirile $\bar{Q}$.

Folosind metoda mașinii algoritmice de stare (v. § 4.8) se deduc ecuațiile logice ale intrărilor bistabilelor $J-K$ pentru numărătorul invers, fiind similare cu ecuațiile 4.5.2 — 4.5.5 (se înlocuiesc Q_i cu $\bar{Q}_i$):

$$J_A = K_A = 1 \qquad 4.5.7$$

$$J_B = K_B = \bar{Q}_A \qquad 4.5.8$$

$$J_C = K_C = \bar{Q}_A \cdot \bar{Q}_B \qquad 4.5.9$$

$$J_D = K_D = \bar{Q}_A \cdot \bar{Q}_B \cdot \bar{Q}_C. \qquad 4.5.10$$

Ca și în cazul numărătoarelor asincrone, pentru numeroase aplicații este necesară realizarea unor numărătoare sincrone decadice, adică să numere în binar pînă la zece, la al zecelea impuls revenind la zero. Asemenea numărătoare zecimale (de tip *BCD*) se pot realiza în mod similar cu schemele pentru numărătoare asincrone (v. de exemplu fig. 4.14) prin înserierea a $n = 4$ circuite bistabile și comprimarea a $2^4 - 10 = 6$ stări excedentare. Schema unui numărător sincron *BCD* simplu (direct) este redată în figura 4.21.

4.5.2. Tipuri reprezentative de numărătoare sincrone integrate

În seria ***TTL*** se află mai multe tipuri de numărătoare sincrone integrate, dintre care amintim unele din seria 74 (Texas Instruments):

- 74190 — numărător *BCD* sincron reversibil cu transport paralel;
- 74191 — numărător binar sincron reversibil cu transport paralel;
- 74192 — identic cu 74190 dar cu două intrări de numărare și fără comandă de sens;
- 74193 — identic cu 74191 dar cu două intrări de numărare și fără comandă de sens.

Dintre acestea în România se fabrică ultimele două tipuri sub indicativele CDB 4192 și respectiv CDB 4193.

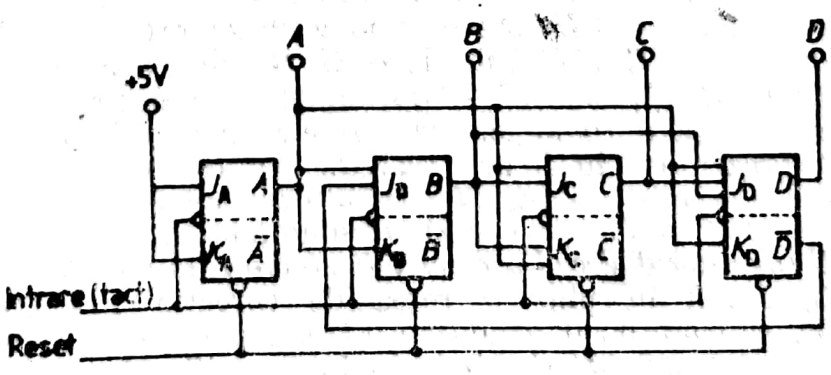


Fig. 4.21

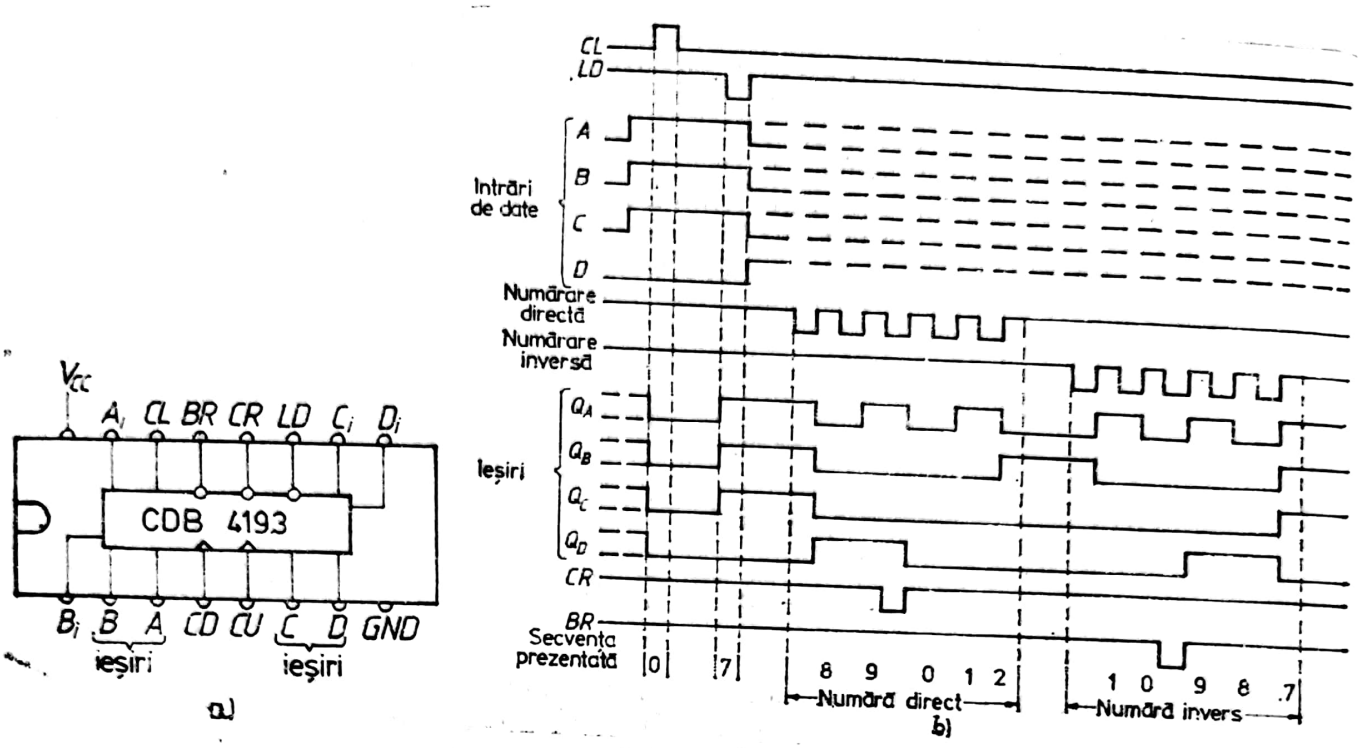


Fig. 4.22

4.5.2.1. Numărătorul sincron reversibil CDB 4193. Schema internă este axată pe patru bistabili $JK-MS$ asociaţi la un CLC destul de complex, într-o structură de maşină algoritmică de stare (v. § 4.8). În figura 4.22, *a* este dată configuraţia pinilor (terminalelor) numărătorului integrat sincron reversibil CDB 4193.

Funcţiunile intrărilor sînt următoarele (v. fig. 4.22, *a*):

— la ridicarea în 1 logic a intrării *CL* (clear — ştergere) informaţia din numărător se şterge iar ieşirile trec în starea 0000;

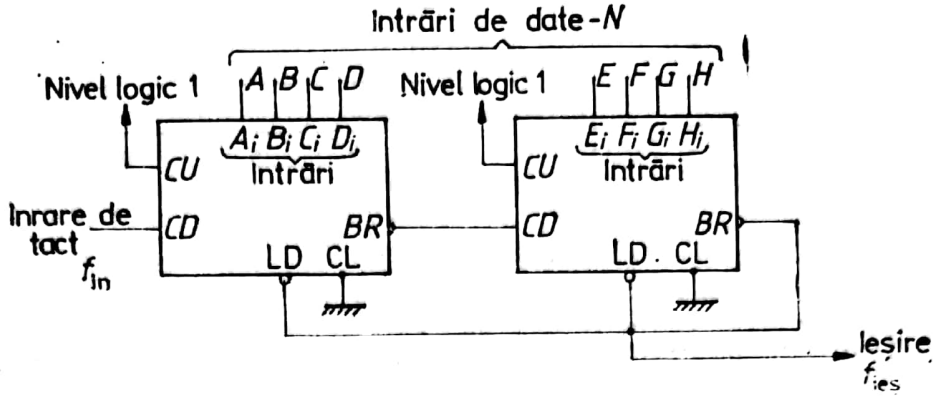
— la trecerea din 1 în 0 a intrării *LD* („load"— încărcare), informaţia existentă la intrările paralele de date A_i, B_i, C_i şi D_i se încarcă în numărător apărînd la ieşirile *A*, *B*, *C* şi respectiv *D*.

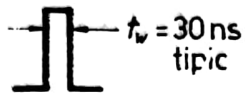
— la fiecare trecere din 0 în 1 a intrării *CU* („count-up"— numără în sus), în timp ce *CD* este în 1, numărătorul îşi incrementează conţinutul cu o unitate. Cînd ieşirile *A*, *B*, *C*, *D* sînt toate în 1, apare impuls 0 logic pe ieşirea *CR* („Carry"— Transport) care durează atîta timp cît intrarea *CU* este şi ea în 1 logic.

— la fiecare trecere din 0 în 1 a intrării *CD* („count-down"— numără în jos) în timp ce intrarea *CU* este în 1 logic, numărătorul îşi decrementează conţinutul cu o unitate. Cînd ieşirile *A*, *B*, *C*, *D* sînt toate în 0, apare impuls 0 logic pe ieşirea *BR* („borrow"— împrumut) care durează atîta timp cît intrarea *CD* este şi ea în 0 logic. Diagramele temporale de funcţionare a circuitului sînt prezentate în figura 4.22, *b*.

4.5.2.2. Numărătorul decadic reversibil sincron CDB 4192. Este identic cu CDB 4193, avînd în plus o reţea de corecţie internă care aduce numărătorul la starea 0000 cînd s-a trecut de starea 1001 generînd semnal *CR* atîta timp cît *CU* este în 0 logic. Semnificaţia ieşirilor şi intrărilor este în rest aceeaşi ca la CDB 4193.

Scanned with OKEN Scanner





CDB 4192 Numărator decadic

CDB 4193 Numărator binar de 4 biți

$$f_{ieș} = \frac{f_{in}}{N} = \frac{f_{in}}{1A+2B+4C+8D+16E+32F+64G+128H}$$

unde $1 \leqslant N \leqslant 255$

Fig. 4.23

Numărătoarele electronice sincrone cum sînt CDB 4192 sau CDB 4193 se pot cupla în cascadă prin intermediul ieșirilor *BR* și *CR* rezultînd astfel tot un numărător sincron de mai mulți biți. O aplicație tipică a acestor circuite o constituie divizoarele de frecvență programabile, datorită posibilității de a cupla direct un comutator decadic cu ieșiri *BCD*, la intrările paralele. În mod normal aceasta se realizează prin numărare inversă și conectarea ultimei ieșiri *BR* la intrările *LD*, ca în figura 4.23. Alte aplicații reprezentative ale numărătoarelor electronice se găsesc în diferite lucrări de specialitate [1, 4, 6, 9—14].

4.5.3. Registre de deplasare. Numărătoare electronice în inel

În tehnica aparaturii numerice, tehnica de calcul, automatizări etc., se folosesc diferite sisteme electronice capabile să memoreze temporar o informație și s-o transfere la cerere. Asemenea sisteme, realizate cu circuite bistabile, cu ferite de comutație, cu dispozitive cu cuplare prin sarcină (*CCD*) etc., care pot să îndeplinească funcțiile de mai sus, se numesc **registre**. Astfel de registre se pot folosi ca suporți (celule) de memorie tampon, pentru un singur cuvînt, de exemplu pentru stocarea temporară a unui operand sau a rezultatului într-o unitate de calcul aritmetic și logic (*U.A.L.*).

Într-un registru A format din n celule bistabile se poate înscrie o informație de forma $A_1, A_2 \ldots A_n$, unde A_i $(i = 1, 2, \ldots, n)$ poate avea valorile 0 sau 1. În funcție de modul în care se face scrierea și citirea, registrele pot fi de patru feluri:

1) registru-serie, la care informația se introduce succesiv bit cu bit (fig. 4.24, *a*). Scrierea se comandă cu ajutorul impulsurilor de tact, cîte unul pentru fiecare cifră binară (bit);

Scanned with OKEN Scanner

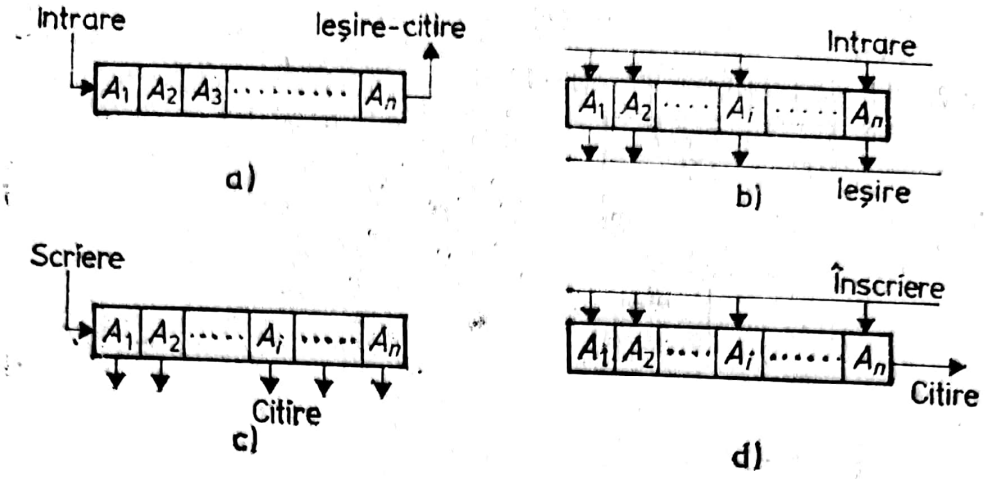


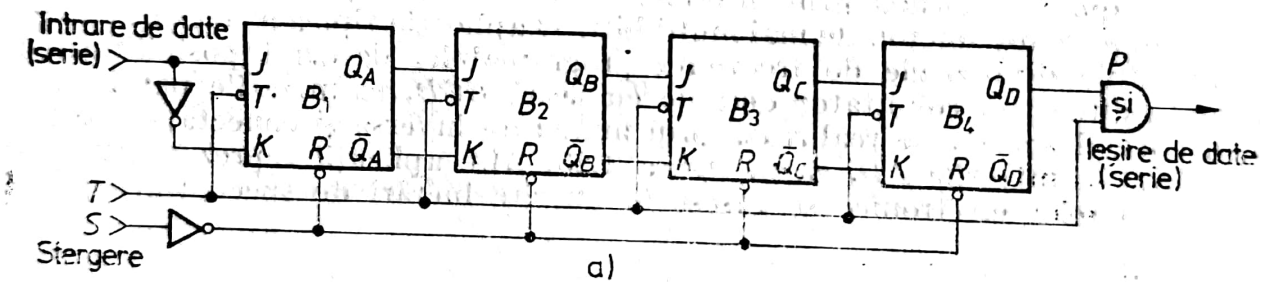
Fig. 4.24

2) registru-paralel (fig. 4.24, *b*) prevăzut cu circuite de comandă şi de transfer care permit ca informaţia să se scrie simultan pentru toate rangurile;

3) registru serie-paralel, la care informaţia se introduce bit cu bit şi se extrage simultan pentru toate rangurile (fig. 4.24, *c*);

4) registru paralel-serie, la care introducerea datelor se face în paralel (simultan pentru toate rangurile), iar citirea se face în serie bit cu bit (fig. 4.24, *d*).

În figura 4.25, *a* se reprezintă schema logică a unui registru-serie cu patru ranguri realizat cu patru bistabili de tip $JK-MS$. Informaţia se aplică sub forma unei succesiuni de impulsuri, după ce registrul a fost mai întîi



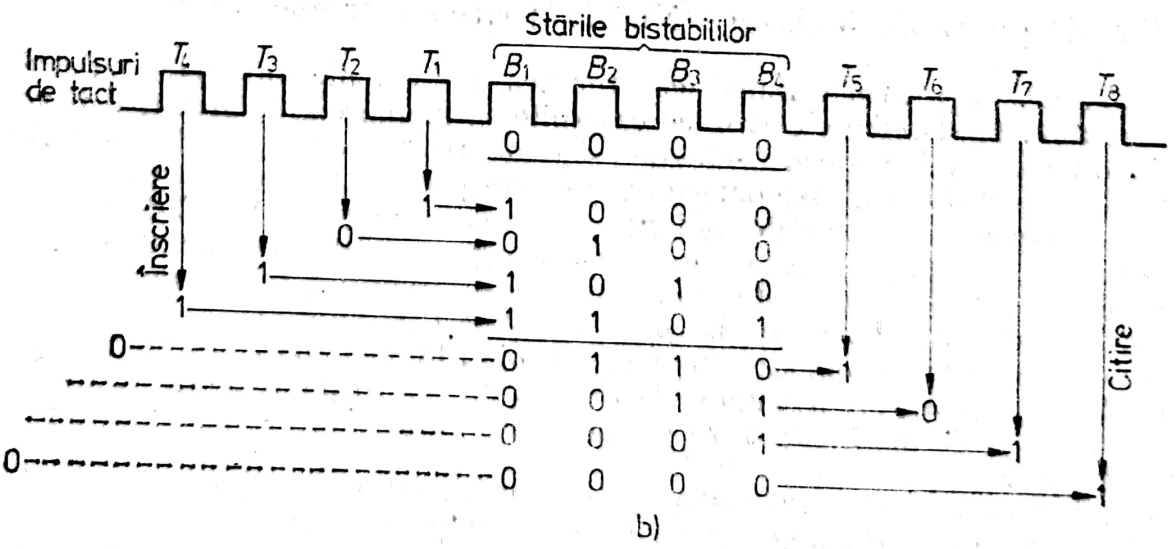


Fig. 4.25

şters cu un impuls S negat, pe intrările R_D ale bistabililor (transformaţi în bistabili $JK-MS$ de tip D). La primul impuls de tact, se aplică primul „bit" de informaţie în primul bistabil. Dacă la intrare apare al doilea bit, impulsul de tact următor va determina deplasarea primului bit la cel de al doilea bistabil, iar noua informaţie intră în primul CBB şi aşa mai departe. Astfel, pentru fiecare impuls de tact informaţia înmagazinată în fiecare bistabil se deplasează la următorul, de aceea aceste registre se numesc **registre de deplasare** (fig. 4.25, *a*, *b*). Pentru citirea informaţiei înscrise în registru, este necesar să se aplice în continuare impulsuri de tact, fiecare din ele avînd ca rezultat deplasarea spre ieşire a biţilor care au fost înmagazinaţi, după principiul *FIFO* (*F*irst *I*n, *F*irst *O*ut) — (primul intrat — primul ieşit) (fig. 4.25, *b*).

Registrele pot fi alcătuite ca să permită deplasarea şi în sens invers a informaţiei, precum şi deplasarea în ambele sensuri: dreapta-stînga; aceste registre care permit deplasarea informaţiei în ambele sensuri se numesc *registre de deplasare reversibile*. În figura 4.26, *a*, *b*, se arată configuraţia terminalelor şi schema logică internă a circuitului integrat CDB-495 E, realizat la IPRS-Băneasa. Aceasta reprezintă un registru de deplasare reversibil de patru biţi format din patru bistabili $R-S$ de tip T, permiţînd scrierea şi citirea în serie sau în paralel.

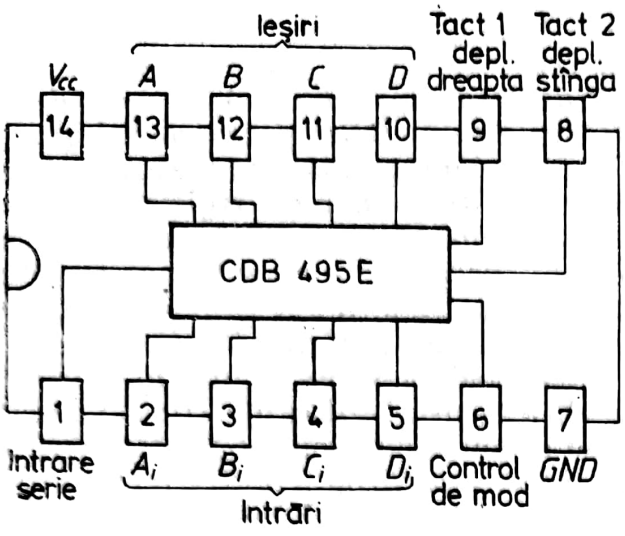
Avînd toate ieşirile şi intrările disponibile în exterior, circuitul poate fi utilizat ca registru de deplasare dreapta sau ca registru de memorie tampon cu acces paralel. De asemenea prin legarea ieşirii fiecărui bistabil cu intrarea celui din stînga sa (anterior) se poate realiza deplasarea spre stînga. Astfel, cînd terminalul de control de mod (CM) este în 0 logic, are loc, pe frontul descărcător al tactului T_1, deplasarea dreapta a datelor în registru. Cînd terminalul de control de mod este în 1 logic, are loc, pe frontul descrescător al tactului T_2, încărcarea paralelă sau deplasarea stînga a datelor în registru. La deplasarea dreapta bistabilul A capătă starea intrării seriale S_i, iar la deplasarea stînga, bistabilul D ia starea intrării D_i (devenită intrare serială).

Dacă este nevoie de un singur semnal de tact intrările T_1-T_2 se pot lega împreună, fiind validată intern una sau cealaltă în funcţie de starea controlului de mod CM. În general însă tactul neselectat se pune în 1 logic. În sens contrar dacă acesta ar fi 0 iar tactul selectat în 1, la schimbarea stării CM, nivelul liniei interne de tact (v. fig. 4.26, *b*) devine 0, determinînd bascularea bistabilelor. De aceea nu este convenabil să se aplice semnalul de tact în timp ce comanda de mod îşi schimbă starea. Modul de acţiune recomandat pentru cele două intrări de tact este prezentat prin formele de undă din figura 4.27.

De remarcat însă că semnalul de tact selectat poate deveni 1 şi după schimbarea stării corespunzătoare a comenzii de mod, cu întîrzierile t_1 şi t_2. Prin construcţia internă a circuitului se asigură ca t_1 să fie 0, ceea ce înseamnă că se pot lega împreună intrările T_2 şi CM. O astfel de legătură este utilă pentru încărcarea paralelă a registrului. Un impuls de tact de nivel 1 selectează modul de încărcare paralelă, iar cînd tactul devine 0 informaţia este introdusă în registru.

Pe lîngă utilizarea în unităţile aritmetice sau a altor blocuri (de registre) din sistemele numerice, registrele de deplasare se mai folosesc la construirea numărătoarelor în inel şi generatoarelor de secvenţe pseudoaleatoare. Trăsătura comună a acestei clase de circuite constă în aceea că ieşirile bistabililor sînt legate prin reacţie la intrarea registrului de deplasare (intrarea primului bistabil).

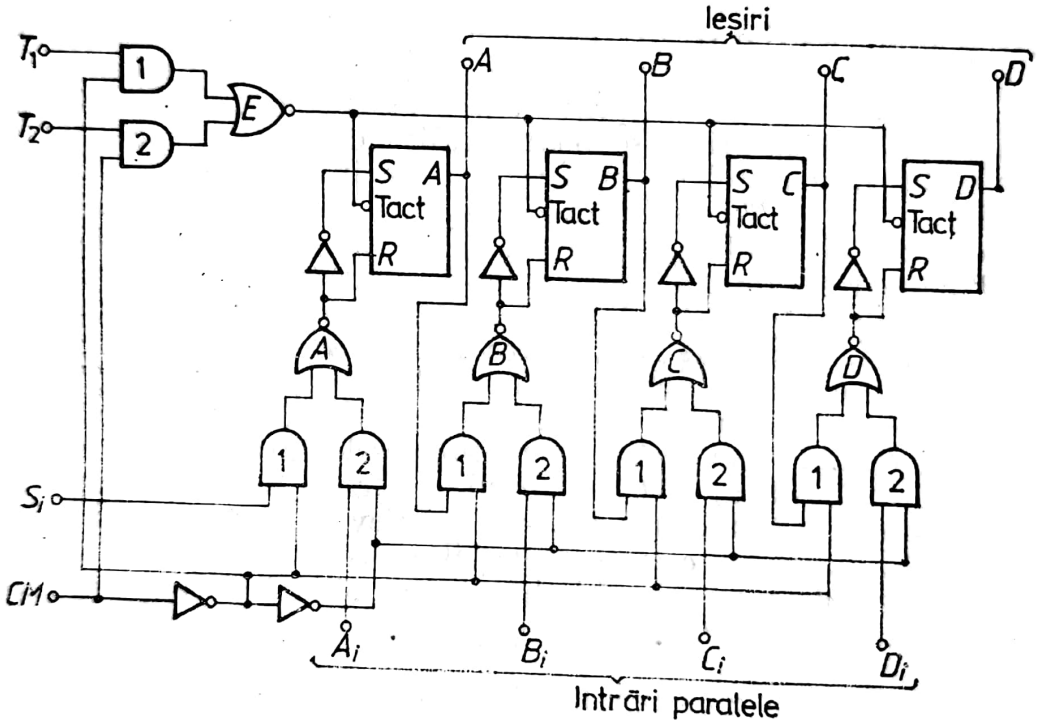
Un **numărător de inel** funcţionează prin deplasarea unui bit (0 sau 1) diferit de toţi ceilalţi biţi, care se află deci în starea opusă. Un numărător



a)

de N stări are N bistabili şi toate stările apar decodificate fără nici un decodificator suplimentar. Acesta este de fapt motivul utilizării acestui dispozitiv care altfel este ineficient, nefolosind toate cele 2^N stări realizabile cu N bistabili. Numărătorul în inel se realizează prin conectarea directă a ieşirii ultimului bistabil la intrarea primului, ca în figura 4.28, *a*.

Pentru funcţionarea corectă (deplasarea unui 0 sau a unui 1) numărătorul trebuie amorsat (iniţializat) într-o astfel de stare. Aceasta se realizează prin folosirea unor porţi externe care creează reacţii suplimen-



CM=0 pentru deplasare spre dreapta
CM=1 pentru încărcare paralelă sau deplasare spre stînga

b)

Fig. 4.26

tare forţînd corespunzător intrarea serială pentru orice stare care nu corespunde secvenţei normale [1, 9].

Folosind registrul CDB 495 se pot realiza numărătoare în inel cu autoamorsare ca în figura 4.28, *b* (deplasare de 1) şi figura 4.28, *c* (deplasare de 0). Se observă că este preferabilă reacţia între ieşirea CM şi intrare deoarece chiar dacă secvenţa este alterată circuitul se reîncarcă paralel automat după maxim 3 impulsuri de tact cu starea corectă. Intrarea S_1 este folosită pentru

Scanned with OKEN Scanner

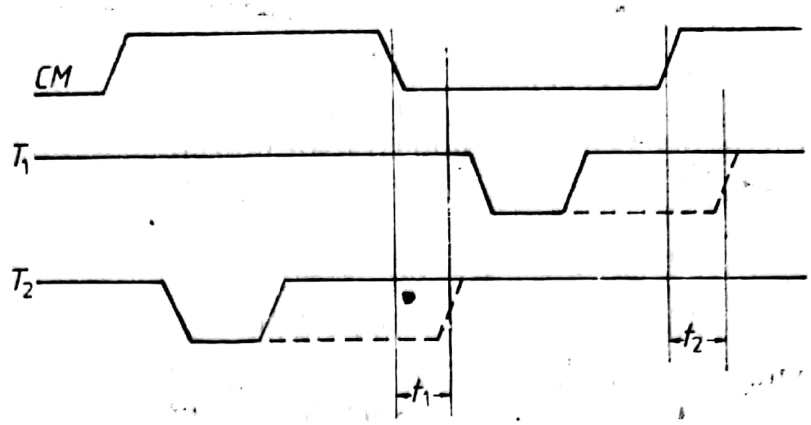
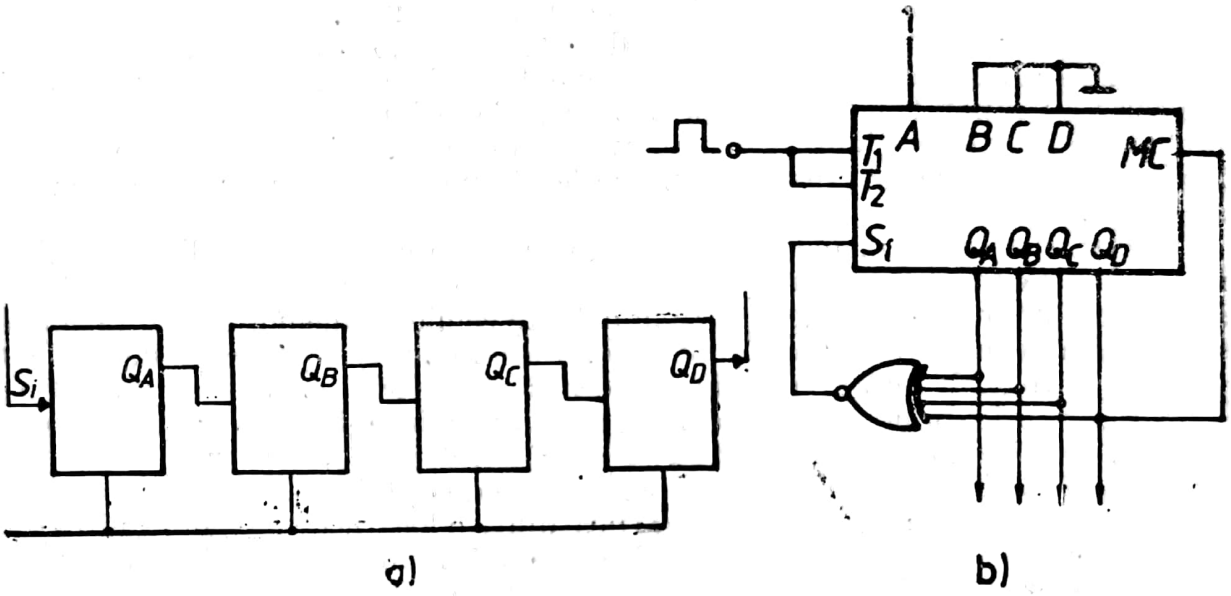


Fig. 4.27



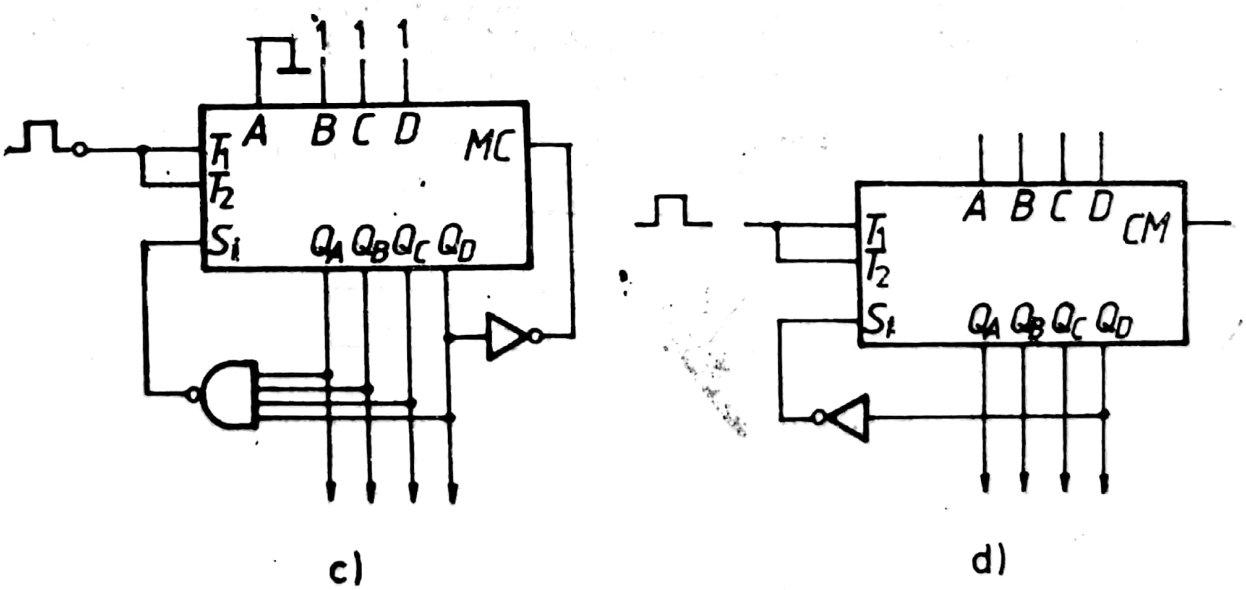


Fig. 4.28

Scanned with OKEN Scanner

evitarea stărilor care nu pot activa pe CM în 1 pentru încărcare paralel (starea 0000 și respectiv 1111).

Prin legarea ieșirii negate la intrarea serială se obține **numărătorul Johnson** (cu reacție inversată sau Möbus) care prezintă $2N$ sau $2N - 1$ stări pentru un registru de N bistabili (fig. 4.28, *d*) [1, 9].

4.6. Memorii semiconductoare

4.6 1. Considerații generale asupra sistemelor de memorie

Sistemele numerice, cu excepția celor foarte simple, sînt în esență sisteme secvențiale, ceea ce înseamnă că evoluția lor depinde atît de vectorul de intrare, cît și de stările anterioare prin care a trecut sistemul. Este evident că pentru a putea influența această evoluție, atît stările anterioare cît și o parte din informația de la intrări trebuie memorată în sistem, datele respective urmînd a fi preluate de acesta ori de cîte ori algoritmul de lucru o cere. Ca urmare a acestui fapt, circuitele secvențiale de memorie sau sistemele de memorie au căpătat o importanță deosebită fiind larg utilizate în procesul de prelucrare a informațiilor (calculatoare, sisteme cu microprocesoare etc.) și în alte sisteme numerice (aparatură numerică de măsură, automatizări secvențiale și altele).

Prin sistem de memorie se înțelege un ansamblu format din mediul de memorare și circuitele electronice aferente funcționării întregului sistem. Datele sub formă binară sînt înmagazinate în diferite celule de memorie numite locații și anume cîte un bit în fiecare locație. Fiecare locație poate fi identificată printr-o adresă. Numărul maxim de locații adresabile constituie capacitatea memoriei, exprimîndu-se de obicei în octeți sau cuvinte și în multiplii acestora: kilo ($1\,k = 2^{10} = 1024$) sau mega ($1\,M = 2^{20} = 1\,048\,576$). **Octetul** reprezintă o locație adresabilă independent, cu o capacitate de opt biți și uneori se numește „byte" sau caracter; dacă numărul de biți dintr-o locație de memorie adresabilă independent este diferit de 8, atunci ea poartă numele de **cuvînt** (conține 4, 16, 32, 64 etc. de biți care constituie lungimea cuvîntului).

Schema bloc a unui sistem de memorie este redată în figura 4.29. Pentru înscrierea în memorie informația este introdusă mai întîi în registrul de date (informații), iar adresa locației, unde va fi înmagazinată informația se introduce în registrul de adrese. Transferul informației în locația respectivă are loc în urma aplicării comenzii de înscriere a datelor fig. 4.29). Pentru

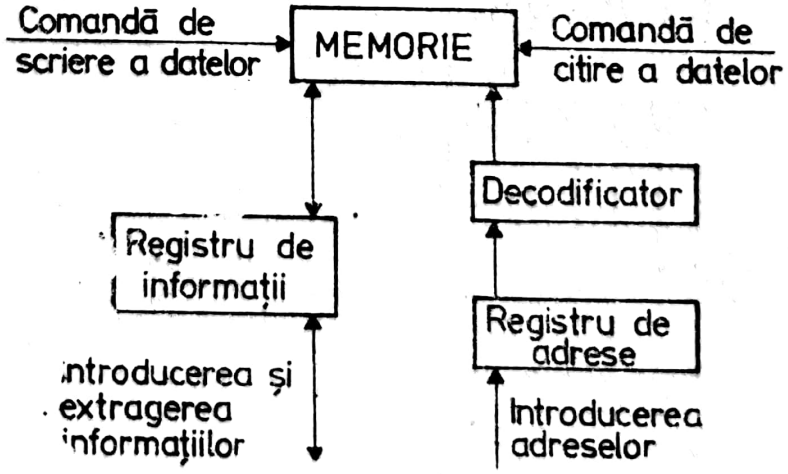


Fig. 4.29

Scanned with OKEN Scanner

citirea informației se specifică mai întîi adresa locației din memorie cu ajutorul registrului de adrese. Informația este transmisă din memorie în registrul de informații, în vederea citirii, în urma aplicării comenzii de citire a datelor. Pentru a face posibilă recunoașterea locației, atît la scriere, cît și la citire, conținutul registrului de adrese se decodifică folosindu-se în acest scop un decodificator (de adrese, fig. 4.29).

În majoritatea sistemelor de calcul se utilizează *memorii interne* caracterizate prin capacitate mică și viteză mare de operare *memoria externă* de capacitate foarte mare și viteză redusă de operare (sau de acces), precum și *memorii tampon* care au capacitate nu prea mare și viteză de operare comparabilă cu a memoriilor interne.

Pentru memoria internă (operativă) cele mai frecvente au fost utilizate memoriile cu inele sau toruri de ferită, iar în ultimele două decenii au căpătat o mare răspîndire (aproape exclusiv) memoriile semiconductoare integrate.

Pentru memoria externă din sistemele numerice se folosesc cu predilecție suporturile magnetice în mișcare cum sînt benzile magnetice și discurile magnetice „tari" sau „flexibile" (Floppy disk).

Celulele de memorare se pot realiza și cu elemente supraconductoare, dispozitive ovonice (cu substanțe amorfe), cu bule magnetice, pe principiile holografiei, înregistrării termomagnetice etc.

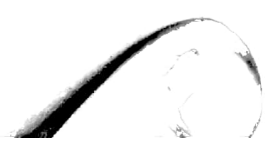
Memoriile pot fi distructive, la care informația este ștearsă în urma citirii (cum se întîmplă la memoriile cu ferite) sau nedestructive, la care informația nu este alterată cînd memoria este interogată (citită).

De asemenea memoriile pot fi volatile (informația dispare, cînd se întrerupe alimentarea cu curent — cazul memoriilor RAM cu *CBB*) sau nevolatile. O altă clasificare se referă la modul de înscriere/citire a datelor, putîndu-se deosebi două mari categorii : memorii cu acces aleator (**R**andom **A**cces **M**emory—**RAM**) la care se poate efectua înscrierea/citirea la oricare locație și memorii citește numai (**R**ead **O**nly **M**emory—**ROM**) cu variantele programabile **PROM** sau **EPROM**. Memoriile cu tranzistori inclusiv sub formă integrată pot fi realizate în tehnologia *MOS* (cu tranzistori *MOS*) sau cu tranzistori bipolari. Memoriile realizate în tehnologia *MOS* pot fi memorii statice sau memorii dinamice (v. mai departe).

4.6.2. Memorii integrate *RAM* cu tranzistori bipolari

În comparație cu memoriile cu ferite, memoriile semiconductoare, cu circuite basculante bistabile (*CBB*), realizate sub formă integrată, permit obținerea unei densități foarte mari de informații (date) înmagazinate, deci au o mare capacitate. De asemenea, timpii de acces, mai ales pentru memoriile în construcție integrată cu tranzistori bipolari, sînt mult mai mici (20—60 ns), deci vitezele de lucru ale acestor memorii sînt mult mai mari decît a celor cu ferite.

Spre deosebire de memoriile cu ferite, care nu necesită consum de energie electrică pentru păstrarea informației, memoriile cu *CBB* necesită un consum continuu de energie în vederea păstrării datelor dacă acestea nu au fost introduse odată pentru totdeauna în procesul de fabricație (cazul memoriilor *ROM*), deci sînt memorii volatile. Pe de altă parte, pe cînd la memoriile cu ferite informația era distrusă în timpul citirii, în cazul memoriilor cu *CBB*, informația poate fi citită ori de cîte ori și în orice moment, fără a fi distrusă, deci sînt memorii nedestructive.



Scanned with OKEN Scanner

Circuitele basculante bistabile într-o memorie sînt de regulă organizate matricial (fig. 4.30, *c*). Din figura 4.30, *c*, se vede că liniile de adresare x sînt conectate la fiecare rînd de *CBB*, liniile de adresare y sînt conectate la fiecare coloană, iar conexiunile de „scriere-citire" sînt conectate — prin intermediul unor porţi logice — în paralel la toate circuitele basculante bistabile.

Elementele active din *CBB* ale memoriilor integrate (sau monolitice) pot fi tranzistorii bipolari (de regulă de tip $n-p-n$), tranzistorii *MOS* (în diferite variante constructive) şi mai rar alte elemente active (tiristori, diode tunel, dispozitive optoelectronice, dispozitive supraconductoare etc.).

Tranzistorii bipolari utilizaţi în *CBB* din memoriile monolitice de tip *TTL* sînt de regulă tranzistorii multiemitor cu doi sau cu trei emitori (fig. 4.30, *a*, *b*). În cazul celulei de memorie din figura 4.30, *b*, cîte un emitor din fiecare tranzistor

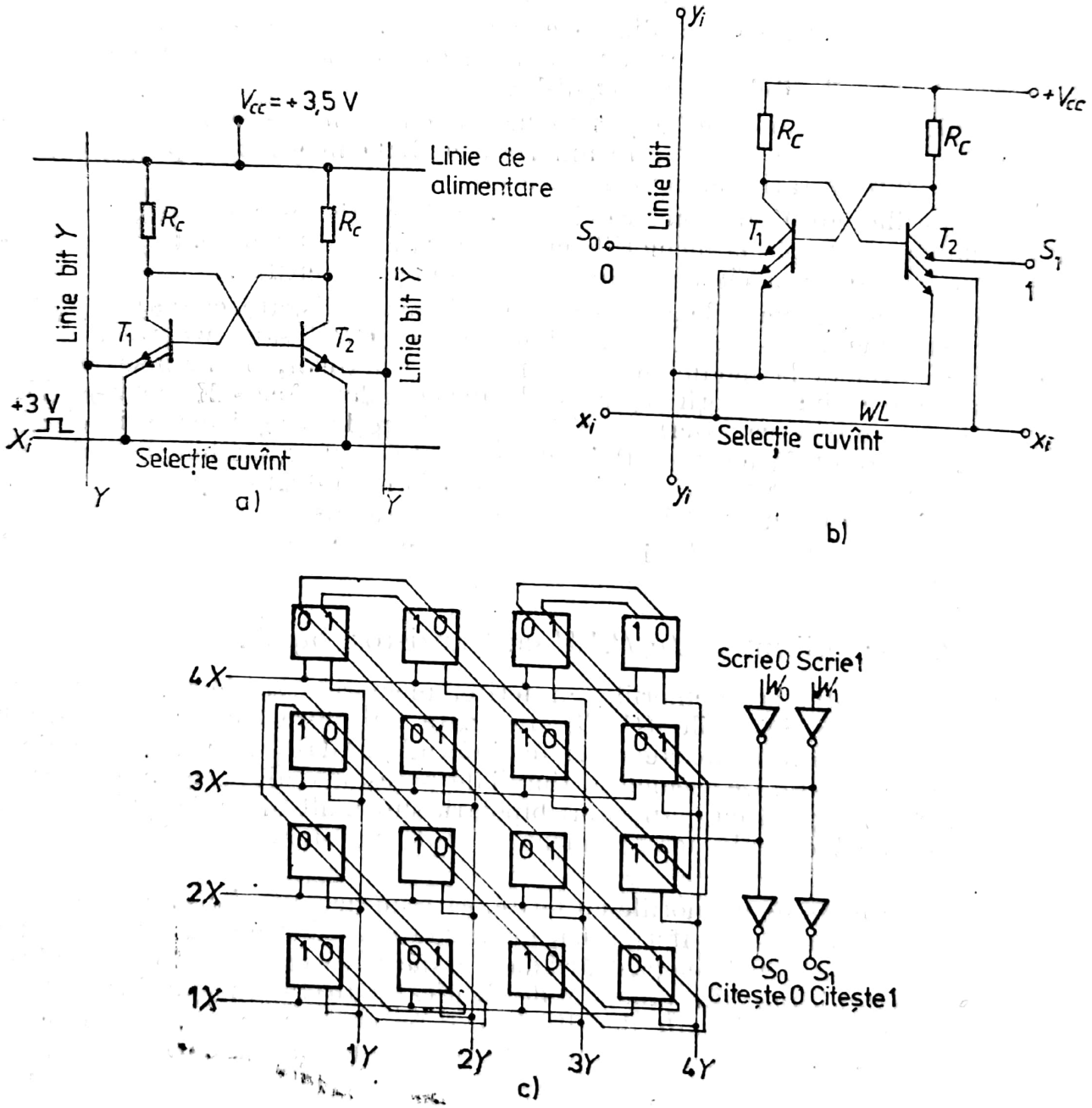


Fig. 4.30

este folosit pentru linia de selecție x_i și cîte unul pentru linia y_i. Cel de al treilea emitor al tranzistorilor este legat la liniile de scriere-citire S_0 și S_1 fiind folosit pentru introducerea sau sesizarea biților de informație din CBB.

Ca și în memoriile cu ferite informația (datele) se scrie (și se citește) la „intersecția" coloanei și liniei care conțin bistabilul considerat. La înregistrare, liniile x și y corespunzătoare sînt activate, adică sînt aduse la nivel logic 1. CBB aflat la intersecție se află sub controlul liniilor de citire-scriere și este adus în starea cerută prin aplicarea, la terminalele S_0 sau S_1 a unui semnal logic, fie pentru a scrie „1", fie pentru a scrie „0" forțînd blocarea sau aducerea în conducție (la saturație) a tranzistorului T_1 sau T_2 (corespunzător bitului de memorat). Apoi liniile x și y sînt readuse la 0 logic (se aplică nivel scăzut), iar CBB rămîne în această stare avînd informația înmagazinată.

La citire CBB (de la intersecție) este din nou activat prin aducerea liniilor x și y corespunzătoare la nivel 1 logic prin aplicarea unui nivel înalt de tensiune. Atunci curentul care trece prin tranzistorul în stare de conducție este deviat de la liniile de adresare către liniile de citire-scriere respective și curge către ieșirea de citire corespunzătoare ; starea bistabilului este determinată de ieșirea care devine 0 sau 1. Citirea nu este distructivă (celula păstrînd informația stocată) dar spre deosebire de memoriile cu ferite, memoriile cu bistabili necesită un consum continuu de energie în vederea păstrării informației, deci memoria este volatilă.

În cazul celulelor de memorie folosind CBB cu tranzistori cu doi emitori, adresarea celulei, în vederea înscrierii sau citirii informației, se face prin punerea la masă a terminalului „selectare cuvînt" la care sînt legați cîte un singur emitor de la cei doi tranzistori (fig. 4.30, *a*). În acest caz, crește curentul prin tranzistorul aflat în conducție și se modifică intensitatea curentului la terminalele de date, normal, Y sau complementar $\bar{Y}$ (fig. 4.30, *a*) [15, 16].

În figura 4.31 este redată configurația terminalelor (capsulă TO-116) pentru o celulă de memorie, din memoria integrată de 16 biți (16 celule) CDB 481 E (producție I.P.R.S.-Băneasa). Aceasta este o memorie cu adresare directă și citire nedestructivă avînd timp de citire (de acces) de 20 ns [10, 11].

Adresarea directă se poate folosi la memoriile de capacitate mică (16—32 biți) prin așa-numita selecție liniară prin care toate celulele unui cuvînt sînt adresate de aceeași linie (de exemplu linia de adrese X), sau selecție matricială directă prin care celula interogată este selectată la intersecția liniei și coloanei care o conține. În cazul unor memorii RAM de mare capacitate (peste 1 kilobit) este dificil să se scoată la pinii exteriori ai capsulei circuitului integrat totalitatea conexiunilor de la liniile și coloanele, respectiv de la toate celulele („locațiile") de memorie deoarece tehnologic n-ar fi convenabil (ar necesita un număr foarte mare de pini). Pentru eliminarea acestui dezavantaj se apelează la tehnici de adresare prin intermediul decodificatoarelor, care după cum s-a arătat în paragraful 3.7, cu ajutorul a n linii pot decodifica 2^n locații de memorie (fig. 4.32, *a*, *b*). Astfel, folosind

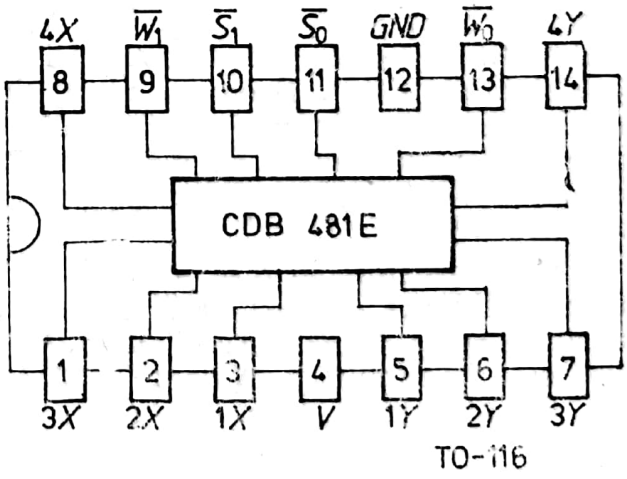


Fig. 4.31

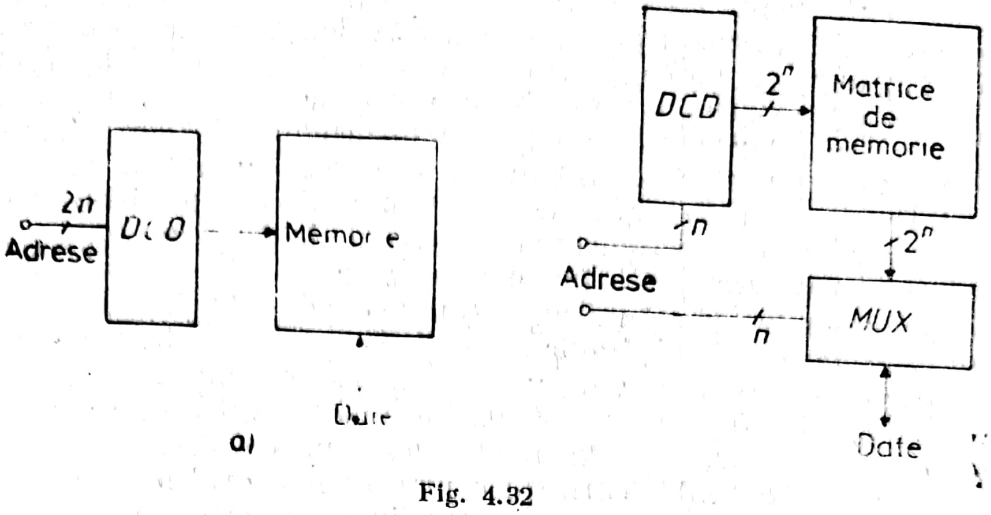


Fig. 4.32

de exemplu 16 linii se pot selecta 65 536 locaţii de memorie, deci o memorie de 64 kbiţi.

În multe cazuri, pentru a nu mări prea mult decodificatorul de adrese, se apelează la un decodificator de linii şi respectiv un multiplexor (selector) de coloane, ca în figura 4.32, *b*. Fiecare ieşire a decodificatorului selectează cîte o linie de m celule de memorie (selecţie liniară), iar multiplexorul alege una din cele m căi pentru a fi transferată la ieşire, astfel încît numărul circuitelor de selecţie se reduce apreciabil [1, 8].

4.6.3. Memorii integrate *RAM* în tehnologia *MOS*

În ultimii ani memoriile integrate realizate cu tranzistori *MOS* au căpătat o foarte mare răspîndire datorită faptului că sînt mai ieftine, tehnologic mai uşor de realizat, ocupă un volum de circa 5—6 ori mai mic decît al memoriilor cu tranzistori bipolari etc. Viteza lor de lucru şi timp de acces sînt întrucîtva mai slabi (100—300 ns) decît în cazul memoriilor cu tranzistori bipolari, în schimb consumul lor este cu mult mai mic. Celulele de memorie cu tranzistori *MOS* se organizează de asemenea matricial (ca în figura 4.30, *c*), iar înscrierea şi citirea biţilor se face la „intersecţie" ca la orice matrice de memorie utilizînd în acest scop decodificatoare şi multiplexoare încorporate.

Memoriile *MOS* pot fi de tip **static** sau de tip **dinamic**. În figura 4.33, *a* este redată schema unei celule de memorie statică realizată cu tranzistori *MOS*. Tranzistorii T_1 şi T_2 sînt tranzistori de activare (de citire-scriere) a bistabilului format din T_3 şi T_4, iar tranzistorii T_5 şi T_6 sînt „tranzistori" de sarcină („rezistenţe" *MOS*). Deoarece unul din tranzistorii bistabilului (T_3 sau T_4) se află mereu în conducţie, consumul de energie este important atingînd cam 500 mW pentru o memorie de 1kbit. Consumul se reduce apreciabil (pînă la circa 1 mW/1 kbit) dacă se utilizează tranzistori *MOS* complementari (tehnologia *CMOS*).

Cu tranzistori *MOS* se pot realiza şi memorii dinamice care folosesc efectul de înmagazinare şi păstrare a informaţiei în condensatorul *MOS* format din poarta şi sursa tranzistorului *MOS*. O asemenea celulă de memorie dinamică *MOS* este reprezentată în figura 4.33, *b*. Se presupune că informaţia este înregistrată sub forma sarcinii care încarcă condensatorul C_1, deci poarta lui T_1 va fi activată. Pentru citirea informaţiei se aplică semnal înalt (1 logic) pe linia X; în acest caz T_3 şi T_4 vor fi puşi în conducţie (semnal pe poartă).

Cum T_1 este în conducție, linia bit asociată lui T_1, împreună cu T_3 sînt parcurse de un curent important, sesizat de circuitul de citire. Pentru înscriere datele (informația) sînt transmise liniilor bit Y în timp ce linia X este la nivel logic 1. În acest timp curentul prin T_3 și T_4 forțează bistabilul să treacă în starea dorită.

În figura 4.33, *c* se arată o celulă dinamică realizată numai cu trei tranzistori *MOS*. Informația este stocată în condensatorul C_s asociat porții tranzistorului T_2. Informația (datele) este înscrisă în C_s prin poarta de transmisie formată de T_1. Informația de înscris se aplică la linia Y, iar linia X de în-

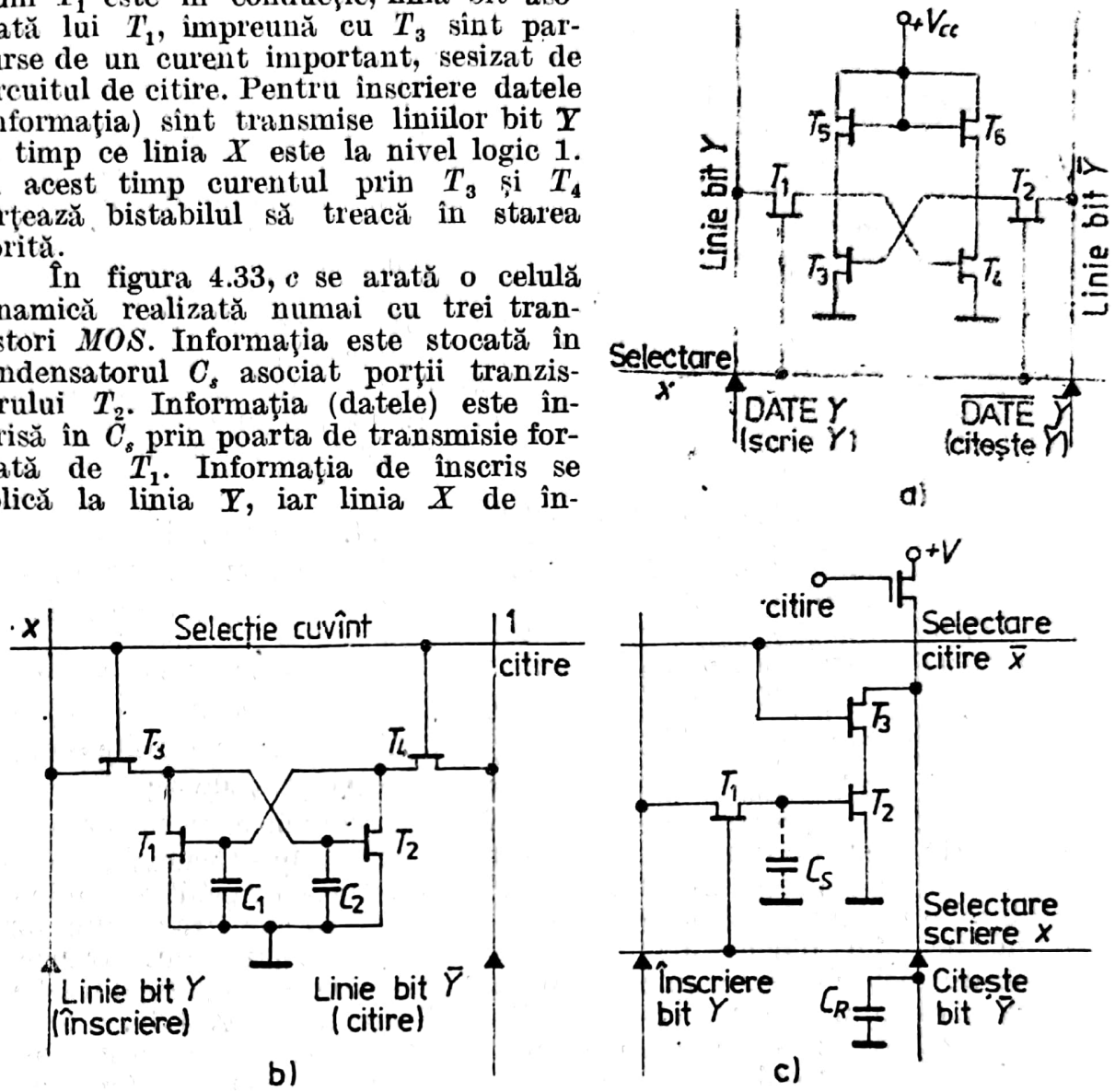


Fig. 4.33

scriere este activată (se aplică 1). Pentru a citi informația din celulă, se activează linia de bit $\bar{Y}$ și respectiv linia de citire $\bar{X}$, astfel că tranzistorul T_3 din circuitul inversor, format din tranzistorii T_2 și T_3, este pus în conducție. T_2 se va deschide dacă în C_s este stocată o sarcină, deci dacă poarta acestuia este activată. Astfel prin linia de bit $\bar{Y}$ apare semnal 0 (se descarcă la zero) numai dacă în C_s era bitul 1; în caz contrar, linia $\bar{Y}$ rămîne la potențialul înalt. Se vede că linia de citire $\bar{Y}$ furnizează complementul logic al informației din celulă.

Deși citirea este nedestructivă, totuși datorită scurgerii de sarcină din C_s (prin joncțiunea asociată din T_1) este posibil ca sarcina stocată în C_s să se micșoreze și informația să fie alterată sau chiar distrusă. De aceea, se impune ca informația conținută în C_s să fie regenerată periodic. Aceasta se face prin citirea periodică a conținutului celulei și transferul acesteia — prin intermediul liniei de citire $\bar{Y}$ la un amplificator la care se aplică după ce a fost inversată, deci complementată. Din amplificator, informația este aplicată din nou la

Scanned with OKEN Scanner

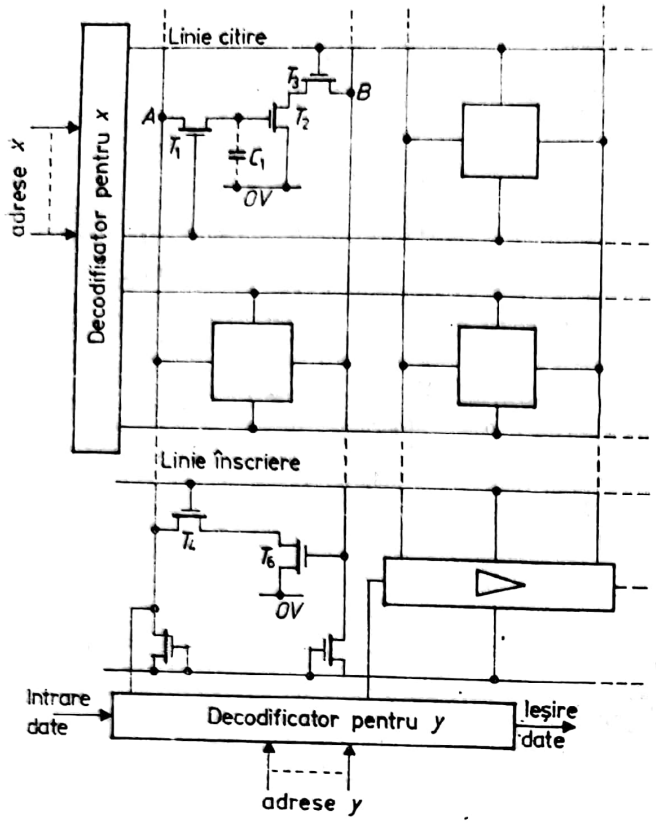


Fig. 4.34

linia Y de scriere prin activarea simultană şi a liniei X (v. şi fig. 4.34) Circuitul de amplificare care efectuează aceste operaţii se numeşte amplificator de reîmprospătare. Pentru fiecare coloană din matricea cu celule de memorie dinamică *MOS* există un amplificator de citire-reîmprospătare a informaţiilor (fig. 4.34).

În figura 4.34 se arată schema unei matrici de memorie dinamică *MOS* (cu cîte trei tranzistori în celulă), cu cîte un amplificator de reîmprospătare pe fiecare coloană.

4.6.4. Circuite logice combinaţionale cu funcţii de memorie permanentă

4.6.4.1. Memorii permanente (ROM) şi semipermanente (programabile). Pe lîngă memoriile semiconductoare volatile de tip *RAM* (sau *RWM*), se realizează memorii integrate de tip „citeşte numai" sau *ROM* (Read Only Memory), care nu sînt volatile, ele păstrînd informaţia stocată odată pentru totdeauna „introdusă" în timpul fabricării. Aceste memorii se realizează sub forma unor matrici din diode (mai rar), tranzistori bipolari sau tranzistori *MOS* la care unele elemente din celule nu sînt conectate, sau lipsesc din schemă, acest lucru exprimînd starea („sau bitul") „1" sau „0" (fig. 4.35, *a*, *b*).

În cazul tranzistorilor bipolari acest lucru se realizează prin absenţa legăturii dintre emitorul tranzistorului şi rezistenţa de sarcină (fig. 4.35, *a*),

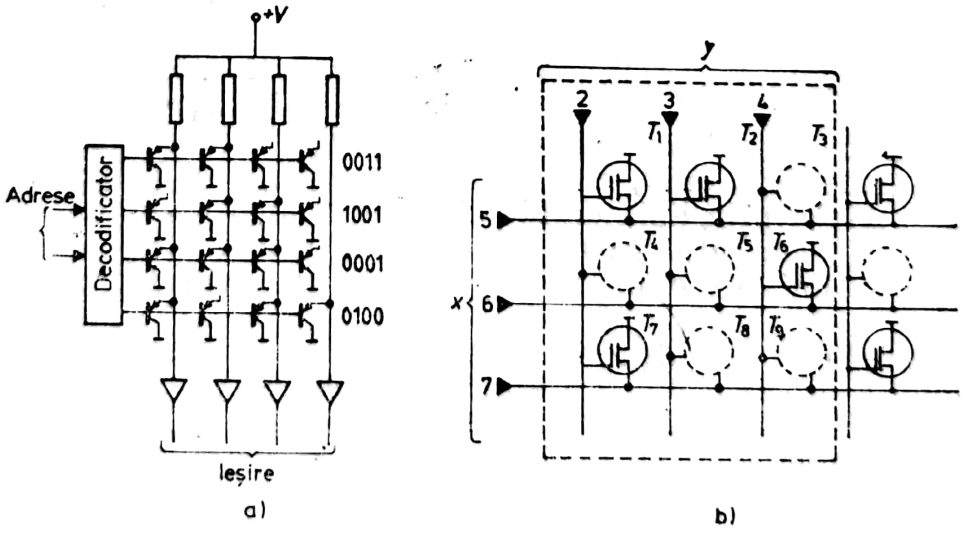


Fig. 4.35

Scanned with OKEN Scanner

iar în cazul utilizării tranzistorilor *MOS*, stările de zero sînt definite prin prezența unor falși tranzistori *MOS* (fig. 4.35, *b*) care sînt tranzistori *MOS* cu strat gros de oxid sau cu electrodul porții mai scurt, deci care nu se vor deschide sub acțiunea semnalelor externe. Acest lucru se poate realiza prin așa-numita „programare prin mască" adică prin modificarea măștii de oxid sau a măștii de metalizare (pentru porți) în tehnologia *MOS*, rezultînd tranzistorii falși corespunzători (fig. 4.35, *b*). Asemenea memorii sînt folosite pentru generarea de caractere alfa-numerice la tuburile catodice de afișare în tehnica de calcul, în conversia de cod, în înregistrarea unor rutine pentru programele ciclice de calcul a unor funcții sau constante matematice în calculatoare etc. Ele pot fi deci utilizate de mai multe ori fiind adresabile, ca orice matrice de memorie, prin circuite decodificatoare.

Pentru a lărgi gama de aplicare a memoriilor de tip *ROM* au fost realizate memorii programabile chiar de utilizator conform scopului urmărit; aceste memorii se numesc *PROM* (*P*rogramable *R*ead *O*nly *M*emory) și reține informația introdusă pe baza modificării unor legături electrice direct pe cip. În tehnologia *PROM*-urilor bipolare toți tranzistorii din matrice sînt conectați prin unele conexiuni fuzibile ca în figura 4.36, *a*, *b*, deci peste tot există starea 1 (sau zero). Programarea memoriei se face cu ajutorul unui automat special de programare (de „ardere" a memoriei), comandat prin calculator, care provoacă arderea unor fuzibile (conform programului) prin trecerea unui tren de impulsuri de curent (0,5—1 A) prin conexiunile respective. Evident că o asemenea matrice nu poate fi programată decît o singură dată de către utilizator.

Pentru a elimina dezavantajul *PROM*-urilor de a fi utilizate numai o singură dată, au fost concepute memorii permanente care pot fi reprogramate în urma unei ștergeri complete a vechiului conținut numite *EPROM* (*E*rasable *P*rogramable *R*ead *O*nly *M*emory) sau *REPROM* (*R*eprogramable *R*ead *O*nly *M*emory). Asemenea memorii sînt realizate cu matrici de tranzistori *MOS* (fig. 4.37, *c*), funcționînd pe principiul porții flotante, denumiți *FAMOS* (*F*loating *G*ate *A*valanche *I*njected *MOS*). Tranzistorii *FAMOS* din matricea

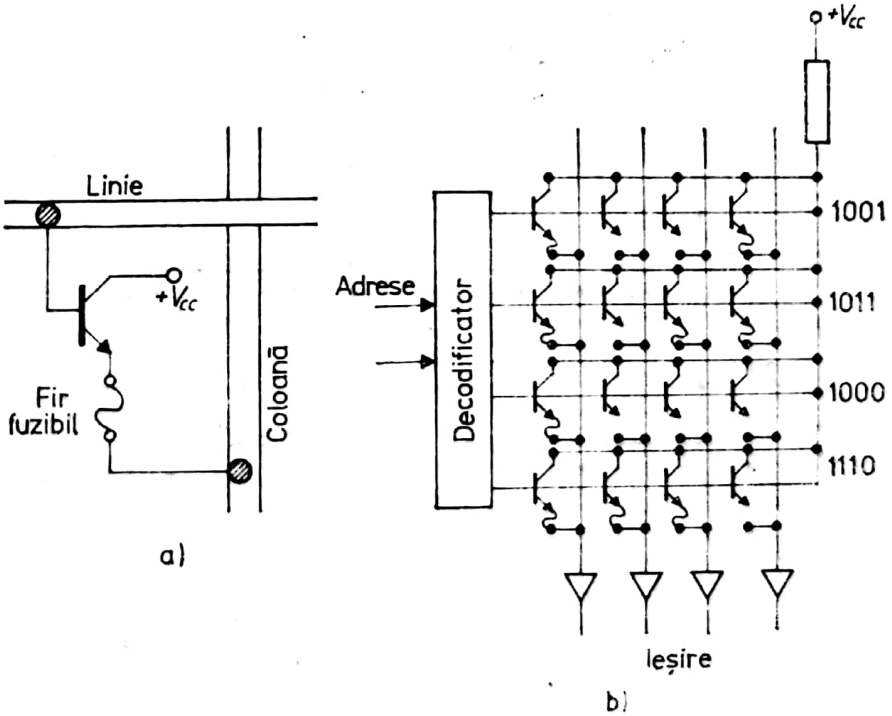


Fig. 4.36

EPROM nu au electrod de poartă extern, poarta fiind izolată într-un strat de SiO_2 (fig. 4.37, *a*, *b*). Pentru programarea unei celule se aplică între sursă și drenă o tensiune mare (de circa 30 V) care produce o străpungere (reversibilă) prin avalanșă a joncțiunilor p^+ sursă — *n* suport și *n* suport — p^+ drenă. Electronii fiind puternic accelerați pot străpunge stratul de oxid și o parte din aceștia vor forma o sarcină negativă pe poartă producînd astfel polarizarea normală a tranzistorului *p—MOS* considerat; ca urmare a prezenței sarcinii negative pe poartă, între sursă și drenă va apare un canal pe seama purtătorilor minoritari (tip p) extrași din adîncimea semiconductorului și tranzistorul lucrează în mod normal (fig. 4.37, *b*). Datorită bunei izolări cu SiO_2 a porții metalice (sau din siliciu policristalin) sarcina stocată pe ea se poate păstra o perioadă îndelungată (8—10 ani sau chiar mai mult).

În vederea reprogramării celulelor de memorie cu poartă flotantă, se supune matricea cu tranzistori *FAMOS* la iradierea cu radiații ultraviolete (deoarece poarta nu este electric accesibilă) care provoacă îndepărtarea sarcinii stocate (în corpore pentru întreaga matrice) și memoria este gata de a fi încărcată cu alte (noi) informații; în scopul ștergerii circuitul integrat *EPROM* este prevăzut cu o mică fereastră de cuarț pentru accesul radiațiilor ultraviolete.

În figura 4.37, *c* tranzistorii *FAMOS* sînt tranzistorii (de sarcină) care se leagă la liniile de ieșire (pe coloane), restul tranzistorilor (cu care sînt înseriați) fiind tranzistori *MOS* obișnuiți. Amănunte suplimentare referitoare la construcția internă și la caracteristicile memoriilor permanente se găsesc în lucrările [1, 7, 15—17].

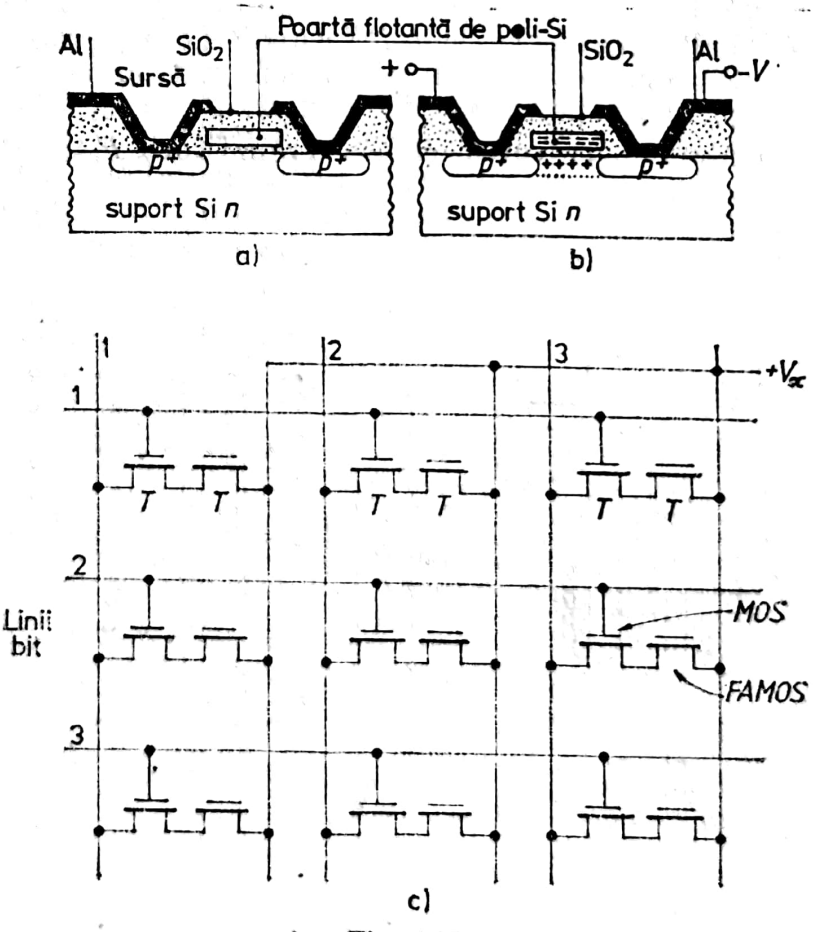


Fig. 4.37

Scanned with OKEN Scanner

Datorită tehnicilor *LSI* și mai recent *VLSI* (*Very Large Scale Integration*), memoriile semiconductoare au căpătat o largă răspîndire iar capacitățile de memorare au crescut mereu. Astfel au fost realizate memorii *RAM* rapide în tehnologia bipolară ca de exemplu circuitul SN7489 de 16 × 4 biți, precum și memorii *RAM* de mare capacitate în tehnologia *MOS* cum sînt memorile statice din seria INTEL (sau echivalent): I 2102 (1024×1 biți), I 2114 (1024×4 biți), I 2147 (4096×1 bit) etc. și memoriile *RAM MOS* dinamic din aceeași serie (sau echivalente): I 4116 (16k×1 bit), I 4164 (64k×1 bit) și altele. În ultimii ani în Japonia și S.U.A. au fost obținute memorii *RAM MOS* dinamic de 128k, 256k, 1M biți, 4M și chiar de 16M realizate în tehnologia *VLSI* (v. de exemplu Toshiba, Hitachi, NTT, Mitsubishi, IBM).

La memoriile de tip *ROM* (*PROM*, *EPROM*) capacitățile de memorare sînt mai mari decît în cazul *RAM* mai ales în tehnologia *MOS*. Deoarece nu sînt volatile și nu conțin circuite de înscriere a datelor, aceste memorii sînt mai simple și permit o densitate mare pe cip; au putut fi astfel realizate memorii *ROM* în tehnologia *MOS* de 16k, 64k și chiar 128k sau mai mari. Se pot menționa, spre exemplu, circuitele *EPROM* de tipul I 2716 (2k×8 biți), I 2732 (4k×8 biți), I 2764 (8k×8 biți) și I 27128 (16k×8 biți). Cu tranzistori bipolari au fost obținute memorii *ROM* de 4k, 16k, 32k și 64k cu timpi de acces sub 100 ns.

4.6.5. Structuri (matrici) logice programabile

Pe lîngă aplicațiile menționate la începutul acestui subparagraf, memoriile *ROM* (*EPROM*) sînt mult utilizate pentru memorarea instrucțiunilor în sisteme de calcul și automate secvențiale, în conversia de cod, în microprogramare pentru memorarea microinstrucțiunilor (în sistemele cu microprocesoare), precum și pentru implementarea *CLC* cu un număr mare de variabile de intrare și cu mai multe ieșiri [1, 8]. În acest din urmă caz trebuie observat faptul că datorită structurii interne a *ROM* fiecare linie de cuvînt reprezintă un termen al formei canonice, iar codificatorul permite însumarea acestor termeni în conformitate cu tabelul de adevăr, eliminîndu-se prin aceasta necesitatea procedurii de minimizare; pentru exemplificări concrete de implementare a *CLC* folosind *ROM*-uri se poate consulta lucrarea [1].

Există însă o serie de aplicații în care este necesară sinteza unor *CLC* cu un număr mare de variabile la intrare (9 pînă la 16) la viteze de funcționare ridicate; folosirea circuitelor de tip *ROM* în aceste aplicații devine improprie sau neeconomică, deci dezavantajoasă, datorită neutilizării integrale a capacității memoriei.

Fie, de exemplu, de implementat *CLC* definit de sistemul de funcții:

$$f_1 = a_0\bar{a}_1a_{14} + \bar{a}_2\bar{a}_{13}\bar{a}_{14}a_{15}; \qquad 4.6.1$$

$$f_2 = a_1a_2 + \bar{a}_1\bar{a}_{14} + a_0\bar{a}_{15}; \qquad 4.6.2$$

$$f_3 = a_0\bar{a}_1a_{14} + a_{14}\bar{a}_{15}; \qquad 4.6.3$$

$$f_4 = \bar{a}_1\bar{a}_{14} + a_{14}\bar{a}_{15}. \qquad 4.6.4$$

Evident, folosirea în acest scop a unui *ROM* cu 16 intrări (64536 locații de memorie) este neeconomică, iar dacă numărul de componente ale funcției este destul de mare, nici sinteza cu porți nu mai este adecvată.

Scanned with OKEN Scanner

Particularitatea problemei este că deşi numărul n de variabile de intrare este mare, numărul m de termeni efectiv necesari este mic ($m \ll 2^n$). Prin urmare ar fi utilă o structură logică la care să fie posibilă pe de o parte reunirea termenilor necesari printr-un nivel programabil de porţi SAU (ca la memoriile *ROM*), cît şi reunirea variabilelor necesare pentru fiecare termen, printr-un nivel programabil de porţi ŞI.

Spre exemplu, termenii necesari pentru funcţia prezentată anterior sînt :

$$a_0\bar{a}_1a_{14}, \quad \bar{a}_2\bar{a}_{13}\bar{a}_{14}a_{15}, \quad a_1a_2, \quad \bar{a}_1\bar{a}_{14}, \quad a_0\bar{a}_{15}, \quad a_{14}\bar{a}_{15},$$

deci numai şase termeni faţă de cei 65536 posibili pentru 16 variabile. Dacă s-ar dispune de un *ROM* ale cărui *DCD* intern să aibă 16 intrări, dar numai şase ieşiri, corespunzătoare acestor termeni (deci numai şase porţi cu maxim patru intrări), implementarea s-ar face foarte simplu, ca în figura 4.38, *a*.

Decodificatorul special din astfel de aplicaţii poate fi implementat într-o manieră asemănătoare cu nivelul de SAU-uri prin programarea unei matrice de porţi ŞI. În cazul exemplului anterior, structura simbolică pentru ambele niveluri este cea din figura 4.38, *b*.

S-a făcut distincţia dintre cele două niveluri programabile, notîndu-se simbolic cu • intrările în porţile ŞI ale primului nivel şi cu * intrările în porţile SAU ale celui de-al doilea.

O astfel de structură cuprinzînd o matrice programabilă de porţi ŞI şi o matrice programabilă de porţi SAU se numeşte **PLA (Programmable Logic Array — arie logică programabilă).** Ea se caracterizează printr-un număr n mare de variabile de intrare şi un număr m mic de termeni interni, cu $m \ll 2^n$.

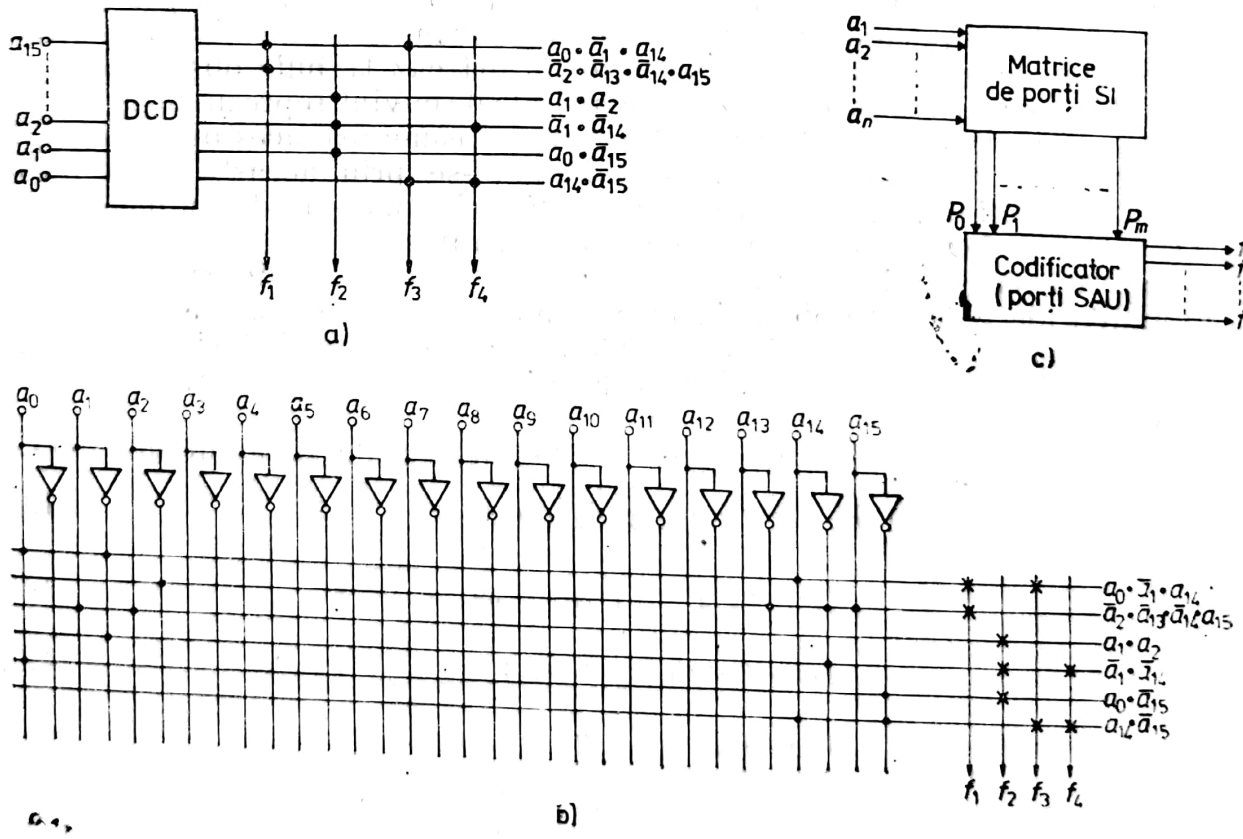


Fig. 4.38

Spre exemplu, circuitul 82S-100 este un *PLA* cu $n = 16$ intrări, $m = 48$ termeni interni și 1—8 ieșiri. Acest circuit, ca de altfel majoritatea celor folosite în aplicații este programabil de către utilizator, în acest caz purtînd denumirea de *FPLA* (*Field PLA*). Programarea se realizează ca și la *PROM* prin arderea unor fuzibile interne, spre deosebire de *PLA*, la care programarea se face în procesul de fabricație, prin mască ca la *ROM*-urile obișnuite.

FPLA ca de altfel și *ROM*-urile sînt, în esență, circuite logice de tip combinațional, dar au fost descrise în acest subcapitol pentru a realiza o tratare unitară a memoriilor semiconductoare integrate. Aceste „memorii" nu înmagazinează biți de informație (ca memoriile *RAM*), ci „memorizează" relațiile de legătură funcțională dintre variabilele de ieșire și cele de intrare ca la orice circuit logic combinațional [6].

Spre deosebire de *ROM*-uri care prezentau un decodificator la intrare și o structură programabilă la ieșire, *PLA* este un *CLC* cu două nivele de logică programabilă (fig. 4.38, *c*) : o matrice de porți ȘI la intrare care reprezintă un decodificator condiționat (programabil), cu dimensiuni reduse față de numărul mare de intrări ale circuitului și o matrice de porți SAU la ieșire cu rol de codificator [1, 8, 15]. Porțile ȘI ale matricei decodificatoare sînt realizate, de regulă, cu diode Schottky (ex. circuitul 82S-100) conectate în serie cu o peliculă fluxibilă de nichel-crom, iar porțile SAU din matricea codificatoare sînt constituite din tranzistori în conexiunea colector comun, avînd pelicula fuzibilă înseriată în circuitul de emitor. După cum s-a menționat, programarea *FPLA* se face prin arderea acestor pelicule fuzibile în acord cu programul cerut de utilizator.

4.7. Unități de comandă și control *(UCC)*

Progresele remarcabile realizate în tehnologia sistemelor microelectronice au permis dezvoltarea accelerată a sistemelor și aparaturii electronice, în special a celor numerice, cu numeroase aplicații în informatică, automatizări, tehnici de măsură și control, conducerea automată a proceselor industriale etc. Utilizarea în locul logicii cablate (hardware) a așa-numitei *logici programate* — care va fi analizată în capitolul următor — a ușurat foarte mult procedeele de proiectare și de realizare a sistemelor numerice complexe. Prin aceasta, în locul unor instalații electronice complexe și cu un volum foarte mare de echipament de tip hardware (blocuri logice combinaționale și secvențiale, magistrale, conexiuni etc.) se apelează la o structură generală extrem de răspîndită capabilă să facă față unei enorme categorii de probleme și extinzînd sfera de aplicații ale tehnicilor numerice spre numeroase zone în care pătrunderea acestora părea imposibilă. Această structură concepută în momentul de față în jurul a trei magistrale și cuprinzînd o unitate de calcul aritmetic și logic, memorii, registre și interfețe coordonate de o unitate de comandă și control, constituie ceea ce se numește în general un **sistem numeric cu microprocesor** (fig. 4.39). Blocurile constituente dintr-un asemenea sistem, care lucrează pe principiul logicii programate, sînt realizate, în general, cu circuite *LSI* (și eventual cu *MSI*), iar în cazul unor sisteme de mare anvergură, unele blocuri (de exemplu memoriile *RAM* sau *EPROM*) se realizează în tehnologia *VLSI*.

Funcționarea generală a unui sistem numeric cuprinde următoarele activități (fig. 4.39) :

— Colectarea datelor și comenzilor de la sisteme externe prin porturi de intrare și introducerea lor pe magistrale de date (DATA BUS) a sistemului ;

— Memorarea datelor în *RAM* ;

Scanned with OKEN Scanner

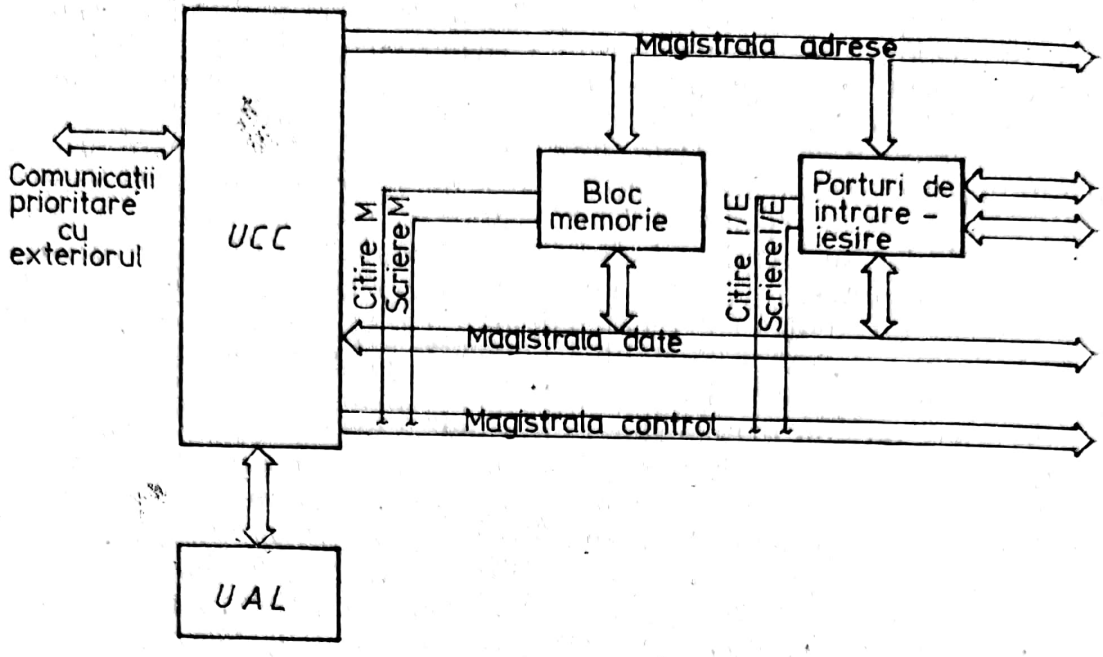


Fig. 4.39

— Extragerea datelor din *RAM* și prelucrarea lor în unitatea aritmetică și logică (*UAL*) a sistemului;

— Transmiterea datelor prelucrate către sisteme externe prin porturi de ieșire sau/și afișarea datelor pe terminale specializate.

Toate aceste operații se efectuează în general automat sub comanda și controlul unui bloc specializat din sistem care asigură desfășurarea secvențială corectă, în conformitate cu un algoritm prestabilit, a evenimentelor în sistem. Un astfel de automat cu stări finite îl vom numi în continuare **unitate de comandă și control** (*UCC*). După cum se observă în figura 4.39, el acționează asupra tuturor magistralelor din sistem, gestionînd traficul informațional și transînd, conform unui protocol specific (program), accesul la magistrale a diverșilor abonați.

Evoluția întregului sistem fiind coordonată și comandată secvențial de către *UCC*, rezultă că aceasta va fi un *SLS* caracterizat, cum se știe, de cvintuplul (X, Y, Q, f, g) conform definițiilor din § 4.1 (v. relațiile 4.1.1—4.1.6). Vom adopta în continuare pentru structura *UCC* modelul automatului cu stări finite din figura 4.1, *a*, *b*. În această reprezentare vectorul de intrare este furnizat *UCC*, conform figurii 4.39 de magistrala de date, de unitatea aritmetică și logică, precum și de un număr de canale prioritare de comunicație cu exteriorul. Vectorul de ieșire (răspunsul *UCC*) este furnizat pe aceleași căi plus magistrala de adrese și de control.

Prin urmare funcționarea automatului se desfășoară secvențial în două etape (cicluri alternative):

a) Etapa de informare a *UCC* de către sistemele externe și/sau de blocurile interne asupra pasului următor care trebuie efectuat; acesta constituie **ciclul de extragere** a datelor;

b) **Etapa (ciclul) de execuție** a pasului respectiv.

Explicitarea operațiunilor din fiecare din aceste etape se va face în capitolul următor (sisteme cu microprocesoare).

Importanța deosebită pe care o prezintă *UCC* în sistemele numerice a impulsionat căutarea unor metode generale și eficiente de proiectare a acestei

Scanned with OKEN Scanner

categorii de automate finite ; dintre acestea cele mai bune rezultate s-au obținut prin folosirea, în acest scop, a metodei mașinii algoritmice de stare, care va fi descrisă în paragrafele următoare.

4.8. Proiectarea *UCC* ca automate cu stări finite prin metoda mașinii algoritmice de stare-*ASM* (*A*lgorithmic *S*tate *M*achine)

4.8.1. Considerații generale

Mulțimea Q a stărilor *UCC* cuprinde, conform algoritmului de lucru, un număr N de stări (de pași) care pot fi codificate cu un număr de n biți astfel încît $2^{n-1} < N < 2^n$. Sînt necesari deci un număr de n bistabili (*CBB*) pentru memorarea celor n biți ai stărilor codificate.

Evoluția automatului în spațiul stărilor se poate descrie prin tabele de tranziții, grafuri, forme de undă sau prin organigrame. La codificarea stărilor trebuie ținut seama de eliminarea în cît mai mare măsură a posibilităților de hazard combinațional. Pentru aceasta codurile stărilor succesive trebuie să difere pe cît posibil printr-un singur bit, lucru care se poate obține așezînd stările respective în poziții adiacente pe o diagramă Karnaugh.

Adoptînd *modelul Moore* (fig. 4.1, *b*) pentru sistemul logic secvențial corespunzător unității de comandă și control, registrul de stări poate fi reprezentat printr-un bloc de memorie (temporară) realizat de regulă cu *CBB* de tip $JK-MS$ sau D (fig. 4.40, *a*).

Prin conexiunea de reacție se stabilește o stare în sistem care va determina următoarea stare a sistemului, evoluție care este caracterizată prin funcția de excitație secundară g. Sinteza vectorului de ieșire (comenzile furnizate exteriorului de către *UCC*) se poate face cu un *CLC*, în cazul de față de un decodificator care transmite ieșirile decodificate ale bistabilelor (din registrul de stări) spre porturile de intrare/ieșire, sisteme de afișare etc. Bucla de reacție poate fi conectată după blocul de memorie (modelul Mealy) sau după *CLC* de ieșire (decodificator) așa cum se vede în figura 4.40, *a* (modelul Moore).

În figura 4.40, *b*, *c* se arată schema explicită de realizare a *UCC* din figura 4.40, *a*, în care blocul de memorie este realizat cu bistabili de tipul D și respectiv de tip $JK-MS$. Bucla de reacție se realizează legîndu-se ambele ieșiri de la fiecare bistabil, la intrarea primului *CLC* (fig. 4.40, *b*, *c*).

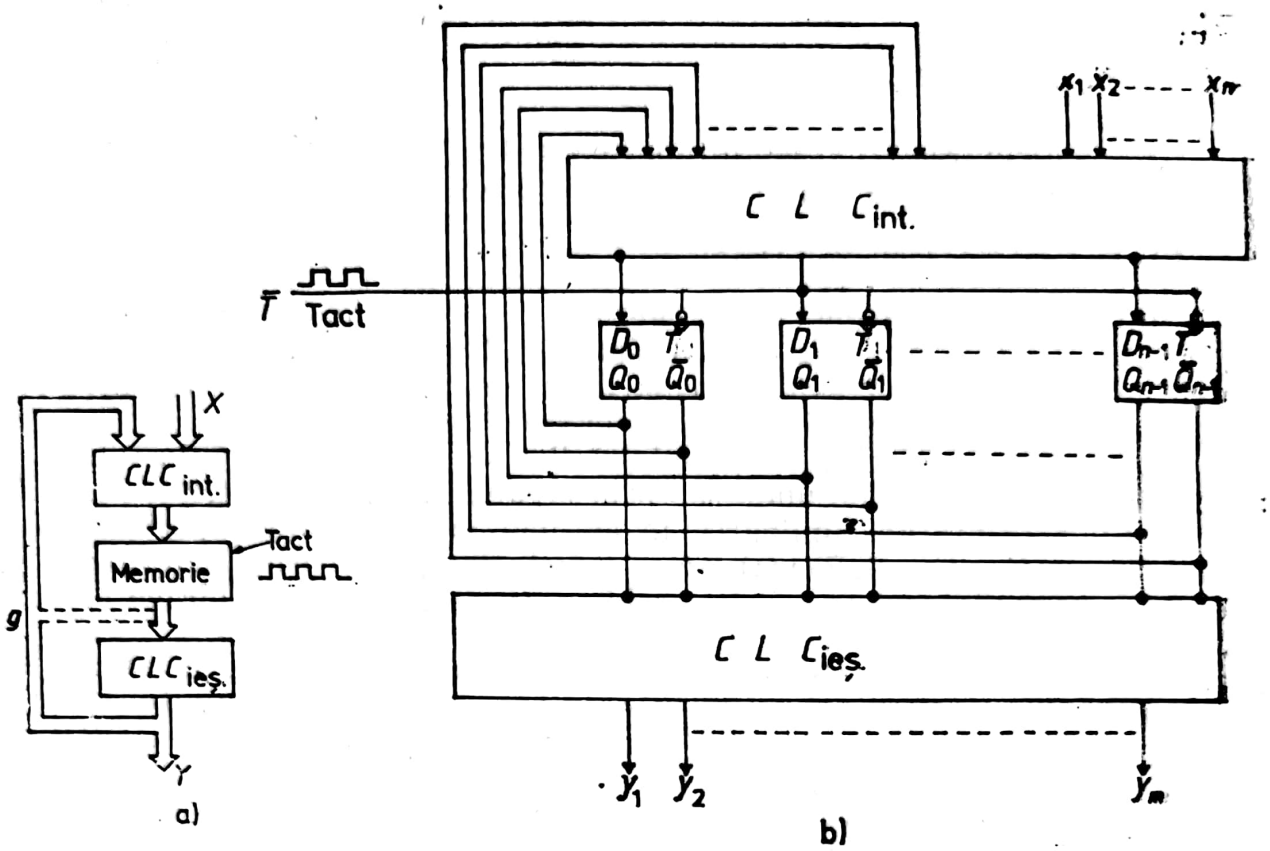
După cum se constată din analiza de mai sus, proiectarea automatului finit (*UCC*) se reduce astfel la proiectarea celor două circuite logice combinaționale $CLC_{intrare}$ și respectiv $CLC_{ieșire}$; blocul de memorie se realizează simplu cu circuite basculante bistabile luate în numărul necesar, conform numărului de biți astfel încît

$$a^{n-1} < N < 2^n. \qquad 4.8.1$$

$CLC_{ieșire}$ se poate proiecta imediat deoarece avem la dispoziție tabelul de adevăr care dă funcția de ieșire (funcția de excitație primară sau funcția de transfer).

Sinteza CLC_{int} și determinarea funcției de excitație secundară g care dă evoluția în spațiul stărilor reprezintă o problemă mai dificilă deoarece nu se dispune de tabelul de adevăr al acesteia în momentul inițial al proiectării. Acest tabel poate fi stabilit în funcție de tipul de bistabili ales ($J-K$ sau D) și de codificarea stărilor mașinii algoritmice (sistemului). Pentru aceasta se pleacă de la tabelul de adevăr al bistabilului respectiv și pentru fiecare stare în parte se determină nivelele logice de la intrări pentru a se ajunge la starea

Scanned with OKEN Scanner



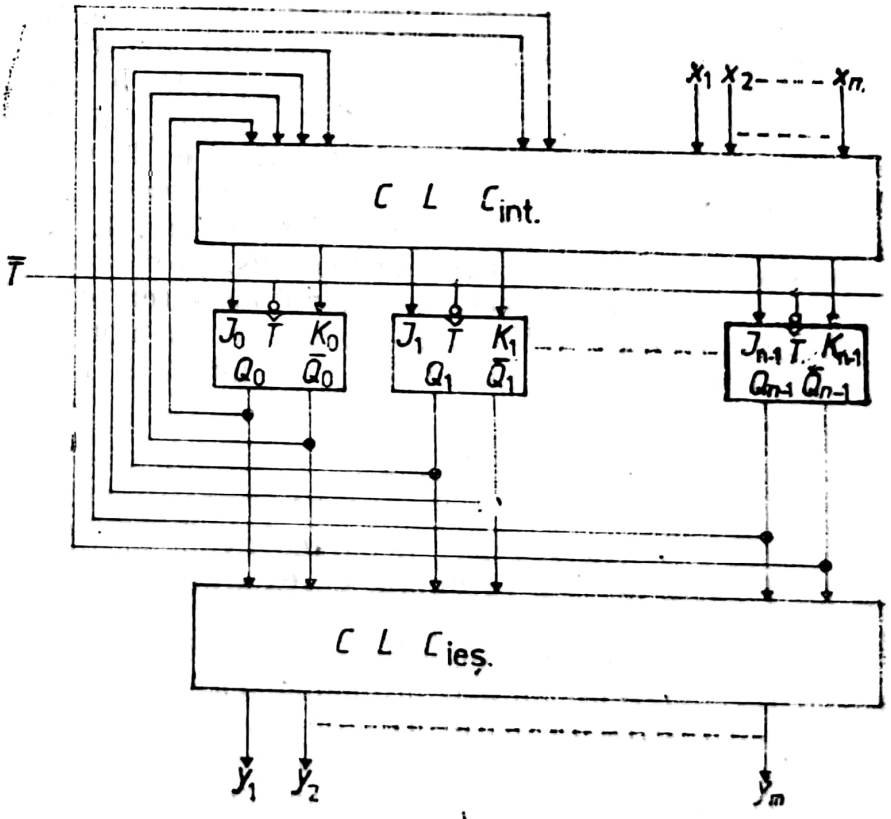


Fig. 4.40

Scanned with OKEN Scanner

următoare. Succesiunea stărilor poate fi descrisă — după cum s-a menţionat — în modul cel mai clar prin *organigrame*, cum este cea pentru exemplul considerat în figura 4.41. Astfel după cum se vede din figura 4.41, sistemul din starea Q_i caracterizată prin codul 0110 dă ieşirea Y_i şi trece în starea Q_j, unde livrează la ieşire variabila Y_j. Din această stare tranziţia sistemului apare a se face condiţionat în funcţie de valorile unei variabile x_j de intrare (tranziţie condiţionată). În acest caz, în funcţie de o decizie de selectare, sistemul poate merge în două direcţii conform unor decizii logice, trecînd fie în starea Q_k care livrează Y_k (pentru $x_j = 1$), fie în starea Q_L şi livrează ieşirea Y_L (pentru $x_j = 0$, sau $\bar{x}_j$) ş.a.m.d. (fig. 4.41). Ca şi stările sistemului şi ieşirile $Y_1, Y_2 \ldots Y_k$ pot fi codificate în binar, sinteza $CLC_{ieş}$ fiind făcută conform tabelului de adevăr corespunzător.

Sînt posibile şi bucle de reacţie, de întoarcere la starea iniţială (din starea Q_L în starea Q_i, fig. 4.41) sau la o stare intermediară (din Q_k în Q_j). De asemenea, spaţiul stărilor poate să coincidă cu spaţiul variabilelor de ieşire (cum este cazul numărătoarelor electronice în binar, v. mai departe); în cazul în care spaţiul stărilor nu este identic cu spaţiul variabilelor de ieşire (nu au aceleaşi valori codificate) este necesar să se construiască un CLC de ieşire separat.

4.8.2. Proiectarea automatelor cu stări finite şi implementarea cu ajutorul bistabililor de tip *D*

Tabelul de adevăr (de stări) al bistabilului *D* este dat de tabelul 4.9, *a* şi echivalentul său tabelul 4.9, *b*. Din ambele tabele se vede că indiferent de starea Q_t din care se pleacă, intrarea *D* este reprodusă la ieşirea Q_{t+1}. Ca urmare, pentru a se ajunge în starea 0 sau 1, intrarea *D* trebuie să ia valoarea stării la care trebuie să se ajungă, adică 0 sau 1. Astfel sînt posibile situaţiile din figura 4.42 : dacă starea finală va fi 0, atunci

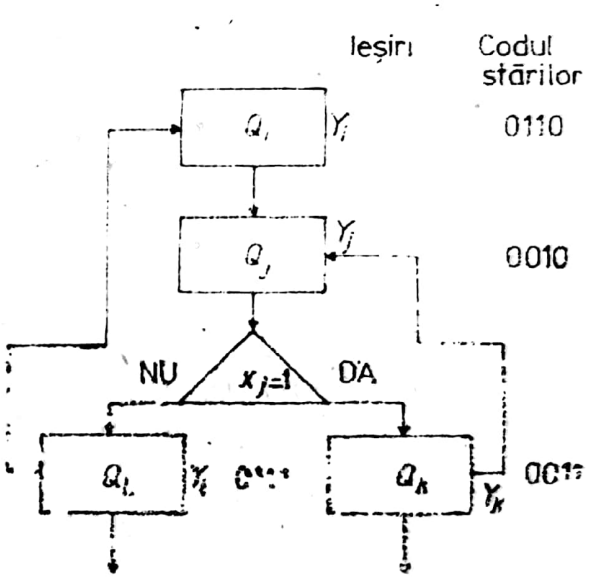


Fig. 4.41

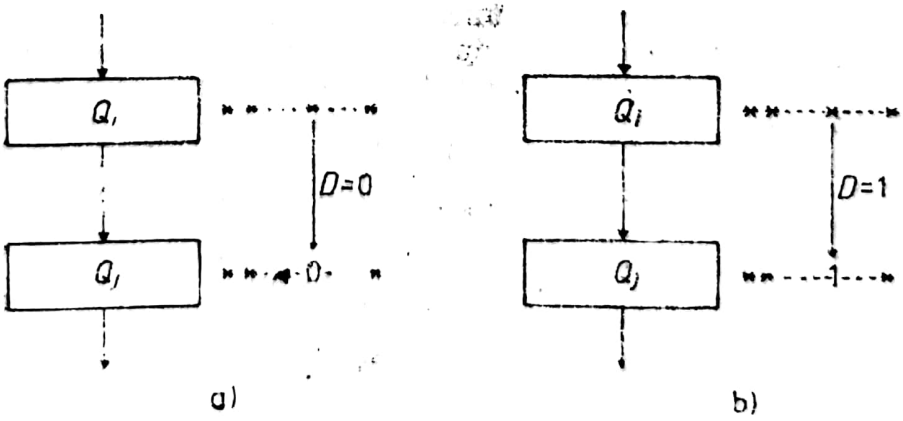


Fig. 4.42

Tabelul 4.9

a)

D	Q_t	Q_{t+1}
0	0	0
0	1	0
1	0	1
1	1	1

b)

D	Q_t	Q_{t+1}
0	*	0
1	*	1

indiferent de starea inițială, se va lua $D = 0$ (fig. 4.42, *a*), dacă starea finală va fi 1, se va lua $D = 1$ (fig. 4.42, *b*).

În cazul în care din starea Q_i se poate ajunge în una din stările diferite Q_j sau Q_k (funcție de valoarea unei variabile de intrare x_i (tranziție condiționată) (fig. 4.43), intrarea D va lua valoarea acestei variabile, negată sau nu, după cum condiția DA corespunde tranziției în 1 (și respectiv NU corespunde tranziției în 0), sau invers, condiția DA corespunde trecerii în 0 și condiția NU trecerii în 1 (în această din urmă dublă situație se va lua $\bar{x}_i$, v. exemplu mai departe).

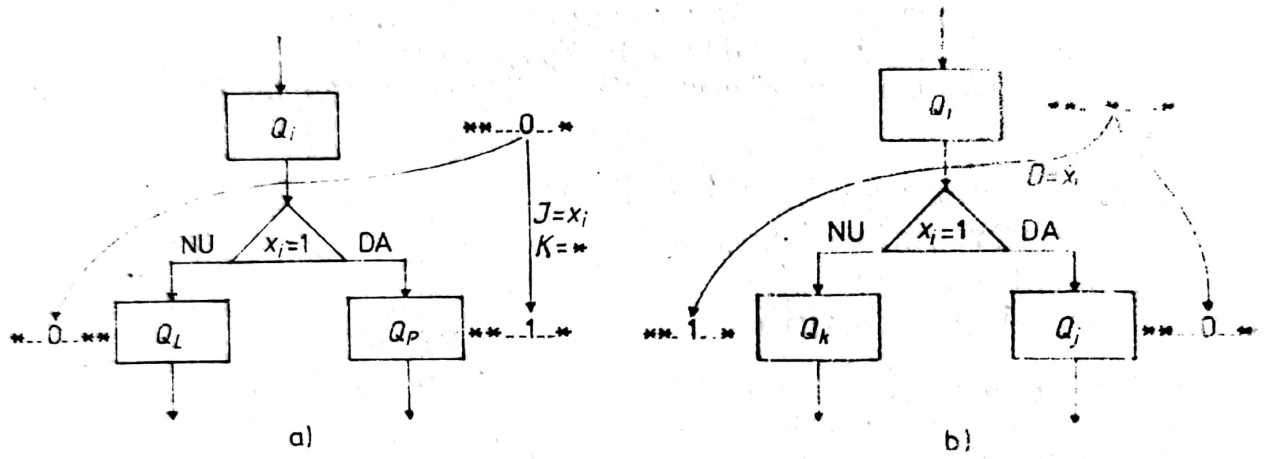


Fig. 4.43

Dacă din starea Q_i se poate ajunge în stările Q_j sau Q_k în funcție de valoarea unei variabile x_i, dar starea bistabilului respectiv (cel final) este identică în cele două situații de condiție (pentru DA și, respectiv, NU), intrarea D a acestuia nu va depinde de variabila x_i, ci va lua valorile corespunzătoare stărilor finale (fig. 4.44).

Urmărind organigrama și codificarea stărilor pe aceasta se va alcătui pentru fiecare bistabil cîte o diagramă Karnaugh în care, în zona alocată fiecărei stări se va trece valoarea respectivă a lui D (0, 1, x_i sau $\bar{x}_i$) corespunzătoare plecării din starea respectivă în starea următoare. Dacă o zonă pe diagrama $V-K$ nu corespunde vreunei stări, ea se va nota cu * (indiferent).

Pentru a ilustra implementarea unei mașini algoritmice cu bistabili D se consideră schema logică sub formă de organigramă din figura 4.45, *a*.

Avem în total cinci stări ($N = 5$) deci codificarea se poate face cu trei biți (Q_0, Q_1 și Q_2) fiind necesar un număr de trei bistabili (v. relația 4.8.1). Plasarea stărilor se face pe o diagramă $V-K$ urmărind pe cît este posibil adiacența stărilor consecutive. Rezultă diagrama V—K din figura 4.46, *a* (v. și fig. 4.45, *b*). Pe diagramă s-au însemnat cu * stările care nu apar în evoluția sistemului. Se constată că S_3 este adiacent cu S_4 dar nu și cu S_2, adică nu este posibil să se asigure în întregime adiacența tuturor stărilor succesive.

Se vede că atunci cînd automatul parcurge ciclul : $S_0 \rightarrow S_1 \rightarrow S_2 \rightarrow S_3 \rightarrow \rightarrow S_4 \rightarrow S_0$, stările celor trei bistabili (necesari pentru memorarea celor trei biți) vor evolua astfel (v. fig. 4.45, *a*) : 000 → 010 → 011 → 101 → 001 → 000.

Scanned with OKEN Scanner

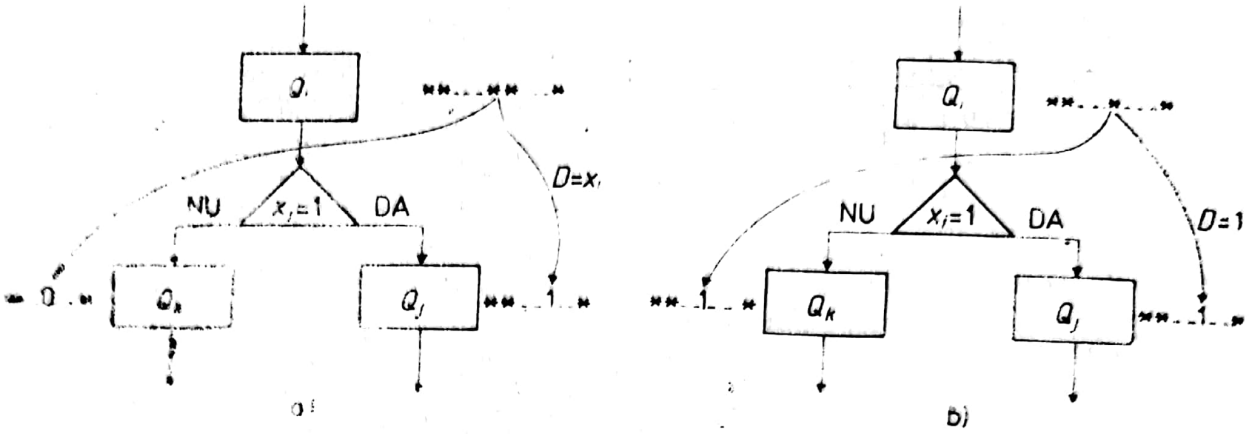


Fig. 4.44

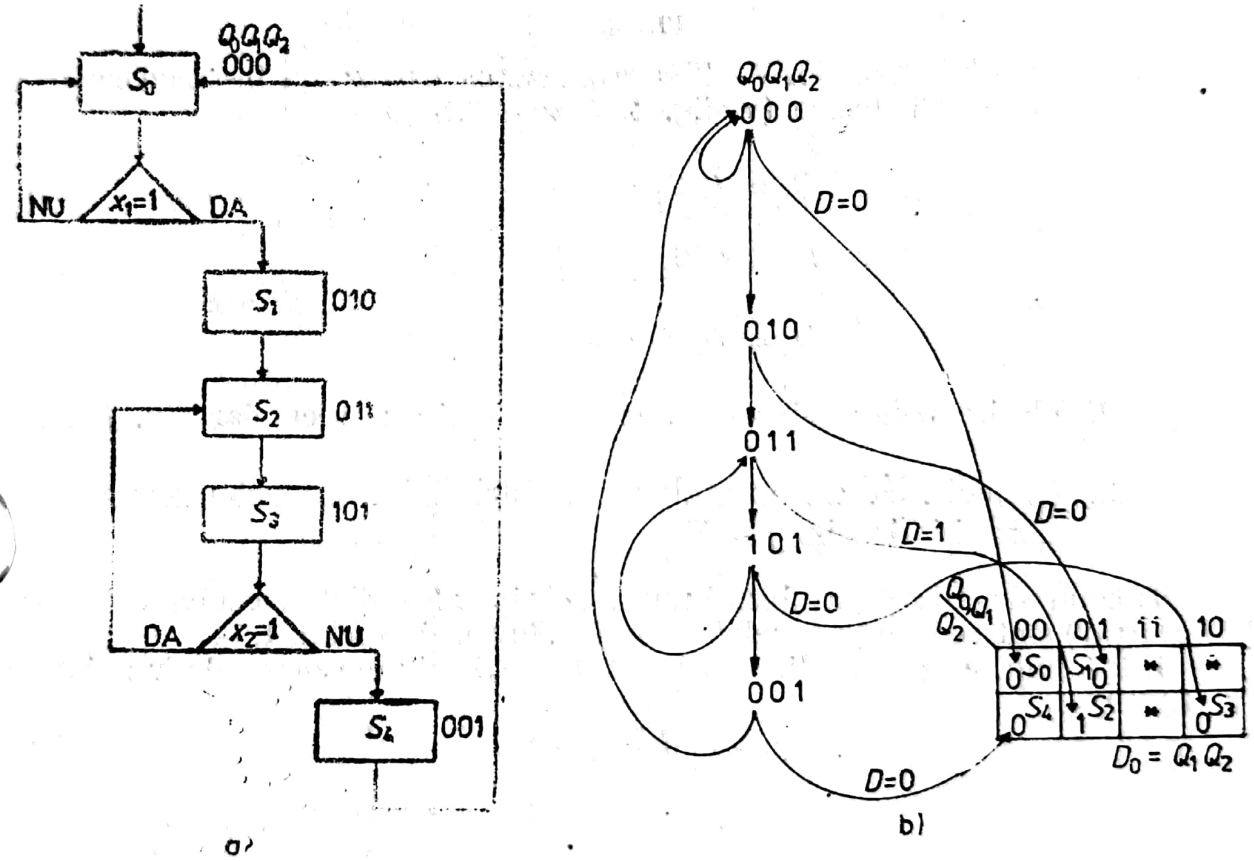


Fig. 4.45

Pentru sinteza funcției de excitație secundară se va alcătui, după cum s-a menționat mai sus, cîte o diagramă Karnaugh pentru fiecare bistabil, în care, în zona alocată fiecărei stări se va trece valoarea corespunzătoare a lui D (0, 1, x_i sau $\bar{x}_i$). Pentru primul bistabil, notat cu D_0, corespunzător variabilelor Q_0 din fiecare stare ($Q_0 = MSB$), diagrama V—K este alcătuită ca în figura 4.45, *b*. Pentru bistabilii D_1 și D_2 (corespunzători biților Q_1 și respectiv Q_2 din fiecare stare), diagramele V—K sînt date în figura 4.46, *b*, *c*, acestea arătînd intrările D ale bistabililor considerați.

Scanned with OKEN Scanner

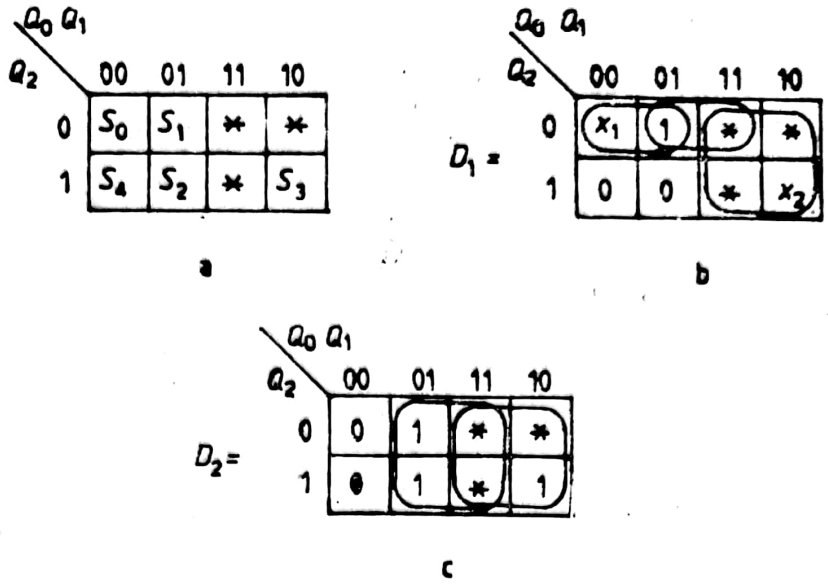


Fig. 4.46

Minimzarea diagramelor V—K corespunzătoare celor trei bistabili conduce la următoarele ecuaţii logice (v. fig. 4.45, *b* şi 4.46, *b*, *c*)

$$D_0 = Q_1 Q_2, \qquad 4.8.2$$

$$D_1 = Q_1\bar{Q}_2 + x_1\bar{Q}_2 + x_2 Q_0, \qquad 4.8.3$$

$$D_2 = Q_0 + Q_1, \qquad 4.8.4$$

care pot fi folosite pentru sinteza funcţiei de excitaţie secundară (v. § 4.8.4).

4.8.3. Proiectarea automatelor cu stări finite şi implementarea cu bistabili de tip $J-K$

Tabelul de adevăr al bistabilului de tip $JK-MS$ şi echivalentul său (concentrat) sînt redate în tabelele 4.9 şi 4.10 (v. şi tabelul 4.5).

După cum se observă din tabelele 4.9 şi 4.10 şi din ecuaţia de funcţionare (v. 4.2.10)

$$Q_{t+1} = J\bar{Q}_t + \bar{K}Q_t, \qquad 4.8.5$$

Tabelul 4.9

J	K	Q_t	Q_{t+1}
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	0
1	0	0	1
1	0	1	1
1	1	0	1
1	1	1	0

Tabelul 4.10

Q_t	Q_{t+1}	J	K
0	0	0	*
0	1	1	*
1	0	*	1
1	1	*	0

dacă se pleacă din starea $Q_t = 0$, intrarea K este indiferentă, iar intrarea J ia valoarea 0 sau 1 (a lui Q_{t+1}) (v. tabelul 4.10). Într-adevăr, din 4.8.5, pentru Q_t avem

$$Q_{t+1} = J\bar{0} + \bar{K}0 = J. \qquad 4.8.6$$

Scanned with OKEN Scanner

Rezultă astfel că pentru $Q_E = 0$ se impune $Q_{t+1} = J$ (fig. 4.47, *a*, *b*).

Cele două situații din figura 4.47, *a* și *b* se pot reuni într-o singură diagramă cum se arată în figura 4.47, *c*.

Dacă se pleacă din $Q_t = 1$ avem

$$Q_{t+1} = J\cdot\overline{1} + \overline{K}1 = \overline{K}, \qquad 4.8.7$$

adică se impune să luăm $\overline{K} = Q_{t+1}$ (sau $\overline{Q}_{t+1} = K$), iar intrarea J este indiferentă (fig. 4.47, *d*).

Posibilitățile de tranziție condiționată (prin testarea unei variabile de intrare x_i) (DA și NU) sînt redate în figura 4.48, *a*, *b*, *c*, *d*, *e*, *f*).

După cum se vede din figura 4.48 avem următoarele situații:

1) Plecarea din $Q_t = 0$.

În acest caz pentru ieșire devine semnificativă intrarea J iar K este indiferentă, deci $K = *$ (v. și 4.8.6). Astfel, la sosire avem: (fig. 4.48, *a*, *b*)

pentru $\begin{cases} \text{NU} & Q_{t+1} = 0 \\ \text{DA} & Q_{t+1} = 1 \end{cases}$ Se ia $J = x_i$ și $K = *$.

pentru $\begin{cases} \text{NU} & Q_{t+1} = 1 \\ \text{DA} & Q_{t+1} = 0 \end{cases}$ Se ia $J = \bar{x}_i$ (sau $\bar{x}_i = J$) și $K = *$.

2) Plecare din $Q_t = 1$ (fig. 4.48, *c*, *d*).

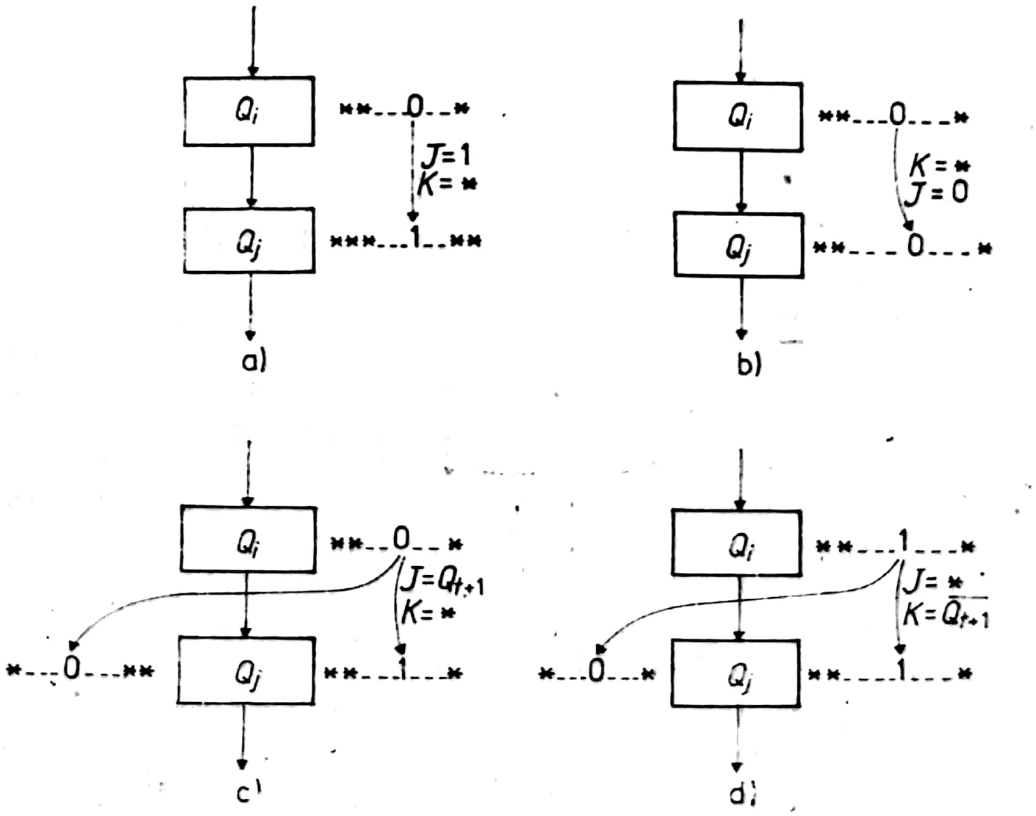


Fig. 4.47

În acest caz, pentru ieşire devine semnificativă intrarea K iar J se ia indiferent (*) (v. şi relaţia 4.8.7).
Astfel, avem la sosire :

$$\text{pentru } \begin{cases} \text{NU} & Q_{t+1} = 0 \\ \text{DA} & Q_{t+1} = 1 \end{cases} \quad \text{Se ia } \bar{K} = x_t \text{ (sau } K = \bar{x}_t) \text{ şi } J = *$$

$$\text{pentru } \begin{cases} \text{NU} & Q_{t+1} = 1 \\ \text{DA} & Q_{t+1} = 0 \end{cases} \quad \text{Se ia } \bar{K} = \bar{x}_t \text{ (sau } K = x_t) \text{ şi } J = *.$$

3) La sosire stări identice, plecare din 0 (fig. 4.48, *e, f*).
Întrucît se pleacă din $Q_t = 0$, semnificativă devine intrarea J, iar $K = *$.

$$\text{pentru } \begin{cases} \text{NU} & Q_{t+1} = 0 \\ \text{DA} & Q_{t+1} = 0 \end{cases} \quad \text{Se ia } J = 0 (= Q_{t+1}) \text{ şi } K = *$$

$$\text{pentru } \begin{cases} \text{NU} & Q_{t+1} = 1 \\ \text{DA} & Q_{t+1} = 1 \end{cases} \quad \text{Se ia } J = 1 (= Q_{t+1}) \text{ şi } K = *.$$

Rezultă că în acest caz Q_{t+1} ia mereu valoarea lui J (fie 0 fie 1, conform ecuaţiei 4.8.6) ca şi cum nu ar interveni variabila x_t care condiţionează tranziţiile.
4) La sosire stări identice, plecare din 1 (fig. 4.48, *g, h*).
Semnificativă devine acum intrarea K, iar $J = *$.

$$\text{Pentru } \begin{cases} \text{DA} & Q_{t+1} = 0 \quad \text{Se ia } K = \overline{Q}_{t+1}, \text{ adică } K = 1 \\ \text{NU} & Q_{t+1} = 0 \quad \text{şi } J = * \end{cases}$$

Avem :

$$\text{pentru } \begin{cases} \text{DA} & Q_{t+1} = 1 \quad \text{Se ia } K = 0 (= \overline{Q_{t+1}}) \\ \text{DA} & Q_{t+1} = 1 \quad (\text{sau } \bar{K} = 1) \text{ şi } J = *. \end{cases}$$

Se vede că pentru starea finală, identică în cele două situaţii şi egală cu 0 se va lua $K = \overline{0} (= \bar{Q}_{t+1})$, deci $K = 1$ şi invers în acord cu relaţia 4.8.7.
Pentru sinteza *CLC* de intrare vor trebui alcătuite n diagrame Veitch-Karnaugh pentru intrările J şi n diagrame Veitch-Karnaugh pentru intrările K, unde n este numărul de bistabili din registrul de stări ; sînt necesare astfel două rînduri de diagrame V—K, deoarece avem de-a face cu cîte două intrări pentru fiecare bistabil. Urmărind organigrama de evoluţie a stărilor se va completa în locul fiecărei stări valoarea pe care trebuie să o ia J sau K pentru a ajunge în starea următoare conform situaţiilor rezumate în figura 4.48. Spre exemplificare se va considera problema proiectării unui numărător binar sincron de patru biţi cu bistabili $JK—MS$, conform organigramei din figura 4.49, *a*. Un asemenea numărător a fost descris anterior în paragraful 4.5.1 (v. fig. 4.18), urmînd ca proiectarea acestuia să se facă prin metoda maşinii algoritmice de stare.

Scanned with OKEN Scanner

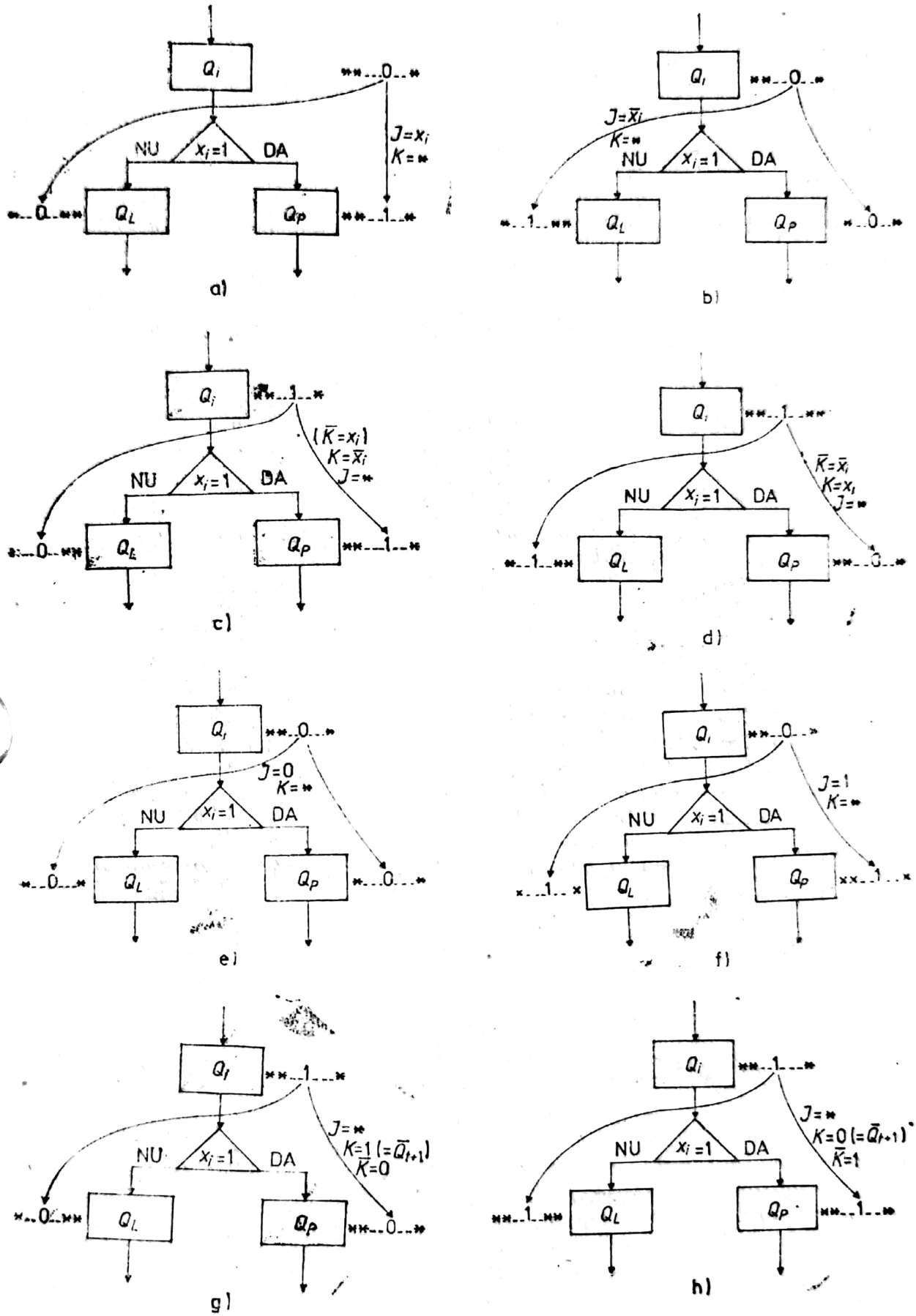


Fig. 4.48

15.—C.546

Scanned with OKEN Scanner

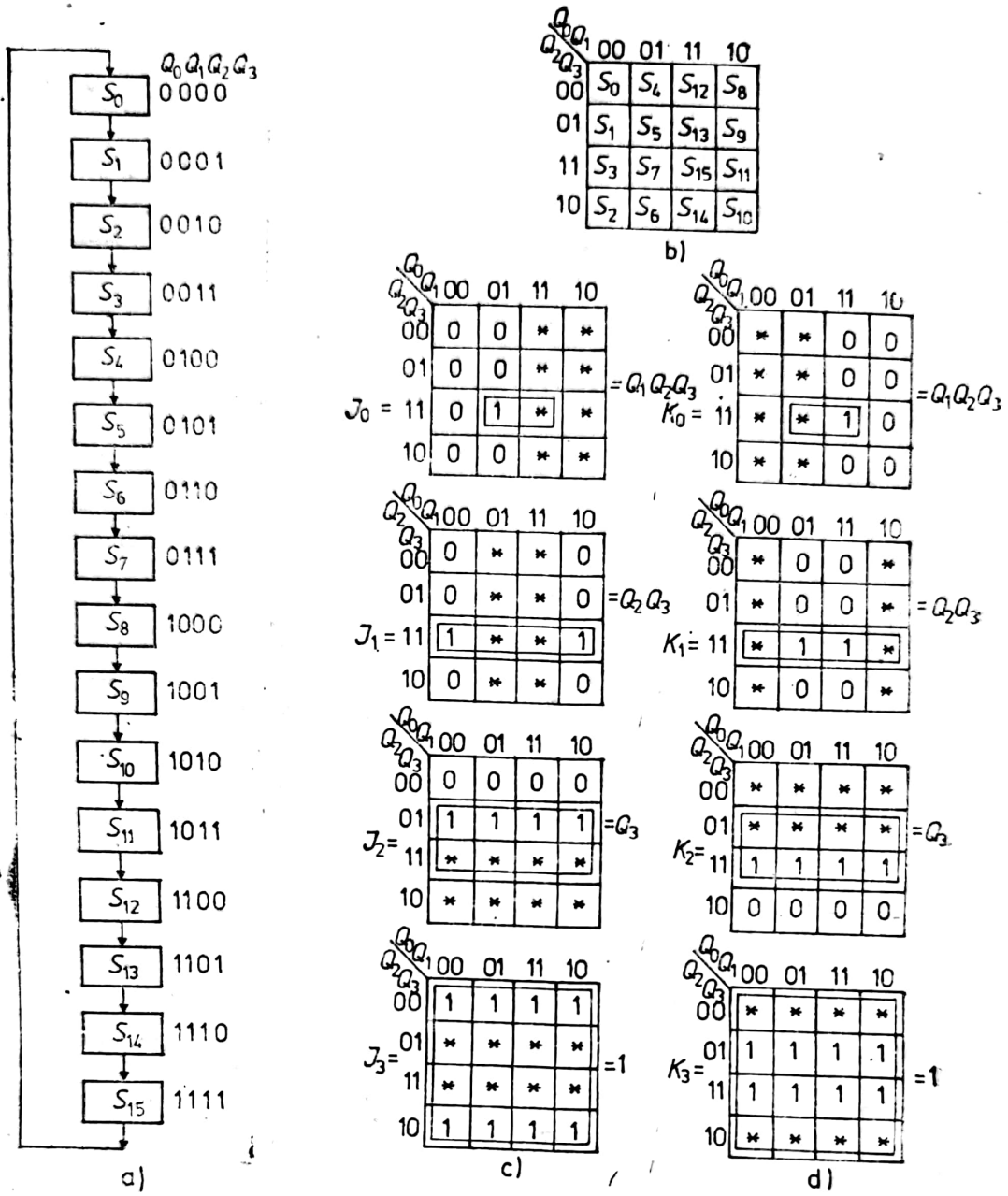


Fig. 4.49

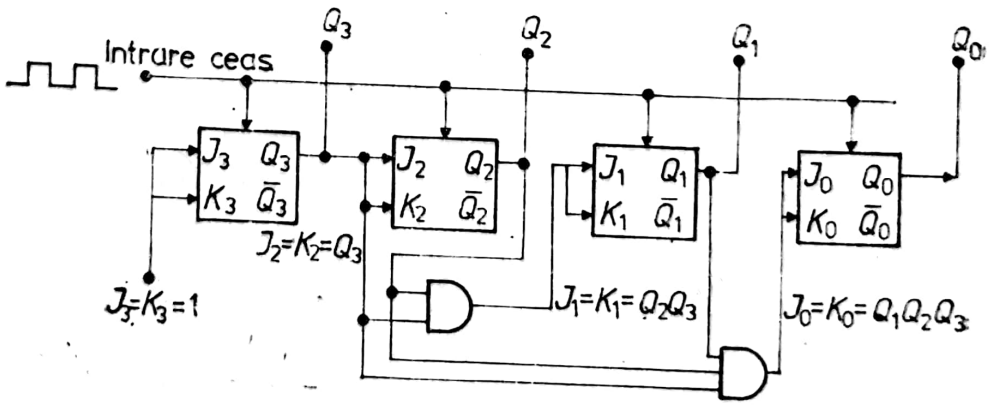


Fig. 4.50

Scanned with OKEN Scanner

După cum se vede din figura 4.49, *a* organigrama de funcționare a numărătorului sincron nu cuprinde decît evoluția stărilor, adică spațiul variabilelor de ieșire este identic cu spațiul stărilor. De asemenea, organigrama nu cuprinde testări de variabile (tranziții condiționate) de intrare. Codificarea stărilor este impusă conform problemei (numărarea în binar $0 \rightarrow 15$), iar diagramele V—K pentru sinteza funcției de excitație secundară sînt redate în figurile 4.49, *c* și 4.49, *d*, cîte patru pentru intrările J și patru pentru cele patru intrări K. Minimizînd funcțiile respective (cu ajutorul diagramei V—K) se ajunge la ecuațiile logice corespunzătoare proiectării numărătorului binar sincron de patru biți descris în § 4.5.1 (v. relațiile 4.5.2—4.5.5):

$$J_3 = K_3 = 1, \qquad 4.8.8$$

$$J_2 = K_2 = Q_3, \qquad 4.8.9$$

$$J_1 = K_1 = Q_2 Q_3, \qquad 4.8.10$$

$$J_0 = K_0 = Q_1 Q_2 Q_3. \qquad 4.8.11$$

Folosind aceste ecuații se realizează implementarea numărătorului sincron ca în figura 4.50 care coincide cu schema din figura 4.18 (v. § 4.5.1).

4.8.4. Sinteza funcției de excitație secundară și funcției de intrare-ieșire (funcției de excitație primară)

În cazul general în organigramele care descriu evoluția unui sistem cu stări finite pot exista tranziții necondiționate (cum a fost în exemplul precedent) sau/și tranziții condiționate de cîte o variabilă de intrare (testarea simultană a două sau mai multor variabile x_i și x_j, (x_k) fiind echivalentă cu testarea unei noi variabile x care este produsul logic $x_i, x_j = (x_k)$ al variabilelor separate, deci problema se reduce tot la testarea unei singure variabile). Ca urmare, funcția de excitație secundară (precum și funcția de ieșire) se poate obține prin reuniunea (superpoziția) mai multor funcții elementare, adică

$$f_k = \varphi_0 + x_1^{\gamma_1}\psi_1 + x_2^{\gamma_2}\psi_2 + \ldots + x_n^{\gamma_n}\psi_n, \qquad 4.8.12$$

sau

$$f_k = \varphi_0 + \varphi_1 + \varphi_2 + \ldots + \varphi_n, \qquad 4.8.13$$

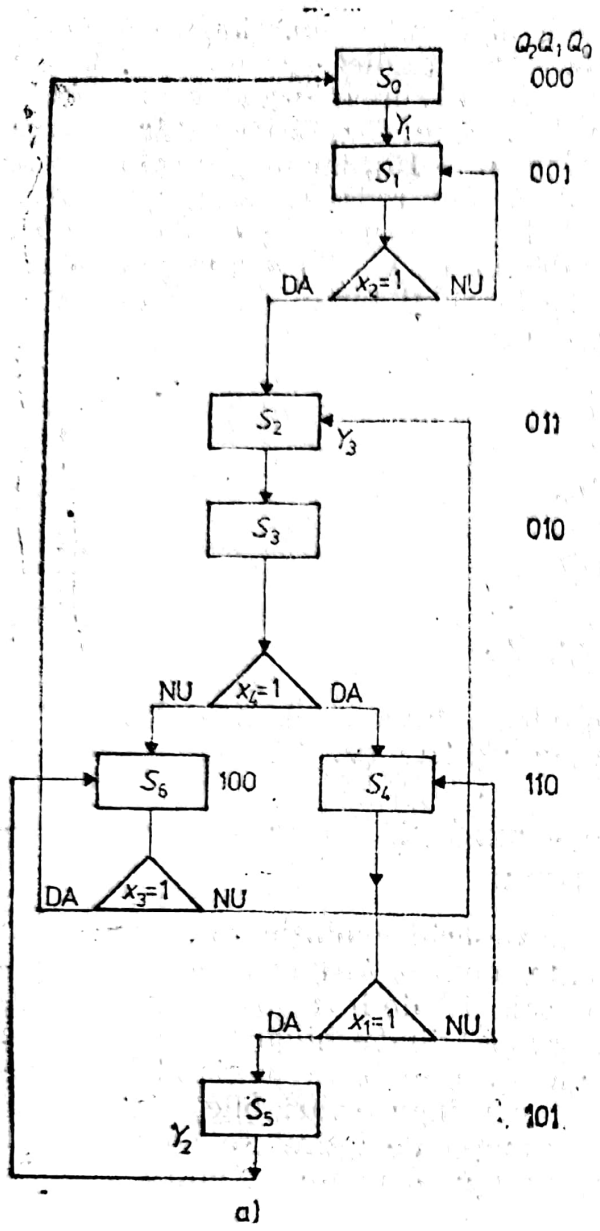
în care

$$\varphi_i = x_i^{\gamma_i}\psi_i. \qquad 4.8.14$$

În relațiile 4.8.12—4.8.13 funcțiile φ_0 și φ_i au următoarele semnificații:

— φ_0 este funcția corespunzătoare *tranzițiilor necondiționate* de variabilele de intrare. Ea se obține prin minimizarea diagramei V—K în care toate variabilele $x_i^{\gamma_i}$ au fost înlocuite cu 0 (tranzițiile respective apărînd în absența acestora, adică nu sîntem condiționate de variabila x_i);

— ψ_1 este funcția condiționată de variabila $x_1^{\gamma_i}$. Ea corespunde tranzițiilor pentru care $x_1 = 1$ (deci este tranziție condiționată), în care nu apar



celelalte variabile. De asemenea ea nu depinde de tranziţiile necondiţionate (care au fost deja considerate prin determinarea funcţiei φ_0). Prin urmare φ_1 se obţine trecînd pe diagrama V—K 1 în loc de x_1 şi 0 în locul tuturor celorlalte variabile (care pot apare negate sau nu, nu are importanţă), iar zonele care aveau 1 devin indiferente, deci se completează cu $*$;

— ψ_2 se construieşte analog, luînd $x_2 = 1$ şi restul variabilelor egale cu 0, iar zonele cu 1 se trec în $*$, ş.a.m.d.

Pentru exemplificare se va considera automatul cu stări finite a cărui evoluţie este descrisă prin organigrama din fig. 4.51, *a*. Sistemul livrează ieşirile Y_1 (din starea S_0), Y_3 (din starea S_2) şi respectiv Y_2 (din starea S_5) (fig. 4.51, *a*).

Pentru sintetizarea funcţiilor de excitaţie secundară pentru fiecare *CBB* din registrul de stări se vor alcătui diagramele V—K pentru fiecare bistabil (în cazul nostru bistabili de tip *D*). Cum numărul de stări este mai mare decît $2^2 = 4$ şi mai mic de $2^3 = 8$, adică $n = 3$, registrul de stări va conţine trei bistabili de tip *D*. Mai întîi se vor plasa stările sistemului pe o diagramă V — K asigurînd pe cît posibil adiacenţa stărilor aşa cum se vede în figura 4.51, *b*.

În continuare se va trece la alcătuirea diagramelor V—K pentru fiecare

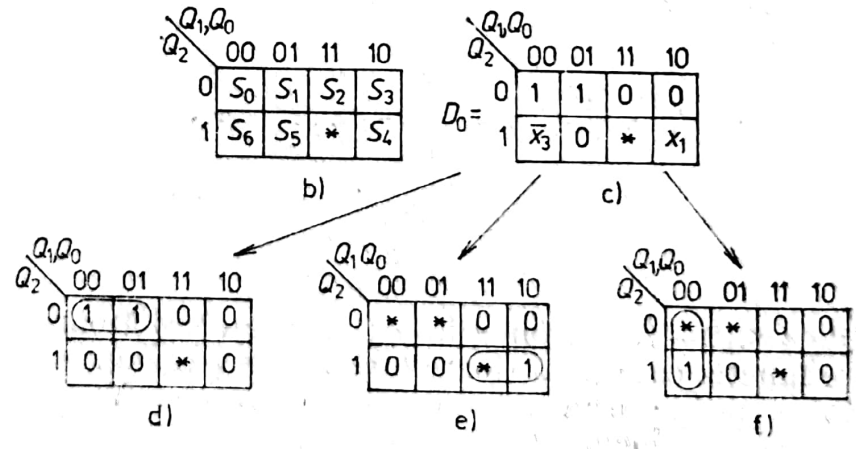


Fig. 4.51

bistabil, pentru a sintetiza funcţiile de excitaţie secundară g_k. Pentru bistabilul D_0, considerînd stările succesive pentru bitul Q_0 (corespunzător lui D_0), vom

Scanned with OKEN Scanner

avea diagrama V—K din figura 4.51, *c*. Luînd toate variabilele $x_i^{\gamma_i} = 0$, se găseşte φ_0 prin minimizarea diagramei Veitch-Karnaugh corespunzătoare (v. şi fig. 4.51, *c* şi *d*)

$$\varphi_0 = \bar{Q}_1\bar{Q}_2. \qquad 4.8.15$$

Pentru găsirea lui φ_1, în diagrama V—K din figura 4.51, *c* se va lua $x_1 = 1$ şi restul variabilelor zero (adică $\bar{x}_3 = 0$), iar 1 se trece în * aşa cum se vede în figura 4.51, *e*; rezultă

$$\psi_1 = Q_1Q_2 \quad \text{şi deci} \quad \varphi_1 = x_1Q_1Q_2. \qquad 4.8.16$$

Pentru ψ_2 rezultă în mod analog (luînd $\bar{x}_3 = 1$ restul 0 şi 1 în *) (fig. 4.51, *f*)

$$\psi_2 = \bar{Q}_0\bar{Q}_1 \quad \text{şi} \quad \varphi_2 = \bar{x}_3\bar{Q}_0\bar{Q}_1. \qquad 4.5.17$$

Funcţia de excitaţie secundară pentru bistabilul D_0, corespunzător ieşirii Q_0 va fi deci (reunind relaţiile 4.8.15—4.8.17 conform formulei 4.8.12 şi adoptînd notaţia D_0 pentru g_k)

$$D_0 = \varphi_0 + x_1^{\gamma_1}\psi_1 + \bar{x}_3\psi_2 = \bar{Q}_1\bar{Q}_2 + x_1Q_1Q_2 + \bar{x}_3\bar{Q}_0\bar{Q}_1. \qquad 4.8.18$$

Pentru D_1, corespunzătoare stărilor succesive pentru bitul Q_1 vom avea (conform diagramelor V—K din figura 4.52, *a-f*):

$$\varphi_0 = Q_1Q_0, \qquad 4.8.19$$

$$\varphi_1 = \bar{x}_1Q_1Q_2, \qquad 4.8.20$$

$$\varphi_2 = x_2Q_0\bar{Q}_2, \qquad 4.8.21$$

$$\varphi_3 = \bar{x}_3\bar{Q}_0\bar{Q}_1Q_2, \qquad 4.8.22$$

$$\varphi_4 = x_4Q_1\bar{Q}_2. \qquad 4.8.23$$

Pentru funcţia de excitaţie secundară corespunzătoare lui D_1 rezultă deci

$$D_1 = Q_0Q_1 + \bar{x}_1Q_1Q_2 + x_2Q_0\bar{Q}_2 + \bar{x}_3\bar{Q}_0\bar{Q}_1Q_2 + x_4Q_1\bar{Q}_2. \qquad 4.8.24$$

În mod similar pentru ultimul bistabil D_2 (corespunzător evoluţiei stărilor pentru Q_2), avem (fig. 4.52, *g*)

$$D_2 = \bar{Q}_0Q_1 + Q_0Q_2. \qquad 4.8.25$$

Pentru implementare se pot utiliza porţi logice standard de tip NAND şi circuite bistabile de tip *D* ca în figura 4.53. În acest scop se va ţine seamă

Scanned with OKEN Scanner

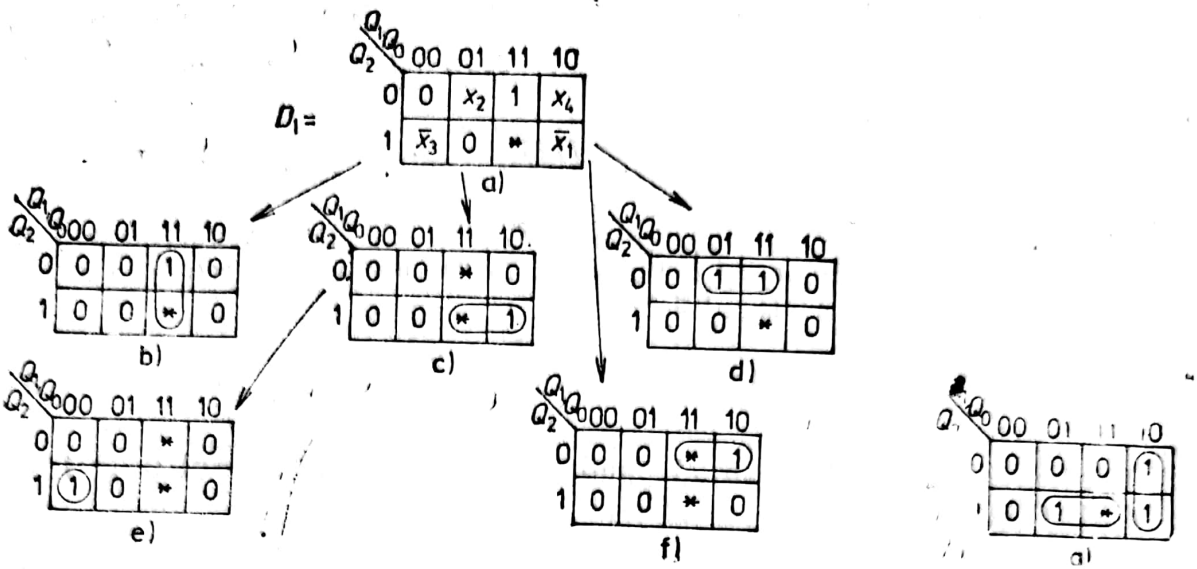


Fig. 4.52

că aplicînd teoremele lui De Morgan, funcţiile de mai sus se pot scrie ca (v. rel. 3.6.62):

$$D_0 = \overline{\bar{Q}_1\bar{Q}_2 \cdot \overline{x_1 Q_1 Q_2} \cdot \overline{\bar{x}_3\bar{Q}_0\bar{Q}_1}}, \qquad 4.8.26$$

$$D_1 = \overline{\overline{Q_0 Q_1 \cdot \bar{x}_1 Q_1 Q_2} \cdot \overline{x_2 Q_0 \bar{Q}_2} \cdot \overline{\bar{x}_3\bar{Q}_0\bar{Q}_1 Q_2} \cdot \overline{x_4 Q_1 \bar{Q}_2}}, \qquad 4.8.27$$

$$D_2 = \overline{\bar{Q}_0 Q_1 \cdot \overline{Q_0 Q_2}}. \qquad 4.8.28$$

Din figura 4.53 se constată că *CLC* intrare este alcătuit din porţile $P_1 \div P_{10}$, $P_{14} \div P_{16}$, registrul de stări este alcătuit din cele trei *CBB* (de tip *D*) împreună cu legăturile de reacţie, iar *CLC* ieşire este dat de porţile $P_{11} \div P_{13}$.

Sinteza funcţiei de excitaţie primară sau funcţia de intrare-ieşire se face imediat urmărind stările în care există ieşirile Y_1, Y_2 şi Y_3 pe organigrama din figura 4.51, *a*. Din organigramă se vede că ieşirile menţionate există pentru stările S_0, S_5 şi respectiv S_2. Trecînd aceste stări pe o diagramă V—K care asigură adiacenţa stărilor (v. figura 4.51, *b*) se obţine diagrama V—K din figura 4.54, *a*. În locul ieşirilor absente se trec valori 0 în diagramă. Făcînd pe rînd Y_2 şi Y_3 egale cu zero se află Y_1, apoi anulînd pe Y_1 şi Y_3 se află Y_2 şi, în sfîrşit, pentru $Y_1 = 0$, $Y_2 = 0$, rezultă Y_3 conform diagramelor V—K din figura 4.54, *b*, *c*, *d*:

$$Y_1 = \bar{Q}_0\bar{Q}_1\bar{Q}_2, \qquad 4.8.29$$

$$Y_2 = Q_0 Q_2, \qquad 4.8.30$$

$$Y_3 = Q_0 Q_1. \qquad 4.8.31$$

După cum se vede în figura 4.53 (în partea inferioară), implementarea *CLC* ieşire se face direct, cu porţile $P_{11} \div P_{13}$ (de tip ŞI) în acord cu relaţiile 4.8.29—4.8.31. Dacă ar fi mai existat şi alte ieşiri (Y_4, Y_6 etc.) ele ar fi putut fi sintetizate în mod analog trecîndu-le în locul corespunzător pe diagrama de stări şi minimizînd cu ajutorul diagramelor V—K.

Scanned with OKEN Scanner

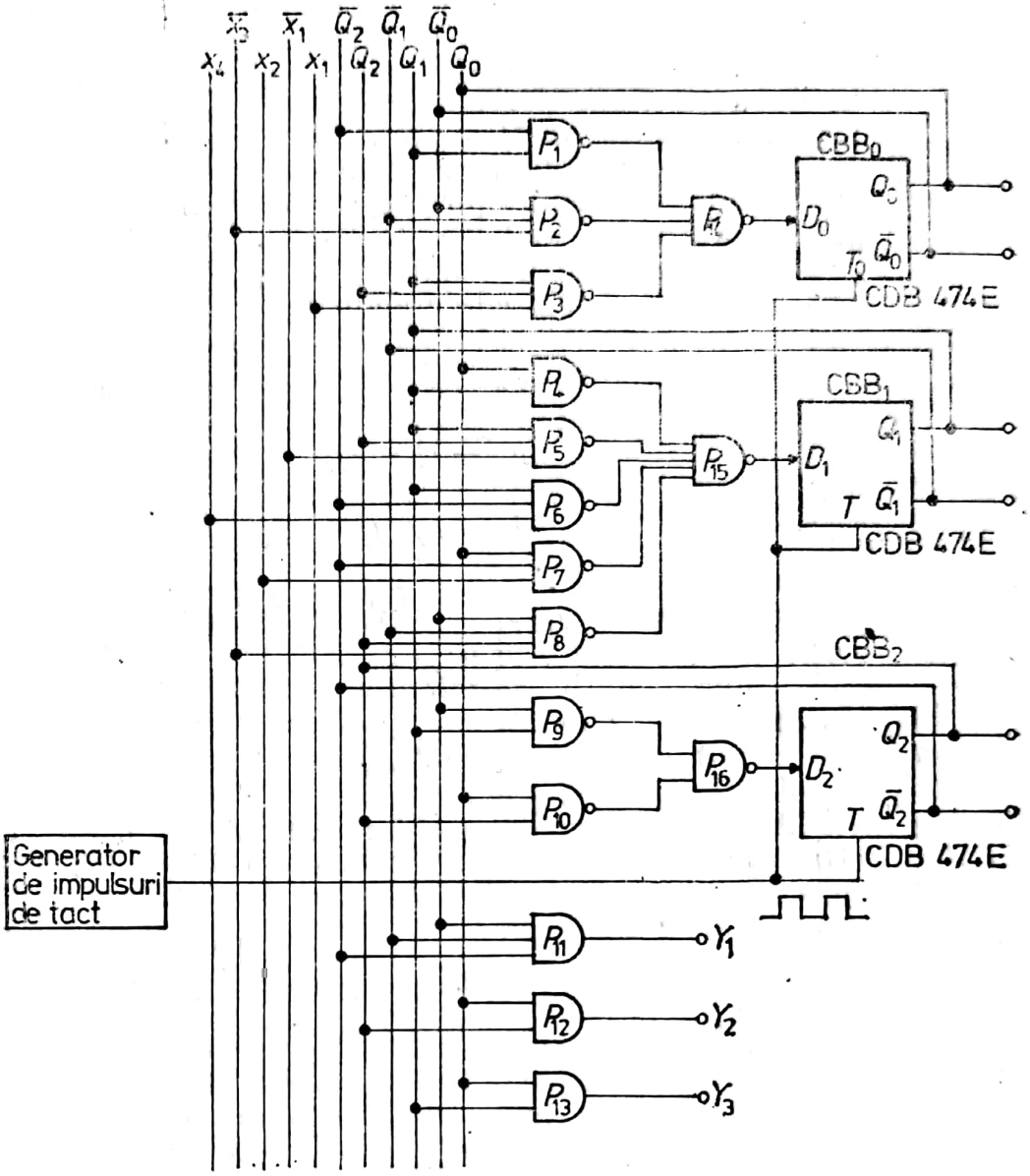


Fig. 4.53

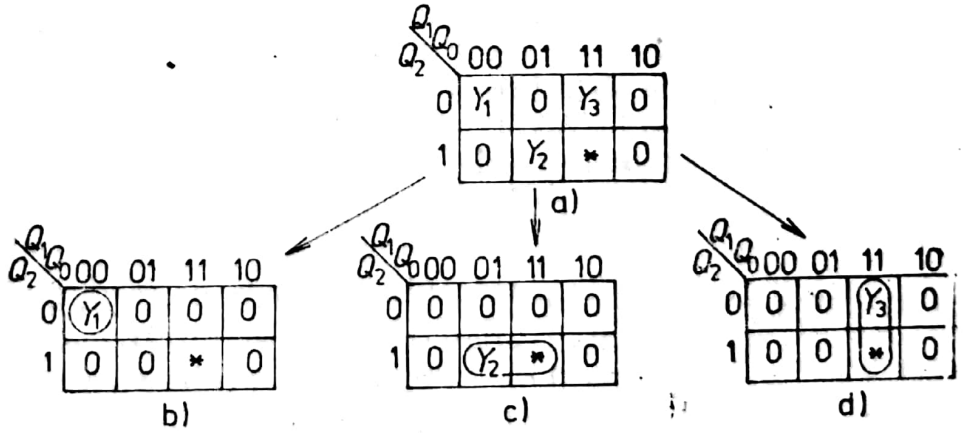


Fig. 4.54

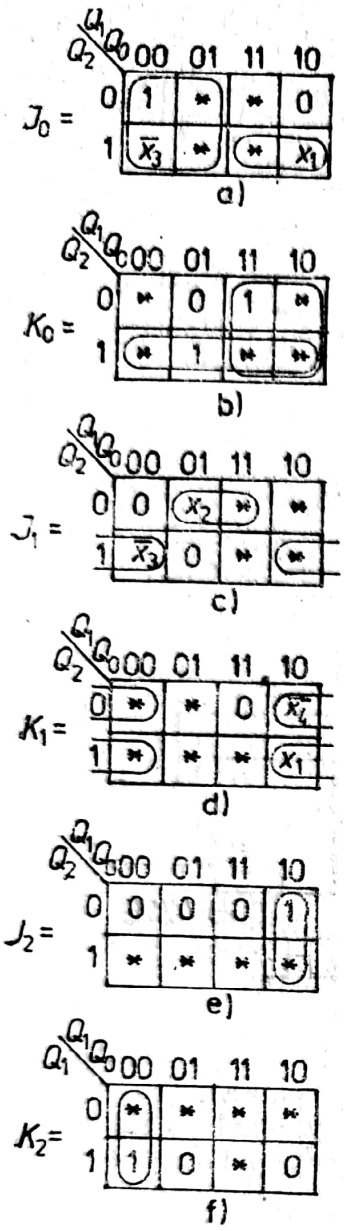


Fig. 4.55

Sinteza funcției de excitație secundară și funcției de transfer în cazul utilizării registrelor cu bistabili $JK-MS$ se face în mod similar, conform regulilor arătate anterior în figurile 4.47, 4.48 și al ecuațiilor logice corespunzătoare funcționării respectivelor CBB (v. și exemplul din figura 4.49). Reluînd exemplul automatului descris prin organigrama din figura 4.51, *a* minimizarea cu ajutorul diagramelor Veitch-Karnaugh alcătuite pentru bistabili de tip $JK-MS$ (în număr de trei), conduce la următoarele relații (fig. 4.55):

$$J_0 = \bar{Q}_1\bar{Q}_2 + \bar{x}_3\bar{Q}_1 + x_1Q_1Q_2, \qquad 4.8.32$$

$$K_0 = Q_1 + Q_2. \qquad 4.8.33$$

$$J_1 = x_2Q_0\bar{Q}_2 + \bar{x}_3\bar{Q}_0Q_2, \qquad 4.8.34$$

$$K_1 = x_1\bar{Q}_0Q_2 + \bar{x}_4\bar{Q}_0\bar{Q}_2, \qquad 4.8.35$$

$$J_2 = Q_1\bar{Q}_0, \qquad 4.8.36$$

$$K_2 = \bar{Q}_1\bar{Q}_0. \qquad 4.8.37$$

Implementarea automatului se poate face cu porți și bineînțeles cu bistabili $JK-MS$.

4.8.5. Proiectarea automatelor cu stări finite folosind memorii programabile

După cum s-a arătat în paragraful 4.8.1, proiectarea automatelor cu stări finite se reduce în ultimă instanță la sinteza de CLC după una din metodele cunoscute. Pentru un automat cu un număr mare de stări, CLC al funcțiilor de excitație secundară poate deveni prea complex, iar implementarea cu porți, DMUX sau MUX este greoaie și neeconomicoasă. Se știe că pentru $n > 6$ intrări, CLC se implementează mai convenabil folosind memorii programabile (v. § 4.6.5, precum și lucrarea [1]).

În aceste condiții pentru $2^{n-1} < N < 2^n$ stări și m variabile de intrare este necesar un ROM cu $n + m$ intrări și n ieșiri, ca în figura 4.56, *a*. Pentru a cunoaște ce se selectează din ROM în vederea generării, la ieșirea ROM, a biților de intrare în bistabilii D (din Registrul de stări) corespunzătoare trecerii în starea următoare, cuvîntul de la ieșirea (precedentă) a registrului de stări este interpretat ca *adrese* pentru intrarea ROM în vederea generării stării care urmează (fig. 4.56, *b*). Ca urmare prin bucla de reacție, codul stării de la ieșirea Registrului de stări (RS) este trimis la intrările de adrese ale ROM. Evident, se va ține seama în organigrama de evoluție a stărilor, dacă tranziția dintr-o stare în alta se face condiționat (de testarea unei variabile x_i de intrare) sau nu.

Scanned with OKEN Scanner

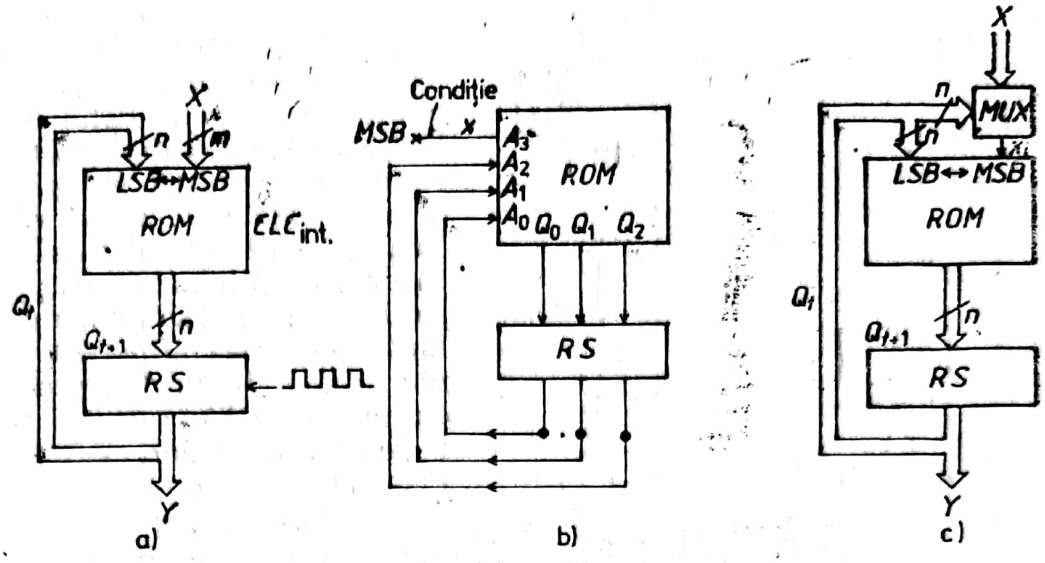


Fig. 4.56

Avînd în vedere că pentru fiecare stare se testează o singură variabilă (eventual compusă) sau nici una, se poate proceda la reducerea dimensiunii *ROM*-ului prin multiplexarea la intrare ca în figura 4.56, *c*. În acest scop codul stării (precedente) de la ieşirea *RS* este transmis (prin bucla de reacţie) atît la intrările de adrese ale *ROM*, cît şi la intrările de adrese ale MUX (fig. 4.56, *c*) (cu menţiunile din figură pentru poziţiile *LSB* şi *MSB*). În acest fel folosind un MUX la intrări, dimensiunea *ROM* va fi doar $n(n+1)$ deci se reduce de $2^{(m-1)n}$ ori şi este preferabilă implementării directe.

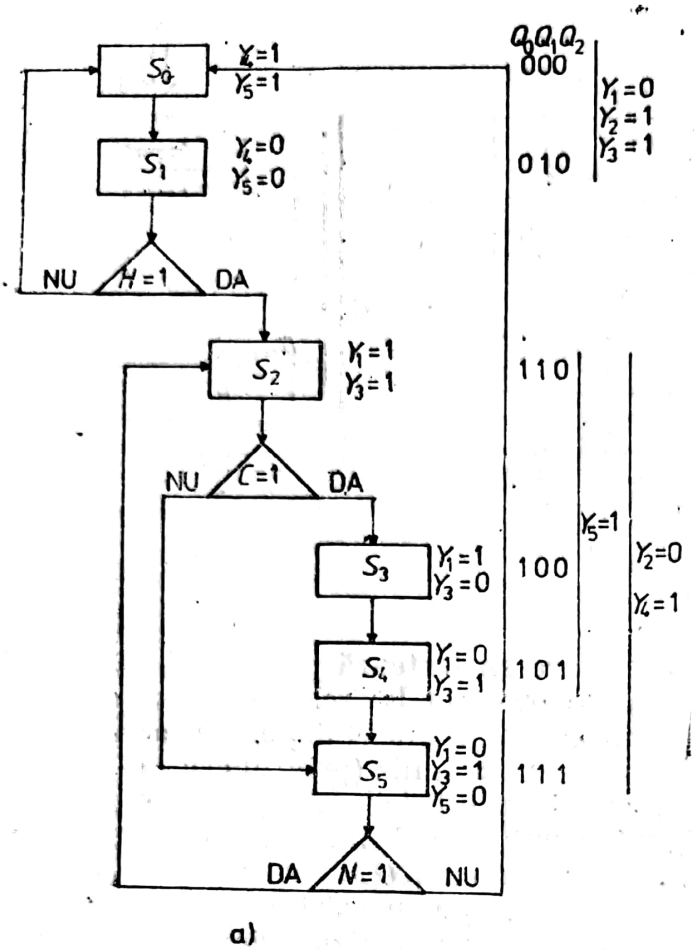
Proiectarea constă deci în stabilirea conţinutului memoriei şi conectarea adecvată a variabilelor de intrare la MUX. Aceasta se poate face sistematic şi direct în felul următor:

— dacă pentru starea S_i avînd codul $Q_0^i Q_1^i \ldots Q_{n-1}^i$ cu $Q_0 = LSB$ tranziţia are loc în starea $S_j = Q_0^j Q_1^j \ldots Q_{n-1}^j$ cînd variabila de intrare $x^{\gamma_q} = 0$, sau în starea $Q_0^k Q_1^k \ldots Q_{n-1}^k$ dacă $x^{\gamma_q} = 1$, atunci la adresa $Q_0^i, Q_1^i \ldots, Q_{n-1}^i, 0$ se introduce cuvîntul $Q_0^j Q_1^j \ldots Q_{n-1}^j$, iar la adresa $Q_0^i, Q_1^i, \ldots Q_{n-1}^i, 1$ se introduce cuvîntul $Q_0^k Q_1^k \ldots Q_{n-1}^k$; simultan la intrarea MUX cu codul $Q_0^i Q_1^i \ldots Q_{n-1}^i$ (corespunzător stării S_i) se introduce variabila x^{γ_q} (= 0 sau 1).

— dacă tranziţia din starea S_i decurge spre starea S_j fără a depinde de vreo variabilă de intrare, atunci la adresa $Q_0^i, Q_1^i, \ldots, Q_{n-1}^i, 0$ se introduce cuvîntul $Q_0^j Q_1^j \ldots Q_{n-1}^j$, iar la intrarea cu numărul $Q_0^i Q_1^i \ldots Q_{n-1}^i$ a MUX se introduce 0 (adică MUX nu livrează vreo variabilă x care să fie testată).

Prin urmare codul stării existente la un moment dat a registrului de stări este trimis la *ROM* şi MUX şi interpretat ca adresă. La adresele respective ale *ROM* se introduc codurile celor două stări spre care poate evolua sistemul, iar la intrarea MUX, variabila care face alegerea acestor stări (pentru tranziţiile condiţionate).

Pentru ilustrarea procedeului se va proiecta o maşină algoritmică de stare (un sistem logic secvenţial) a cărei funcţionare este descrisă de organigrama din figura 4.57, *a*. Întrucît numărul biţilor este egal cu trei, pentru memorarea (temporară) a codului stărilor se vor folosi trei *CBB* din registrul de deplasare (reversibil) CDB-495E (a patra intrare rămînînd liberă) (fig. 4.57, *c*, *d*).



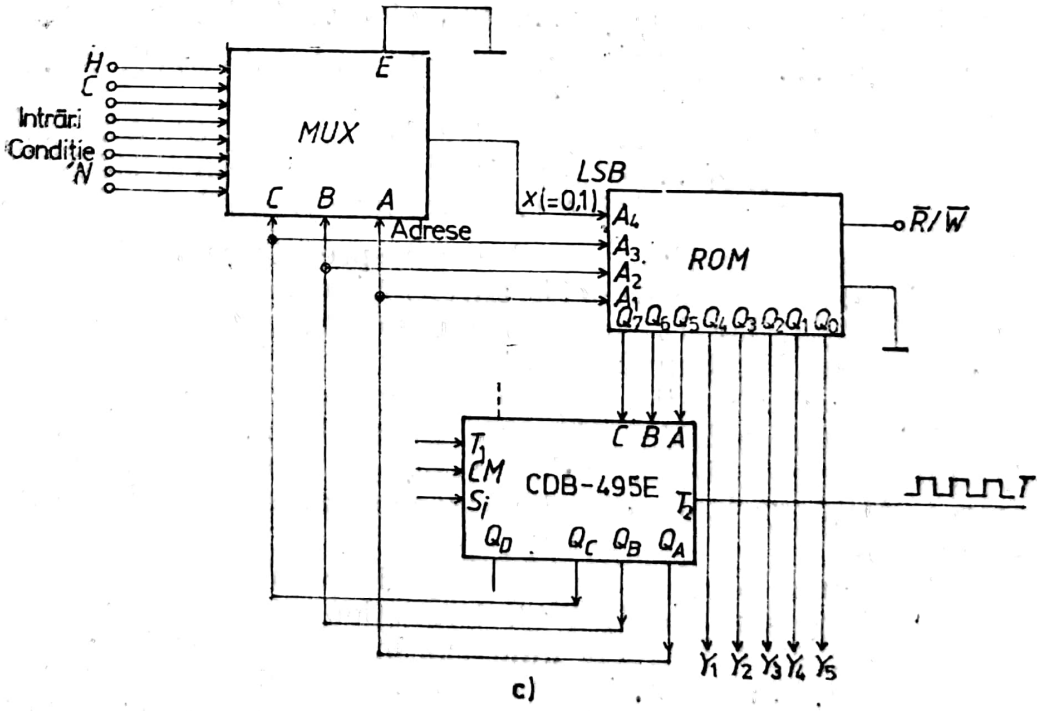
a)

În organigramă sînt date de asemenea ieşirile pe care le livrează stările sistemului, acestea fiind notate lîngă dreptunghiurile stărilor respective. Sinteza *CLC* de ieşire se face conform organigramei, în acord cu tabelul de adevăr 4.11. Pentru ieşirile din dreptul stărilor care nu se realizează (nu apar în organigramă) cînd se numerotează în binar) se trece indiferent (*). Minimizînd funcţiile de ieşire în acord cu tabelul 4.11 rezultă ecuaţiile logice care definesc funcţia de transfer a sistemului :

$$Y_1 = Q_0\bar{Q}_2, \qquad 4.8.38$$
$$Y_2 = \bar{Q}_0\bar{Q}_2, \qquad 4.8.39$$
$$Y_3 = Q_2+Q_1+Q_0, \qquad 4.8.40$$
$$Y_4 = Q_0+\bar{Q}_1, \qquad 4.8.41$$
$$Y_5 = \bar{Q}_1 + Q_0\bar{Q}_2. \qquad 4.8.42$$

Q_2 \ Q_0Q_1	00	01	11	10
0	S_0	S_1	S_2	S_3
1	*	*	S_5	S_4

b)



c)

Fig. 4.57

Scanned with OKEN Scanner

Pentru încărcarea memoriei cu funcția de excitație secundară se va alcătui tabelul 4.12.

Pe una din coloane, după adresele $A_2\,A_1\,A_0$ se trece variabila x_i care poate lua valorile 0 sau 1 (conform indicațiilor NU sau DA din organigramă). În cazul ieșirilor necondiționate avem $x_i = 0$ și pentru această valoare se realizează următoarea stare, pentru $x_i = 1$ luîndu-se * (indiferent); pentru

Tabelul 4.11

Stări			Ieșiri				
Q_0	Q_1	Q_2	Y_1	Y_2	Y_3	Y_4	Y_5
0	0	0	0	1	1	1	1
0	0	1	*	*	*	*	*
0	1	0	0	1	1	0	0
0	1	1	*	*	*	*	*
1	0	0	1	0	0	1	1
1	0	1	0	0	1	1	1
1	1	0	1	0	1	1	1
1	1	1	0	0	1	1	0

Tabelul 4.12

Starea inițială	Condiție	Adresă				Conținut memorie			(DATE)
		A_2	A_1	A_0	x_i	Q_0	Q_1	Q_2	
$S_0 \rightarrow$ 000		0	0	0	0	0	1	0	(starea următoare S_1)
$S_0 \rightarrow$ 000		0	0	0	1	*	*	*	
$S_1 \rightarrow$ 010	H	0	1	0	0	0	0	0	
$S_1 \rightarrow$ 010		0	1	0	1	1	1	0	
$S_2 \rightarrow$ 110	C	1	1	0	0	1	1	1	
$S_2 \rightarrow$ 110		1	1	0	1	1	0	0	
$S_3 \rightarrow$ 100		1	0	0	0	1	0	1	
$S_3 \rightarrow$ 100		1	0	0	1	*	*	*	
$S_4 \rightarrow$ 101		1	0	1	0	1	1	1	
$S_4 \rightarrow$ 101		1	0	1	1	*	*	*	
$S_5 \rightarrow$ 111	N	1	1	1	0	0	0	0	
$S_5 \rightarrow$ 111		1	1	1	1	1	1	0	

ieșirile condiționate, variabila x_i este notată pe rînd cu H, C și N și stările se realizează, conform organigramei (corespunzător valorilor 0 și 1 pentru variabila testată).

Ținînd seama de tabelele 4.11 și 4.12, conținutul memoriei este cel din tabelul 4.13. Intrarea de condiție x_i se ia ca A_1 și se scriu întîi stările pentru $x_i = 0$, apoi pentru $x_i = 1$, ținînd seama de condițiile H, C și N. Datele care constituie conținutul memoriei corespund stărilor $Q_2Q_1Q_0$ și corespunzător $Y_1 \div Y_5$ ale funcției de ieșire. Se observă că metoda poate fi extinsă pentru implementarea unor automate oricît de complexe fără a necesita minimizarea funcțiilor f și g, pornind direct de la organigramă și construind cele două tipuri de tabele. Organizarea datelor în memorie se poate face prin transpunerea directă pe un tabel de tipul tabelului 4.13.

Această metodă ilustrează un pas calitativ nou în proiectarea sistemelor numerice: folosirea **logicii programate** în locul **logicii cablate** prezentată în acest capitol și în capitolul precedent. Ea se aplică în sistemele cu microprocesoare

Scanned with OKEN Scanner

Tabelul 4.1

Adresa				Conținut memorie (Date)							
A_4	A_3	A_2	A_1	Q_0	Q_1	Q_2	Y_1	Y_2	Y_3	Y_4	Y_5
0	0	0	0	0	1	0	0	1	1	1	1
0	0	0	1	*	*	*	*	*	*	*	*
0	0	1	0	0	0	0	0	1	1	0	0
0	0	1	1	*	*	*	*	*	*	*	*
0	1	0	0	1	0	1	1	0	0	1	1
0	1	0	1	1	1	1	0	0	1	1	1
0	1	1	0	1	1	1	1	0	1	1	1
0	1	1	1	0	0	0	0	0	1	1	0
1	0	0	0	*	*	*	*	*	*	*	*
1	0	0	1	*	*	*	*	*	*	*	*
1	0	1	0	1	1	0	0	1	1	0	0
1	0	1	1	*	*	*	*	*	*	*	*
1	1	0	0	*	*	*	*	*	*	*	*
1	1	0	1	*	*	*	*	*	*	*	*
1	1	1	0	1	0	0	1	0	1	1	1
1	1	1	1	1	1	0	0	0	1	1	0

și în general, la sistemele numerice de mare complexitate, algoritmii folosiți putînd fi rulați pe calculator, care livrează direct informația ce trebuie înscrisă în memorii.

Proiectarea cu memorii a impulsionat întreaga dezvoltare a electronicii și informaticii din ultimele două decenii, de cînd firma IBM a folosit o variantă a acestei metode — **microprogramarea** — la realizarea seriei de largă circulație a sistemelor IBM 360. Fenomenul este favorizat de scăderea continuă a costului memoriilor integrate de mare capacitate, odată cu progresele în tehnologia acestora.

Scanned with OKEN Scanner

5.1. Generalităţi

După cum se poate constata din capitolele anterioare, tehnicile de circuit clasice, cu funcţionare analogică, cedează tot mai mult teren în aplicaţii tehnicilor numerice (digitale), capabile de performanţe net superioare datorate în principal stabilităţii — calitate rezultată principial din modul de operare al acestor circuite.

Tendinţa spre performanţă s-a impus pe scară largă în primul rînd în domeniul aparaturii de măsură, unde tehnicile digitale au înregistrat un succes remarcabil. Astfel, aparatura complet digitală de măsură (cum ar fi de exemplu frecvenţmetrele numerice) realizează frecvent precizii de $10^{-7} \div 10^{-9}$ spre deosebire de cea analogică care cu mari dificultăţi ajunge la 10^{-3}. Chiar şi sisteme „hibride" (care implică conversie analog-numerică, cum ar fi voltmetrele numerice) ajung la precizii de 100—1000 de ori mai bune decît aparate analogice de preţ comparabil.

Acest decalaj de performanţă, deşi mai puţin cunoscut de utilizatori, s-a propagat în majoritatea domeniilor electronicii, astfel că soluţiile analogice se mai folosesc în prezent numai în echipamentele simple, de preţ scăzut.

Se poate spune că principalul factor limitativ în proliferarea tehnicilor numerice l-a constituit, de la apariţia lor, preţul de cost în general sensibil crescut faţă de soluţii analogice clasice. În legătură cu acest factor există două aspecte de tratare a problemei :

1. Volumul fizic de circuite electronice necesare este incomparabil mai mare într-o rezolvare numerică (digitală) faţă de similarul analogic. Acest inconvenient a putut fi treptat depăşit într-o gamă din ce în ce mai largă de aplicaţii datorită progresului fizicii dispozitivelor cu corp solid care au permis dezvoltarea de tehnologii microelectronice din ce în ce mai puternic integrate la preţuri tot mai scăzute. Ca urmare tehnicile digitale (numerice) au pătruns deja din anii '80 chiar şi în domeniul bunurilor de larg consum (aparatură electrocasnică, sisteme audio, video, microcalculatoare personale etc). Principiile rezolvării acestui aspect al problemei au fost discutate în capitolele anterioare, atît din punct de vedere fizic cît şi electronic.

2. Complexitatea sporită a sistemelor numerice necesită un efort crescut de proiectare, realizare, întreţinere şi depanare a aparaturii respective. Odată cu scăderea preţului de cost al componentelor numerice a devenit principial posibilă abordarea electronică a unei game enorme de aplicaţii, astfel că a devenit dificilă proiectarea pe baza metodelor inginereşti tradiţionale, a algoritmilor standard pentru fiecare clasă de circuite sau sisteme. Într-adevăr, puţine echipamente numerice necesită un număr rezonabil de mic de componente pentru

ca proiectarea și introducerea lor în fabricație să fie posibilă cu eforturi și în intervale de timp acceptabile folosind metodele clasice pe bază de porți, bistabili etc. Majoritatea echipamentelor numerice ar necesita într-o astfel de variantă 10^3—10^5 porți elementare, fiind practic inabordabile.

În fața acestei situații s-a impus necesitatea elaborării unei noi metode de proiectare, calitativ diferită, bazată pe utilizarea de sisteme standardizate, flexibile, care prin modificări minime să poată acoperi o gamă oricît de largă de aplicații. Un astfel de sistem — singurul posibil din punct de vedere principial — capabil să efectueze orice funcție electronică de prelucrare a informației era deja cunoscut — calculatorul numeric universal.

Dezvoltarea tehnologiilor integrate a permis deja la începutul anilor '70 abordarea acestei soluții în afara sferei tehnicii de calcul. Un prim pas a fost făcut prin realizarea de memorii *MOS* integrate cu densitate suficientă și preț acceptabil. În fine, firma INTEL a realizat în 1971 integrarea unei unități centrale de calculator sub forma circuitului cheie al noii direcții în electronică — **microprocesorul (μP)**. În felul acesta a devenit posibilă realizarea de microcalculatoare adaptabile la orice tip de prelucrare de informații și aplicabile la o gamă extrem de largă de aplicații cu un efort de proiectare redus, prin adaptarea intrărilor și ieșirilor sistemului și conceperea programului de funcționare a acestuia.

5.2. Elemente constitutive ale sistemelor cu microprocesoare (μP) și rolul lor

Prelucrarea informației prin metode electronice presupune existența unui sistem conform modelului din figura 5.1.

Exemplu: Să considerăm un controlor de proces industrial care trebuie să mențină parametrii tehnologici ai unui reactor chimic de sinteză conform unor valori introduse de operator și să semnalizeze în diverse moduri desfășurarea reacției.

Informația de intrare este captată de diverși senzori (de temperatură, de presiune, de concentrații) și introdusă în convertori analog-numerici care furnizează date către sistemul numeric. De asemenea, există un panou de comandă de la care operatorul introduce printr-o tastatură valorile caracteristice impuse reacției și comenzi adecvate.

Sistemul numeric trebuie să preia automat aceste informații și să le memoreze atît timp cît este necesar pînă la schimbarea acestora sau, în ultimă instanță, pînă la terminarea reacției). Trebuie să existe deci niște circuite de intrare (numite și **porturi de intrare** pentru preluarea datelor și comenzilor din exterior precum și o **memorie** de tip scriere-citire) pentru stocarea acestora.

În urma prelucrării informațiilor conform unui algoritm specific, prestabilit, sistemul numeric furnizează date și comenzi către operator și, respectiv, proces, prin intermediul unor sisteme de afișare, electrovalve, motoare, elemente

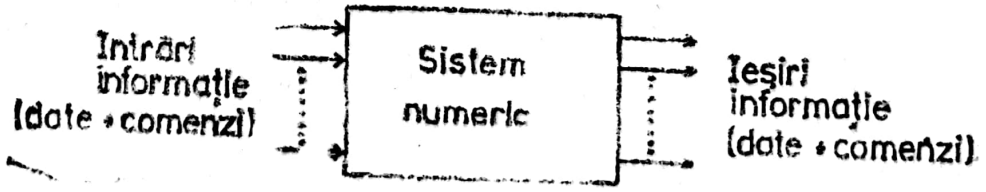


Fig. 5.1

Scanned with OKEN Scanner

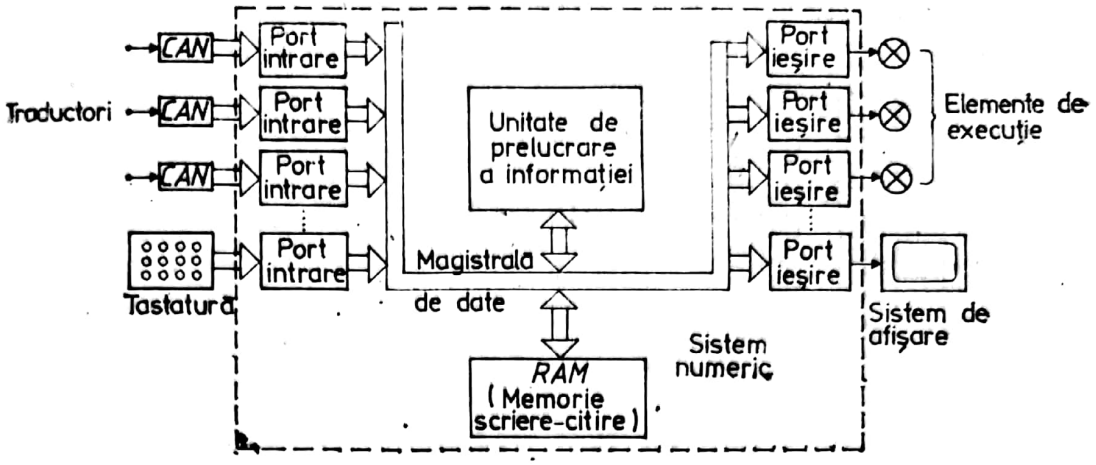


Fig. 5.2

de încălzire sau răcire etc. Trebuie să existe deci și **circuite (porturi) de ieșire** din sistemul numeric pentru menținerea semnalelor respective la ieșiri atît timp cît este necesar.

Rezultă o structură ca cea din figura 5.2 în care se observă existența unor linii de transferare paralelă a datelor, formînd o **magistrală bidirecțională** (*Data Bus-DB*). Numărul de linii al acesteia — lățimea magistralei — se alege din considerente de simplificare a sistemului, economicitate etc. De exemplu, dacă se folosesc *CAN* de 8 biți capabile să asigure o precizie de citire de $1/2^8 < < 0{,}4\%$ este comod să se utilizeze o magistrală de opt linii pentru comunicația de date între constituenții sistemului.

Putem considera că funcționarea controlorului începe cu citirea informației din porturile de intrare (date de la traductori, comenzi și date de la tastatură). Sistemul le va prelucra pe rînd, deci cele care nu se procesează imediat vor trebui înscrise în memorie. Pentru simplificare, vom presupune că fiecare unitate de informație are numai 8 biți și o vom numi *cuvînt* (în cazul de față, octet). Porturile de intrare pot fi deci grupuri de 8 bistabili — registre de 8 biți avînd ieșiri cu trei stări (figura 5.4) pentru a putea fi cuplate împreună la magistrala de date [1]. Memoria va consta de asemenea dintr-un ansamblu de registre (numite locații) de 8 biți care au intrări și ieșiri (de tip trei stări) comune, cuplate la magistrala de date. Să presupunem că la momentul t_k trebuie citită informația din portul numărului P_6 și încărcată în *RAM* la locația numărul M_{17}. Pentru aceasta, unitatea de prelucrare a informației (*UPI*) trebuie mai întîi să genereze semnalul de „Citire port n" în timp ce toate celelalte semnale de citire de porturi sînt inactive, în acest fel porțile cu trei stări de la ieșirea portului n se deschid și conținutul acestuia apare pe magistrala de date.

UPI ar trebui să genereze atîtea linii de comandă a citirii porturilor de intrare cîte porturi sînt, numărul respectiv putînd deveni destul de mare (10^1—10^2); nu este economic să se cableze atîtea legături, mai ales că o situație similară se creează și pentru selecția celulelor de memorie (în număr de 10^3—10^5). Faptul că un port și numai unul este selectat la un moment dat (respectiv locație de memorie) sugerează folosirea de decodificatoare pentru selecție, ca în figura 5.4. Prin acest procedeu porturile (respectiv locațiile de memorie) se numerotează iar *UPI* trimite la decodificatoarele de selecție *numărul*

[1] În figură s-au notat cu *OE* (*Output Enable*) intrările de validare a ieșirilor datelor.

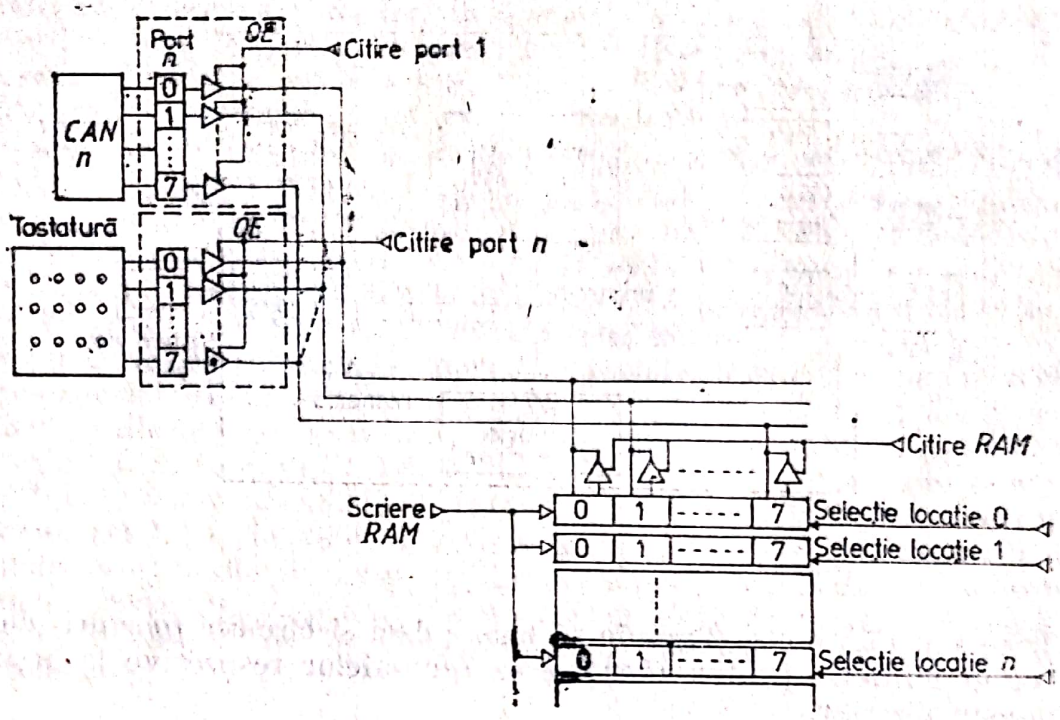


Fig. 5.3

codificat binar al portului (locației) de selectat. Acest număr se numește simplu **adresă** și are structura ...00110 =6 pentru portul 6 și respectiv ...010001 = = 17 pentru locația 17 din *RAM* etc.

Deoarece există relația (conform figurii 5.4) $n = 2^m$ rezultă o cablare mult mai economică decît cea fără codificare (adresare). De exemplu, pentru selecția dintr-o memorie de $2^{12} = 4096$ de locații sînt necesare numai 12 linii de adresă în loc de 4096 linii de selecție, iar pentru 256 de porturi numai 8 linii. Mai mult, pentru situația considerată nu este necesar să se folosească

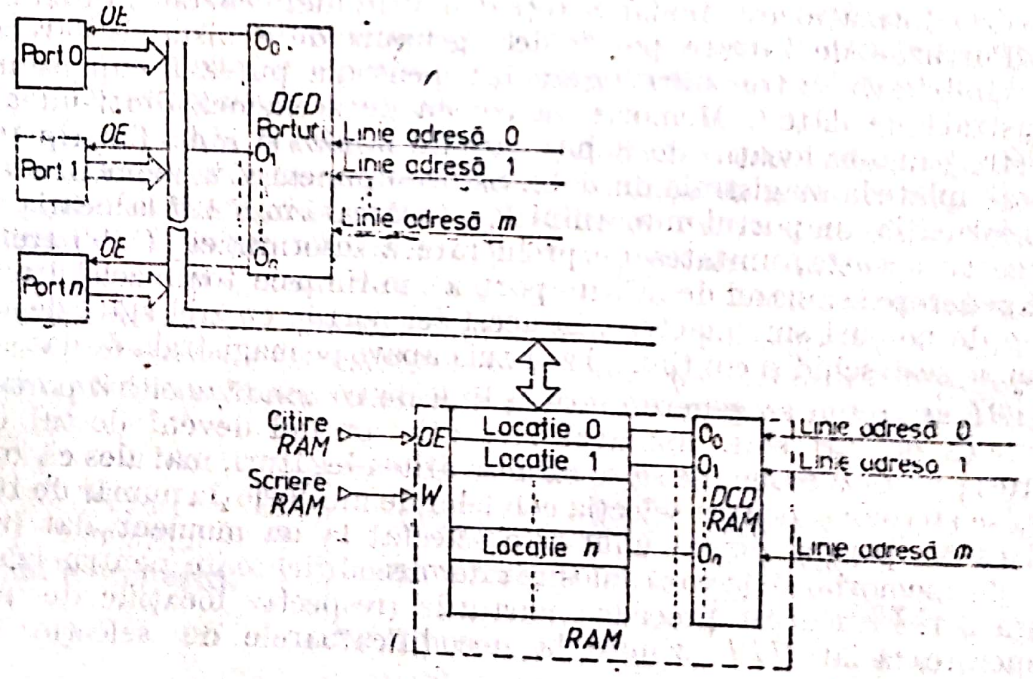


Fig. 5.4

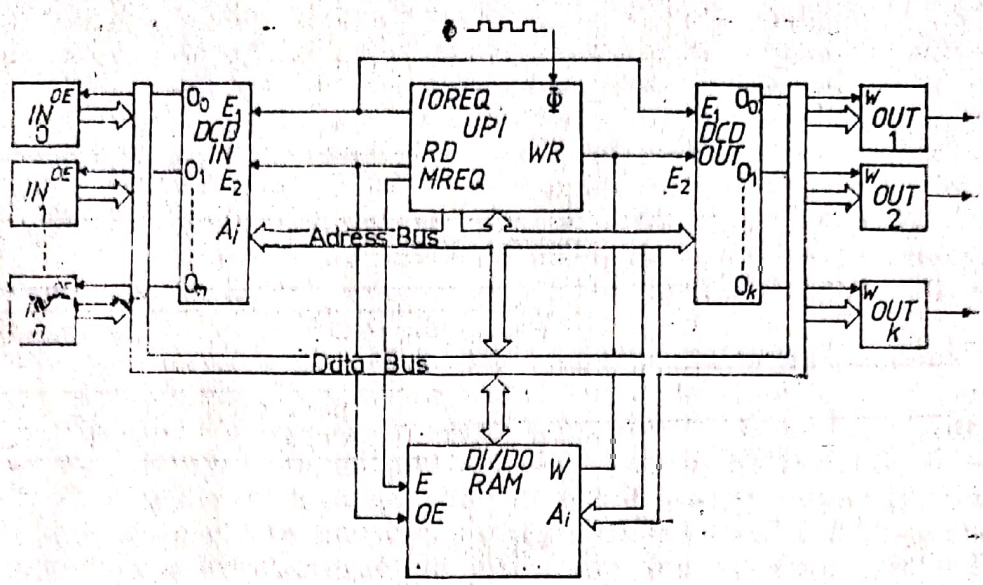


Fig. 5.5

20 de linii distincte putîndu-se folosi un grup de linii (magistrală) de adrese unic și două semnale care să indice dacă se adresează porturile (*Input/Output Request* — *IOREQ*) sau memoria (*Memory Request* — *MREQ*). Decodificatoarele devin demultiplexoare validate de aceste două semnale. Se obține o structură cu o magistrală de date și una de adrese ca în figura 5.5.

Nu s-a mai figurat demultiplexorul pentru *RAM* deoarece el se găsește integrat în toate circuitele de memorie actuale. S-au notat cu *Ai*, *DI*, *DO* intrările de adresă și date respective ieșirile de date și cu *RD* și *WR* comenzile de citire și respectiv scriere de date furnizate de *UPI* către memorie și porturi. Liniile respective împreună cu cele de tip *IOREQ*, *MREQ* și altele a căror necesitate va apare ulterior formează o nouă magistrală numită *Control Bus* — *CB* — magistrală de comenzi. Reunind porturile de intrare și de ieșire se ajunge la schema din figura 5.6 echivalentă cu cea anterioară dar grupată mai clar.

Demultiplexoarele pentru porturi împreună cu porturile s-au inclus într-un bloc unic de intrare-ieșire, proiectarea acestuia putînd fi făcută în conformitate cu tehnica circuitelor *SSI* și *MSI*.

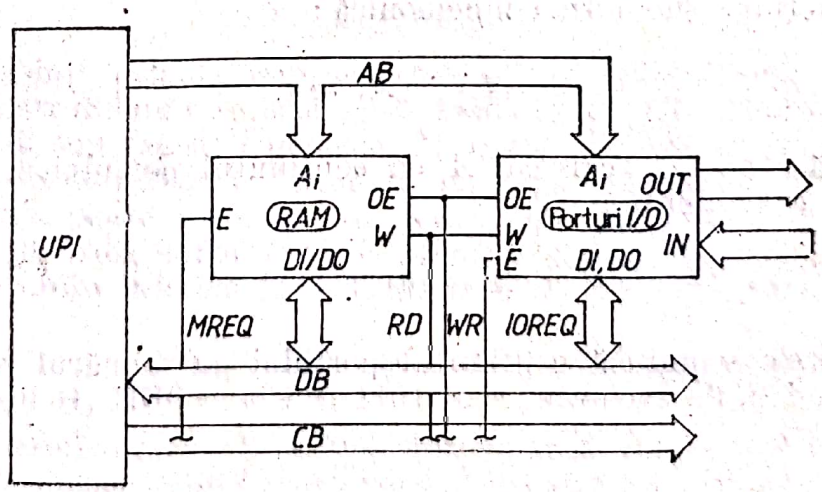


Fig. 5.6

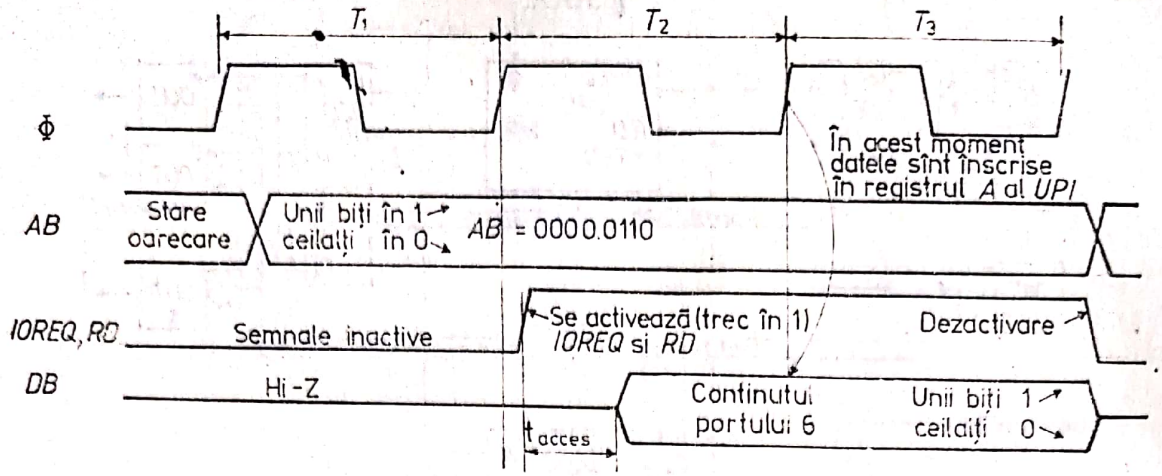


Fig. 5.7

Funcționarea sistemului conform unui algoritm uzual poate fi urmărită pe figura 5.5. Mai întîi, *UPI* citește datele dintr-un port de intrare, de exemplu P_6. Pentru aceasta, ea transmite pe magistrala de adrese cuvîntul 0000.0110 (s-a considerat o lățime a acesteia de 8 biți) și pe magistrala de control semnalele *IOREQ* și *RD*, ca în figura 5.7. După un timp de ordinul zecilor de ns (t_{acces}, dat de întîrzierele prin decodificator și porțile cu trei stări de la ieșirea portului) conținutul portului apare pe magistrala de date, aflată anterior în starea de înaltă impedanță.

Informația respectivă ar putea fi înscrisă acum în memoria *RAM*; pentru aceasta ar trebui emisă pe magistrala de adrese, adresa locației dorite și semnalele *MREQ* și *WR*.

În mod uzual însă conținutul acestui port se prelucrează înainte de a fi memorat și de aceea este înscris chiar în *UPI* într-un registru intern, pe care îl vom numi *A*. Citirea portului se va executa deci în trei timpi pe care, pentru simplificare îi vom considera egali fiecare cu o perioadă a unui generator extern Φ (numit uneori „ceas"), numiți *stări mașină*. În timpul (starea) T_1 se generează adresele, în starea T_2 se dau comenzile de citire port, iar în starea T_3 se înscriu datele citite din port în registrul *A* al *UPI*. Un astfel de ansamblu de stări formează un *ciclu mașină*, în cazul de față un *ciclu de execuție*, iar acțiunea executată constituie o **instrucțiune**. Putem nota simbolic această interacțiune sub forma mnemonică:

$$IN \quad A, (6),$$

care înseamnă: încarcă registrul *A* cu conținutul portului 6. Se mai poate folosi notația echivalentă:

$$A \leftarrow (6),$$

unde parantezele semnifică conținutul portului cu numărul respectiv, acest conținut putînd fi, de exemplu, 1001.1011 = 155 = 9BH (H înseamnă notație hexazecimală) [2].

[2] În această notație 1010 = A, 1011 = B, 1100 = C etc. (v. [1]).

Scanned with OKEN Scanner

Acțiunile particulare executate în fiecare stare mașină de către *UPI* se numesc *microinstrucțiuni*, sau *microoperații*. Desfășurarea într-o ordine specifică a acestora conduce la realizarea unei instrucțiuni.

Să presupunem că, în continuare, datele preluate de *UPI* de la portul P_6 trebuiesc comparate cu o valoare prestabilită. De exemplu, ele reprezintă o temperatură, care trebuie să nu fie mai mică decît 98H = 1001.1000 = 152 și nici mai mare decît 9FH = 1001.1111 = 159. Aceste valori, desemnînd grade Celsius, au fost introduse înaintea începerii reacției, în memoria *RAM* a sistemului, de la tastatură, de exemplu la locațiile 252 = 1111.1100 = = FCH și respectiv 253 = 1111.1101 = FDH.

Pentru efectuarea comparării ele trebuiesc de regulă aduse în *UPI* unde există circuite logice combinaționale capabile să efectueze comparația (cel mai simplu prin scădere și reținerea semnului rezultatului). Prin urmare, *UPI* va lansa, într-un ciclu mașină ulterior, adresa FDH (253) și semnalele *MREQ* și *RD*. Conținutul locației 253 din *RAM* apare după un timp, t_{acces}, pe magistrala de date și este citit într-un registru intern al *UPI*, să spunem *B*. S-a executat deci o interacțiune de citire din *RAM*, care poate fi notată mnemonic:

$$LD \quad B, \quad (253)$$

sau

$$LD \quad B, \quad (FDH)$$

sau

$$B \leftarrow (FDH).$$

Mnemonicul *LD* vine de la cuvîntul „*Load*" — încarcă și este ales arbitrar.

De asemenea ar fi util să se încarce și conținutul celeilalte locații, 252 (avînd înscrisă valoarea minimă admisă a temperaturii) în *UPI* de exemplu în registrul intern *C*. Se va genera deci adresa 252 și semnalele *MREQ* și *RD* iar pe magistrala de date va apare octetul 98H = 152 (°C) care se va încărca în registrul *C*.

Pînă acum succesiunea de instrucțiuni, formînd un început de program, ar fi deci următoarea:

$$IN \quad A, \quad (6),$$
$$LD \quad B, \quad (FDH),$$
$$LD \quad C, \quad (FCH).$$

Multe mașini (calculatoare electronice) au posibilitatea să efectueze ultimele două instrucțiuni ca una singură. Pentru aceasta, se folosește conceptul de *registru dublu* sau registru pereche. În cazul de față dacă vom considera că registrele de 8 biți *B* și *C* formează un registru pereche (*rp*) de 16 biți, notat *BC*, acesta poate memora doi octeți, sau un cuvînt de 16 biți. De regulă, octetul de ordin superior (*H* = High) se memorează în primul registru (*B*), iar cel de ordin inferior (*L* = Low) în al doilea (*C*). Putem scrie deci:

$$BC_H = B \quad \text{și} \quad BC_L = C.$$

Deoarece datele necesare au fost înscrise în locații succesive din memorie s-ar putea folosi o instrucțiune unică care să realizeze ambele citiri. De exemplu o *UPI* cu un circuit de tip Z-80 poate efectua o astfel de instrucțiune notată

Scanned with OKEN Scanner

mnemonic:

$$LD \quad BC, (252),$$

sau

$$LD \quad BC, (FCH),$$

al cărei efect este:

$$BC_H \leftarrow (252 + 1),$$

$$BC_L \leftarrow (252).$$

Aceasta înseamnă: în registrul inferior al perechii BC, deci în C se încarcă conținutul locației specificate — 252; în registrul superior al perechii BC, deci în B, se încarcă conținutul locației următoare — 253.

Începutul de program arată deci astfel:

$$IN \quad A, \quad (6),$$

$$LD \quad BC, (FCH).$$

Urmează instrucțiuni de comparare, care se execută în interiorul UPI fără participarea magistralelor. Se poate folosi notația (pentru compară conținutul lui A cu B)

$$CP \quad A, B.$$

De regulă însă, compararea se poate face numai relativ la conținutul unui registru, să spunem A, deci acesta nu este necesar să apară în mnemonicul instrucțiunii, subînțelegîndu-se:

$$CP \quad B.$$

Rezultatul acestei comparații trebuie memorat în UPI pentru a fi folosit în continuare. Pentru aceasta, se folosesc o serie de bistabili interni, numiți fanioane (Flags) cu destinații specifice.

Astfel, există de regulă bistabilii notați S și Z, care pot fi afectați și de instrucțiunea de comparare. Bistabilul S memorează semnul rezultatului scăderii efectuate în vederea comparării. Dacă semnul este negativ, S ia valoarea 1, iar dacă este pozitiv, valoarea 0. Dacă rezultatul este nul, se poziționează în 1 bistabilul Z (zero), în caz contrar el luînd valoarea 0.

Investigînd starea unor astfel de bistabili UPI poate lua decizii pentru comanda corespunzătoare a procesului.

După cum se observă din exemplul prezentat, funcționarea sistemului numeric presupune execuția, într-o anumită ordine, a unui număr de instrucțiuni, care formează **programul** microcalculatorului pentru o aplicație dată. Execuția acestor instrucțiuni se realizează în interiorul UPI, sau în exterior prin generarea de către UPI a unor semnale specifice pe magistrale (adrese și comenzi) care conduc la vehicularea și prelucrarea de date.

5.3. Memoria de program

Fiecare tip de UPI poate să execute un număr de cîteva zeci sau sute de tipuri de instrucțiuni din care se pot alcătui programe pentru orice fel de aplicație numerică. Proiectantul sistemului, cunoscînd acest set de instruc-

Scanned with OKEN Scanner

țiuni al *UPI* folosite, scrie programul corespunzător unei aplicații date, sub forma unei succesiuni de instrucțiuni. În funcție de complexitatea problemei, programul cuprinde între cîteva zeci și cîteva sute de mii de instrucțiuni care trebuiesc executate automat, în ordinea prestabilită, de către *UPI*. Aceasta trebuie să fie deci informată, după terminarea execuției unei instrucțiuni, ce instrucțiune urmează să fie executată în continuare.

Pentru ca acest proces să se desfășoare automat, fără intervenția operatorului, se folosește tehnica de codare a instrucțiunilor — în esență numerotarea acestora într-un mod specific fiecărei *UPI*. În exemplul prezentat, consultînd setul de instrucțiuni furnizat de fabricant pentru circuitul Z-80 (vezi [83] [84]) se constată că instrucțiunea *IN A*, (*) are codul DBH = 1101.1011, instrucțiunea *LD BC*, (*) are codul 01H = 0000.0001, ș.a.m.d.

Folosind pentru codare numere binare cu 8 biți se pot codifica $2^8 = 256$ de tipuri de instrucțiuni, număr suficient pentru majoritatea *UPI* uzuale.

Execuția automată a programului stabilit presupune introducerea lui în microcalculator — sistemul numeric — și menținerea lui atît cît este necesar. Prin urmare trebuie să existe în interiorul sistemului o *memorie pentru program* în care se înscriu codurile instrucțiunilor, în ordinea în care acestea apar în program, precum și informații cu privire la parametrii instrucțiunilor (operanzi). Conținutul acestei memorii este deci format din octeți binari care constituie **codul mașină** al programului, existînd o corespondență directă între acestea și forma literală (în mnemonice) scrisă inițial de proiectant. Pentru începutul de program prezentat anterior există deci corespondența următoare:

Forma mnemonică (Listingul programului)	Codul mașină (*conținutul memoriei de program*)	
	Codul instrucțiunii	Operanzi
1. *IN A*, (6)	DB	0 6
2. *LD BC*, (FCH)	01	F C
3. *CP B*	B8	
. . . . .	. . . . .	. . . . .

Se observă că primele două instrucțiuni au ca operanzi adresele portului de intrare, respectiv a locației de memorare implicate.

Instrucțiunea a treia nu are operand, deci este formată dintr-un singur octet, ocupînd o singură locație din memoria de program organizată în exemplul dat pe 8 biți); alte instrucțiuni necesită însă 2 sau mai multe locații — de regulă succesive — din memoria de program. Codul mașină se înscrie în această memorie pornind de la o adresă de origine (de start), de cele mai multe ori de la adresa zero și fără discontinuități. În exemplul considerat conținutul memoriei de program ar fi următorul:

Adresa locației	Conținutul locației	
Ø Ø	Ø DB	Instrucțiunea 1
Ø 1	Ø 6	
Ø 2	2 A	Instrucțiunea 2
Ø 3	FC	
Ø 4	B 8	Instrucțiunea 3
. . . .	. . . .	. . . . .

Scanned with OKEN Scanner

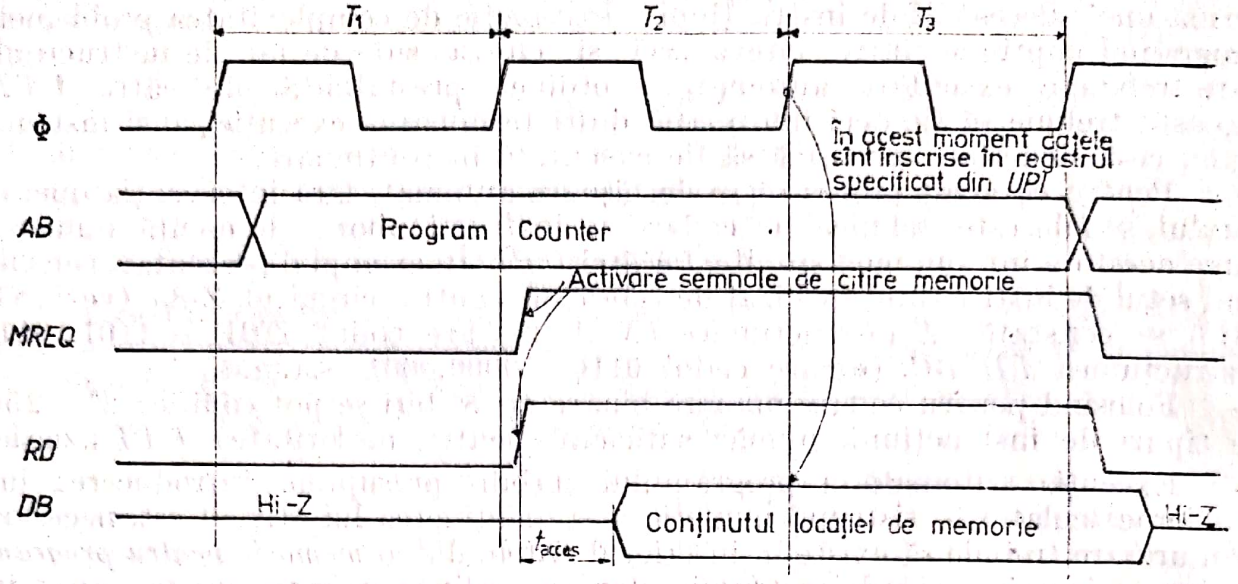


Fig. 5.8

UPI extrage aceste coduri de instrucțiuni și operanzi din memoria de program pe rînd, prin comunicarea succesivă a adreselor în general în ordine crescătoare. Pentru aceasta, în interiorul *UPI* trebuie să existe un numărător de program — *PC* („Program Counter") al cărui conținut să fie incrementat după extragerea fiecărui octet. După execuția unei instrucțiuni, conținutul *PC* este debitat pe magistrala de adrese și prin activarea ulterioară a semnalelor *MREQ* și *RD*, conținutul următoarei locații din memoria de program este debitat pe magistrala de date (fig. 5.8). De aici, după un timp necesar răspunsului memoriei, t_{acces}, octetul respectiv poate fi preluat în *UPI* și memorat într-un registru special, numit *registru de instrucțiuni* (*R.I.*). Succesiunea acestor evenimente formează *ciclul de extragere* al codului instrucțiunii (fig. 5.9) urmat de *ciclul de execuție* al instrucțiunii discutat anterior. Funcționarea sistemului constă în repetarea succesivă a acestor cicluri, ca în organigrama din fig. 5.9.

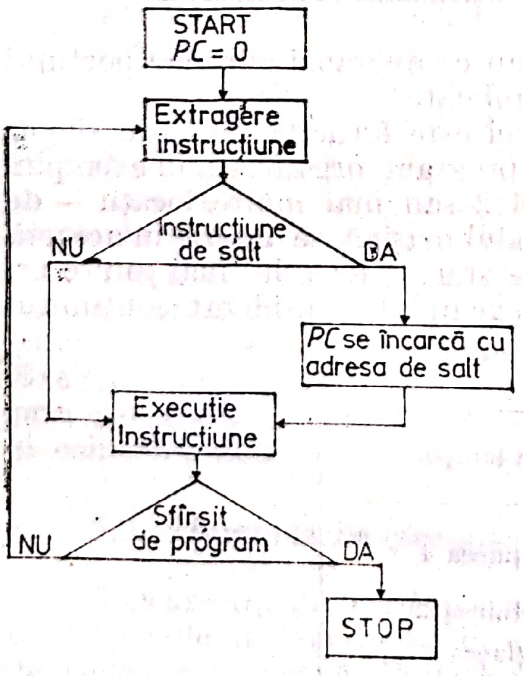


Fig. 5.9

În multe cazuri, în special la sisteme dedicate sau mici, programul de funcționare este parțial (sau total) fix, în sensul că, la inițializare, sistemul execută de fiecare dată „de la sine" acest program sau părți ale lui. Rezultă că în aceste cazuri programul trebuie stocat în memorii nevolatile (*ROM*, *EPROM*, *EAROM*), păstrîndu-se astfel la întreruperea alimentării. Totodată, datele și rezultatele trebuie stocate în memorii cu scriere și citire (*RAM*) care împart spațiul total de memorie al sistemului cu memorii *ROM* (figura 5.15)

În sisteme mai mari sau de uz general, de cele mai multe ori *ROM*-ul este redus la minimum iar programele se stochează tot în *RAM* (devenind programe tranzitorii), ceea ce permite o mai mare flexibilitate, utilă în faza de dezvoltare.

Scanned with OKEN Scanner

5.4. Structura și funcționarea unității centrale

Din paragrafele anterioare rezultă că *UPI* — unitate centrală a sistemului — trebuie să fie capabilă să îndeplinească automat o serie de funcții :

a) Să *extragă* coduri de instrucțiuni și operanzi din memoria de program în ordinea dictată de acesta.

b) Să *execute* pe rînd instrucțiunile care au fost extrase prin generarea corespunzătoare de adrese, date și comenzi sau prin prelucrări aritmetice, logice etc., în interiorul său.

O structură posibilă de implementare a unor astfel de funcții este prezentată în figura 5.10.

Se observă existența numărătorului de program — *P.C.*, a registrului de instrucțiuni — *R.I.* și a registrului *A*, numit și *Acumulator*. Există de asemenea un ansamblu — arie — de registre (cum ar fi registrele *B* și *C* din exemplul prezentat), aranjate de regulă în perechi. Toate aceste registre comunică cu magistrala de date (pot fi încărcate de pe aceasta iar registrele *A*, *B*, *C*, etc. pot să și debiteze pe magistrală).

Totodată, *PC* și registrele perechi din aria de registre pot debita pe magistrala de adrese (*AB*).

Procesarea propriu-zisă a datelor are loc într-un bloc combinațional specializat — *ALU* — *Unitatea Aritmetică și Logică* compusă din sumatoare, circuite de inversare, porți ȘI, SAU, SAU-EXCLUSIV etc., circuite de comparare care execută funcții aritmetice și logice asupra celor două cuvinte de pe intrări. În raport cu rezultatul operației, este poziționat automat unul sau mai mulți indicatori din registrul de „flag"-uri, *F*. La unele operații se pot folosi indicatori proveniți de la operații anterioare deci legătura *ALU—F* este

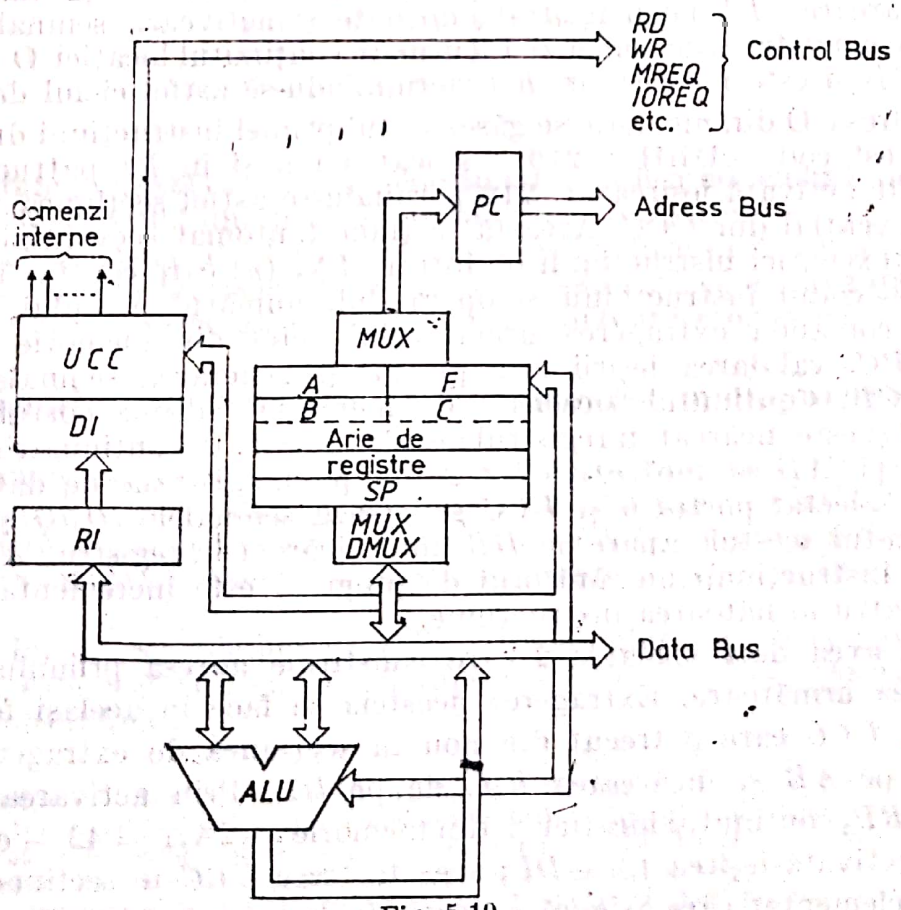


Fig. 5.10

bidirecțională. De exemplu la adunarea de numere de mai mulți octeți, la fiecare rang trebuie memorat în F eventualul transport (indicatorul C — „Carry") și folosit la adunarea următorului rang.

După cum s-a arătat, codul instrucțiunii este încărcat în $R.I.$ De aici el este introdus în *Decodificatorul de Instrucțiuni* — DI care va activa una dintre cele 2^n ieșiri ale sale corespunzătoare codului respectiv. Aceste ieșiri pornesc *Unitatea de Comandă și Control* — UCC — un ansamblu de automate secvențiale elementare care generează semnale interne către componenții UPI și externe prin magistrala de comenzi asigurînd execuția instrucțiunii.

UCC este realizată prin una din metodele generale de implementare a automatelor cu stări finite de regulă cu memorii programabile (v. § 4.7 și § 4.8.3), mai precis prin microprogramare. Pentru detalii se poate consulta lucrarea [1], dar aceste detalii nu sînt absolut necesare pentru utilizatorul și proiectantul de sisteme cu microprocesor.

Exemplu. Vom considera același sistem pentru controlul reactorului chimic cu începutul de program prezentat în exemplul din paragraful 5.2.

Presupunem că programul, scris inițial în mnemonice (limbaj de asamblare) a fost transcris în cod mașină și introdus în memoria calculatorului începînd de la adresa Ø. De asemenea au fost introduși parametrii reacției și alte date necesare în memorie și a fost pornit procesul, care furnizează prin intermediul CAN — (Convertor Analog-Numeric) date la porturile de intrare ale calculatorului.

La comanda de start a sistemului se resetează numărătorul de program, $PC = Ø$ și se inițializează UCC într-o stare de așteptare de instrucțiuni. În această stare UCC validează transmiterea conținutului PC pe magistrala de adrese, încărcarea RI pe magistrala de date și activează semnalele $MREQ$ și RD de pe magistrala de comenzi. Ca urmare conținutul locației Ø de memorie apare pe DB și este încărcat în $R.I.$ terminîndu-se astfel ciclul de extragere.

La adresa Ø din memorie se găsea codul primei instrucțiuni din program, IN, (6). Acest cod — DBH = 219 — stocat acum și în RI pătrunde în $D.I.$ astfel că este activată ieșirea nr. 219 pornindu-se astfel secțiunea 219 a automatului secvențial din UCC. Această secțiune (automat secvențial elementar) corespunde execuției instrucțiunii de intrare IN, (n) care conține întotdeauna doi octeți — codul instrucțiunii și operandul, numărul portului. Ca urmare automatul comandă extragerea următorului octet din memorie prin incrementarea PC, validarea ieșirii sale pe AB și generarea semnalelor $MREQ$ și RD pe CB. Conținutul locației 1 de memorie (adresa portului), ajunge deci pe DB și este încărcat în registrul de adrese RA. În continuare se validează ieșirea RA pe AB și încărcarea lui A de pe magistrala de date. În felul acesta este selectat portul 6 și UCC generează semnalele $IORQ$ și RD astfel încît conținutul acestuia apare pe DB fiind încărcat în registrul A. Înainte de terminarea instrucțiunii numărătorul de program este incrementat fiind deci pregătit pentru următoarea instrucțiune.

El va avea deci valoarea 2 care constituie adresa primului octet din instrucțiunea următoare. Extragerea acesteia se face în același fel ca și cea precedentă. UCC care a trecut din nou în secțiunea de extragere validează ieșirea PC pe AB și încărcarea $R.I.$ de pe DB. Prin activarea semnalelor $MREQ$ și RD, conținutul locației 2 din memorie — 2AH = 42 — este încărcat în $R.I.$ și activată ieșirea 42 a DI; aceasta trece UCC în secțiunea nr. 42 — automatul elementar care asigură execuția instrucțiunii $LD\ HL$,. (nn). Pentru

Scanned with OKEN Scanner

majoritatea sistemelor de 8 biți aceasta este o instrucțiune cu trei octeți [3], primul fiind codul instrucțiunii (2A) și ceilalți doi adresa de memorie de la care se încarcă registrul L (s-a arătat că H se încarcă de la adresa imediat următoare).

Automatul elementar nr. 42 asigură extragerea celorlalți doi octeți ai instrucțiunii sale din memorie și depozitarea lor în RA. Mai întîi se incrementează PC și conținutul său (0003) este transmis pe AB, activîndu-se $MREQ$ și RD astfel încît conținutul locației 0003 din memorie (00) este încărcat în octetul cel mai semnificativ al RA. Se incrementează PC din nou și trimis pe AB astfel încît conținutul locației 0004 din memorie (FCH) este încărcat în octetul mai puțin semnificativ din RA. În continuare, automatul comandă ieșirea lui RA pe AB și activează $MREQ$ și RD; ca urmare conținutul locației 00FCH din memorie apare pe DB și automatul comandă încărcarea sa în L. Apoi se incrementează RA și se activează din nou $MREQ$ și RD iar conținutul locației 00FDH din memorie apare pe DB iar automatul comandă încărcarea sa în H, terminîndu-se execuția instrucțiunii.

Ținînd seama de structura cu trei octeți a instrucțiunii $LD\ HL, (nn)$ conținutul memoriei în zona de program este cea din tabelul 5.1.

Tabelul 5.1

Adresa locației	Conținutul locației	
Ø Ø	D B	Instrucțiunea 1
Ø 1	Ø 6	
Ø 2	2 A	Instrucțiunea 2
Ø 3	Ø Ø	
Ø 4	F C	Instrucțiunea 3
Ø 5	B 8	

UPI funcționează analog în continuare, alternînd cicluri de extragere și execuție de instrucțiuni pînă la terminarea programului.

Ansamblul format de UCC, ALU și registre formează o unitate centrală de calculator numită *procesor*. În cazul în care aceasta este realizată sub forma unui singur circuit integrat ea se numește **microprocesor** — μP.

5.5. Cicluri și stări mașină în funcționarea microprocesorului

După cum s-a observat din exemplul considerat, instrucțiunile se realizează secvențial în mai mulți pași, numiți cicluri mașină (MC). De asemenea fiecare ciclu se împarte în mai mulți timpi, numiți *stări mașină*. Înlănțuirea acestora într-un mod specific asigură extragerea și execuția instrucțiunii respective.

Exemplu. Să considerăm că UPI a sistemului pentru controlul reactorului chimic este realizată cu un microprocesor de tip Z-80, ale cărui instrucțiuni le-am folosit deja.

[3] În general sînt necesari doi octeți pentru specificarea unei adrese de memorie deoarece cu un singur octet se pot codifica (adresa) numai $2^8 = 256$ de locații, insuficiente pentru majoritatea aplicațiilor. Dacă se folosește însă o magistrală de adrese de 16 biți se pot adresa $2^{16} = 65536$ de locații de memorie, în schimb sînt necesari doi octeți pentru specificarea unei astfel de adrese. Din aceste considerente PC și RA au 16 biți și pot fi încărcate dintr-un registru pereche pentru comanda AB.

Scanned with OKEN Scanner

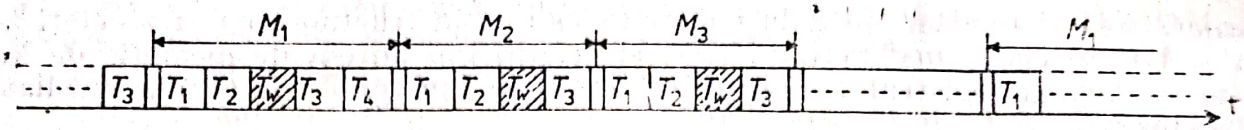


Fig. 5.11

Instrucţiunile acestui μP sînt constituite din unul pînă la şase cicluri maşină ($MC_1 \div MC_6$). Fiecare ciclu maşină poate avea trei sau patru stări maşină ($T_1 \div T_4$). În anumite cazuri, între perioadele T_2 şi T_3 se pot insera stări suplimentare de aşteptare ($WAIT$) al căror rol va fi explicat mai tîrziu. Rezultă o înlănţuire ca în figura 5.11.

Microprocesorul Z-80 are şapte tipuri de cicluri maşină diferite :

— ciclul de citire a codului operaţiei (M_1) ;
— ciclul de citire/scriere de la/în memorie ;
— ciclul de citire/scriere port I/O ;
— etc.

Vom analiza în continuare ciclurile care permit realizarea instrucţiunilor din începutul de program considerat.

Consultînd tabelul cu setul de instrucţiuni ale μP Z-80 (v. [84]) se constată că instrucţiunea $IN\ A, (n)$ are trei cicluri maşină. Acestea sînt (v. şi paragraful precedent) :

1. Citirea codului operaţiei ;
2. Citirea din memorie a numărului portului ;
3. Ciclul de citire a conţinutului portului.

Structura acestor cicluri este prezentată în figura 5.12.

Se observă că în ciclul M_1 (fig. 5.12, *a*), se generează mai întîi adresa conţinută de PC pe AB. Se dau apoi, la mijlocul stării T_1 semnalele $\overline{MREQ}$ şi $\overline{RD}$ (active în 0 logic în acest μP). Codul operaţiei apărut pe magistrală

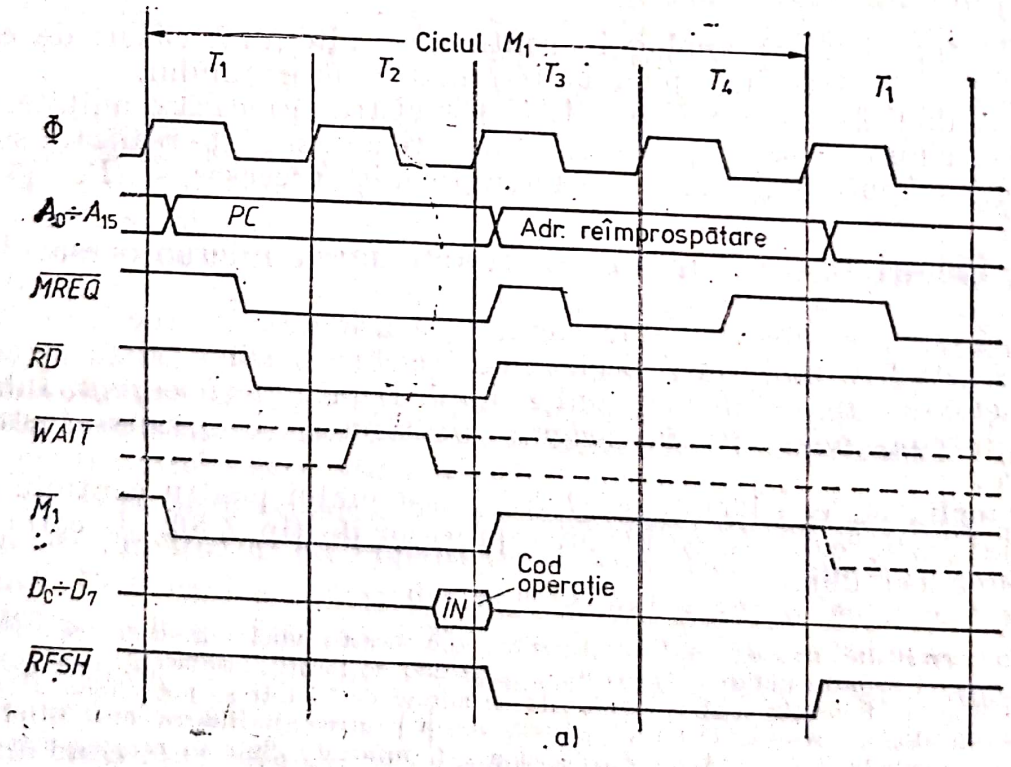
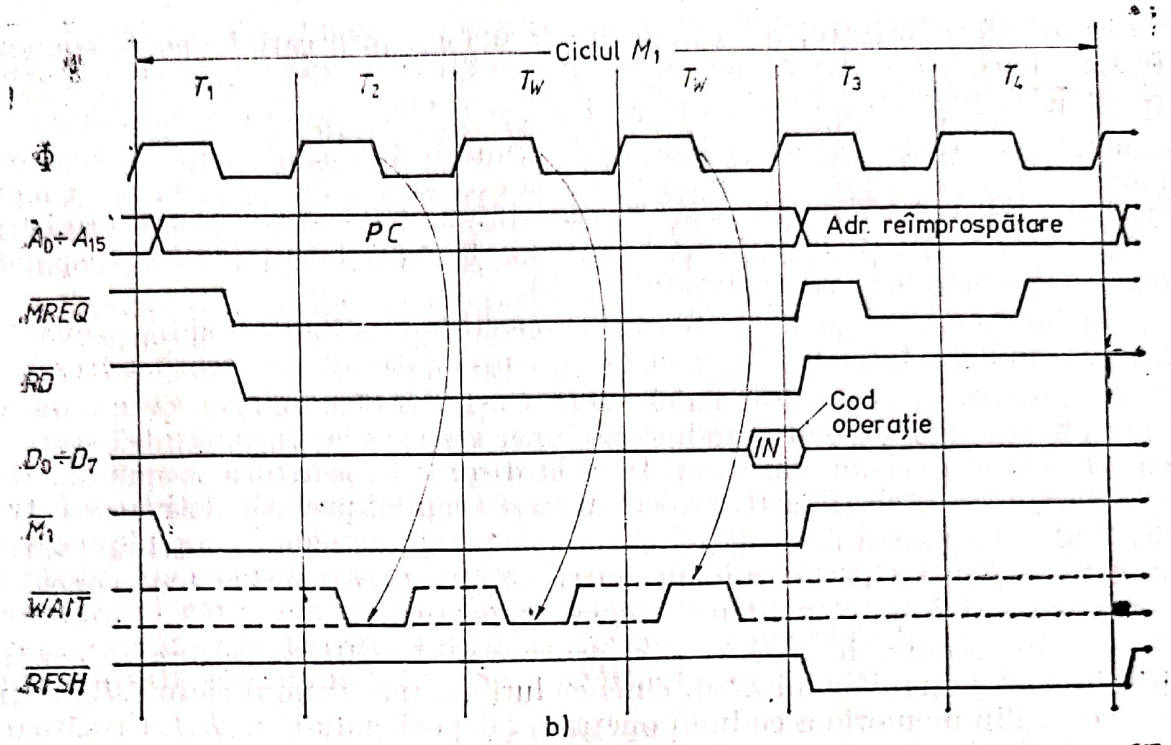
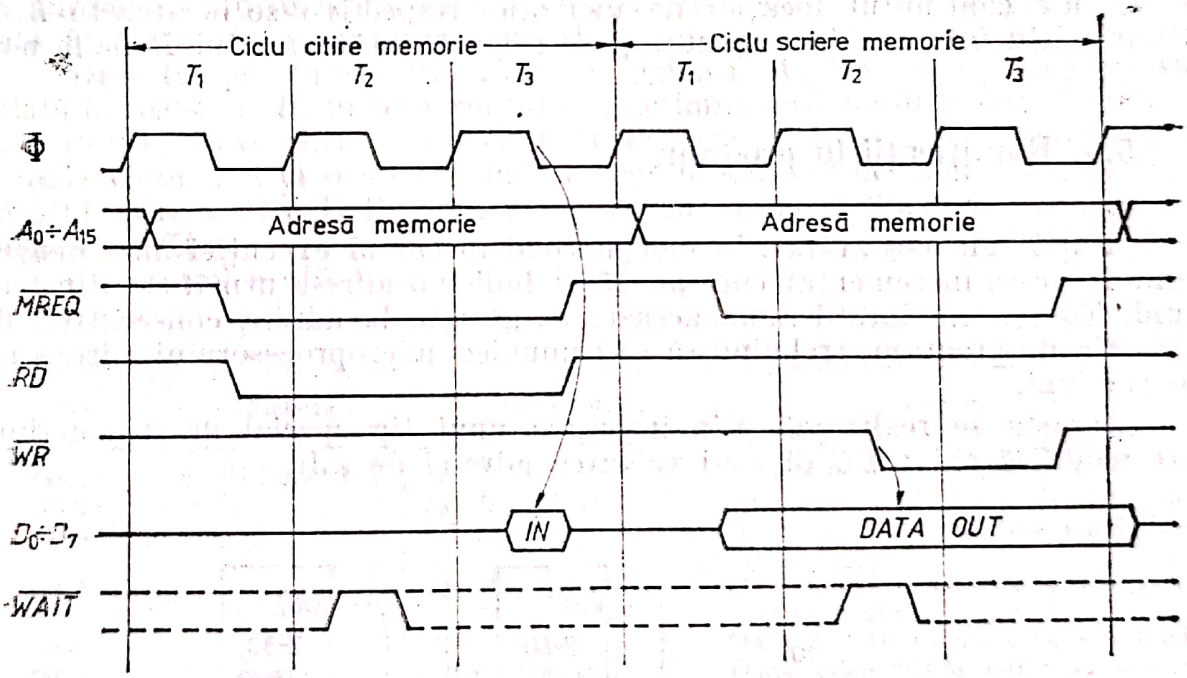


Fig. 5.12 *a*



b)

Fig. 5.12*b*



c

Fig. 5.12 *c*

după un timp de acces t_{acces} caracteristic memoriei folosite, este înscris în RI la începutul stării T_3. Ele trebuie să fie deja stabile cu un timp de pregătire („set-up"), t_s, înaintea acestui moment și să rămînă încă un timp de menținere („hold"), t_H, după acesta. Dacă memoria este prea lentă, deci t_{acces} este prea mare pentru a depune datele la momentul cerut ($T_3 - t_s$) se poate insera o stare de așteptare (T_w — figura 5.12, *b*) înaintea stării T_3. Pentru aceasta,

Scanned with OKEN Scanner

μP dispune de o intrare, $\overline{WAIT}$, activă în 0 logic prin care se poate comanda intrarea în această stare. Astfel, la jumătatea lui T_2 *UCC* investighează starea intrării $\overline{WAIT}$ și dacă este găsită activă (în 0 logic) se insereză o stare T_w. La jumătatea acesteia se investighează din nou $\overline{WAIT}$ și eventual se insereză o nouă stare T_w ș.a.m.d. pînă cînd intrarea este găsită dezactivată (în 1 logic). Abia după aceasta urmează starea T_3 propriu-zisă în care este citită magistrala de date. Stările T_3 și T_4 mai sînt folosite la μP Z-80 și pentru reîmprospătarea memoriilor dinamice (v. paragraful 4.6.3).

Ciclul de citire sau scriere de la/în memorie conține trei stări și eventual stări T_w suplimentare. Ca și în ciclul M_1 mai întîi se generează adresele pe AB, apoi tot în starea T_1 semnalele $\overline{MREQ}$ și $\overline{RD}$ (fig. 5.12, *c*). Citirea datelor se face, în registrul desemnat în instrucțiunea respectivă, la jumătatea stării T_3, memoria avînd deci un timp mai lung la dispoziție pentru a răspunde. Dacă totuși acesta nu este suficient, proiectantul sistemului prevede activarea intrării $\overline{WAIT}$ și pentru acest ciclu. Exemple de rezolvare a acestei inserări de stări T_w sînt date în figura 5.13, *a* (numai pentru M_1), 5.13, *b* (pentru toate operațiile cu memoria) și 5.13, *c* (pentru memorie și porturi).

Cea de a doua instrucțiune a programului, *LDHL*, (*nn*) are, conform tabelului instrucțiunilor lui Z-80, cinci cicluri mașină. Primul ciclu (M_1) asigură extragerea din memorie a codului operației, depozitîndu-l în *R.I.* Următoarele două cicluri aduc octeții care formează adresa de unde se va încărca perechea *HL* și îi depozitează în *RA*. În ciclul al patrulea, această adresă este transmisă pe *AB* iar conținutul locației de memorie respective se încarcă în *L*. În ultimul ciclu *RA*, este incrementat și se asigură încărcarea lui *H* de la noua adresă.

5.6. Ramificații în program

După cum s-a arătat, în mod normal în cursul execuției unei instrucțiuni *PC* este incrementat corespunzător indicînd adresa următoarei instrucțiuni. Totuși, nu întotdeauna aceasta se găsește la adresa consecutivă din memoria de program, trebuind să se comunice microprocesorului adresa noii instrucțiuni.

Aceasta se realizează prin inserarea unui tip special de instrucțiune, care modifică chiar *PC* dîndu-i valoarea adresei de salt.

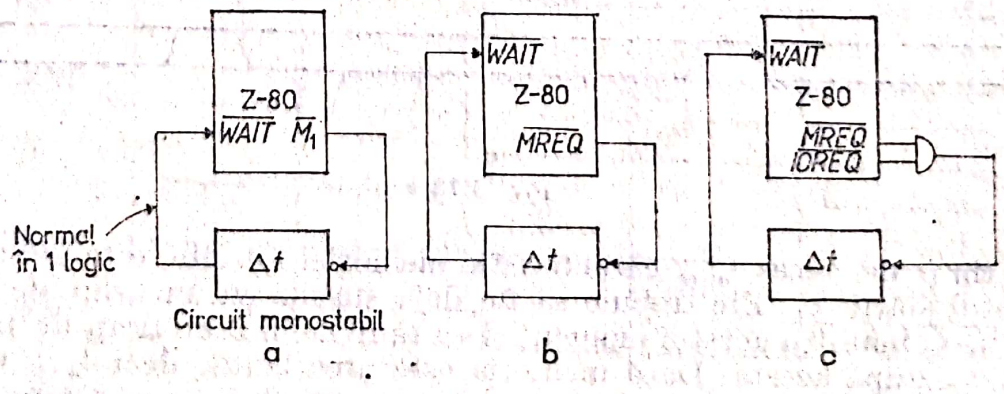


Fig. 5.13

Saltul poate să apară în program dacă este îndeplinită o anumită condiție (salt condiționat) sau întotdeauna dacă s-a ajuns în punctul respectiv (salt necondiționat). Aceste operații sînt impuse de logica de desfășurare a activității sistemului și de modul în care proiectantul sistemului concepe programul.

Saltul poate avea loc către o altă zonă ulterioară a programului, fără întoarcere la punctul de plecare, către o zonă anterioară, cu reluarea unor instrucțiuni care au mai fost parcurse, sau către un bloc separat, specializat, de instrucțiuni numit **subrutină**, cu întoarcere în punctul de plecare.

Exemplu. Vom ilustra tehnicile uzuale ale ramificării în program, continuînd exemplul anterior cu operațiile de decizie, comandă și semnalizare.

În urma comparării temperaturii citite în reactor cu temperatura maximă impusă (instrucțiunea CP H), pot apărea două situații :

1) Temperatura citită este mai mare sau egală cu cea maximă ;
2) Temperatura citită este inferioară celei maxime.

În primul caz trebuie dată comanda de pornire a unui proces de răcire, de exemplu prin comanda unei electrovalve care să dea drumul unui fluid de răcire. De asemenea se va da comanda de stingere a becului de pe panoul operatorului care semnaliza „Temperatură în limite normale", avertizînd că reacția este în curs de reglare termică. Aceasta se poate realiza printr-o instrucțiune de salt condiționat (v. [84]) de tipul

JP cc, nn

al cărei efect este ; dacă condiția *cc* este îndeplinită se sare la instrucțiunea de la adresa *nn* din memoria de program ; în caz contrar instrucțiunea de salt este ignorată și se continuă normal.

Dacă temperatura citită, aflată în registrul *A*, depășește pe cea maximă, aflată în registrul *H*, în conformitate cu acțiunea instrucțiunii *CP H* nu apare indicatorul *C* (transport — „*C*arry"). În această situație (*NC* — „non carry") trebuie să se sară la o adresă unde începe programul de răcire. Vom eticheta această adresă RĂCIRE și ea poate fi într-o zonă liberă a memoriei, de exemplu 30H.

Programul arată acum ca în tabelul 5.2.

Tabelul 5.2

Adresa	Eticheta	Instrucțiunea	Comentariu
0000	TEMPERATURA	*IN A*, (6)	Se citește temperatura în *A*
0002		*LD HL*, (FD)	Se încarcă în *HL* temperaturile extreme
0005		*CP H*	Se compară temperatura citită cu cea maximă
0006		*JP NC*, RĂCIRE	Dacă este mai mare se sare la programul de răcire
0009		*CP L*	Dacă nu, se compară cu cea minimă
000A		*JP C*, ÎNCĂLZIRE	Dacă temperatura citită nu este mai mare decît minima se sare la programul de încălzire
000D	PRESIUNEA	*IN A*, (7)	Dacă este mai mare se continuă citindu-se presiunea în *A* de la portul 7
0040	RĂCIRE	.....	} Instrucțiuni de comandă a răcirii
		.....	
		JP PRESIUNEA	Revenire în programul principal
.....	.....	.....	.....
0050	ÎNCĂLZIRE	.....	} Instrucțiuni de comandă a încălzirii
		.....	
		JP PRESIUNEA	Revenire în programul principal

Scanned with OKEN Scanner

Vom da unele explicații suplimentare legate de acest program.

Am etichetat adresele la care încep blocuri importante ale programului, pentru a ușura scrierea eventualelor salturi la acestea.

Instrucțiunile de salt au trei octeți: codul operației și adresa (pe doi octeți). De aceea, de exemplu dacă instrucțiunea *JP C*, ÎNCĂLZIRE începe la adresa 000A (hexazecimal), instrucțiunea următoare, *IN A* (7) începe la adresa 000A + 3 = 000D.

După executarea instrucțiunilor din programele de răcire sau încălzire care încep la adresele 0040H, respectiv 0050H (alese în zone libere și depărtate ale memoriei) trebuie să se revină, oricum, la programul principal care continuă cu citirea altui parametru — aici presiunea. S-au pus deci instrucțiunile de salt necondiționat *JP* PRESIUNEA la sfîrșitul acestor blocuri. Se observă că instrucțiunile de la adresele 0006 și 000A sînt salturi condiționate.

Se poate întîmpla însă ca programele de răcire sau încălzire să fie necesare și în alte situații decît cele prezentate. De exemplu, dacă presiunea a crescut peste o limită maximă P_1, revenirea sub aceasta se poate face tot prin „chemarea" programului de răcire [4], după care trebuie să se continue cu citirea altui parametru, de exemplu o concentrație.

În acest caz trebuie să privim ansamblul instrucțiunilor de răcire ca o *subrutină* care poate fi apelată cu instrucțiuni de tip *CALL* revenirea făcîndu-se în punctul de unde a fost chemată, cu instrucțiuni de tip *RET* („return").

În această variantă, programul arată ca în tabelul 5.3.

Se observă că subrutinele se încheie cu instrucțiunea *RET* care asigură întoarcerea în programul principal, în punctul de unde a fost apelată subrutina respectivă. De exemplu, la adresa 0006 se află instrucțiunea *CALL NC*,

Tabelul 5.3

Adresa	ETICHETA	Instrucțiune	Comentarii
0000	TEMPERATURA	*IN A*, (6)	
0002		*LD HL*, (00FD)	
0005		*CP H*	
0006		*CALL NC*, RĂCIRE	Cheamă subrutina de răcire
0009		*CP L*	
000A		*CALL C*, ÎNCĂLZIRE	Cheamă subrutina de încălzire
000D	PRESIUNEA	*IN A*, (7)	
000F		*LD HL*, ()) *FF*)	Încarcă în *HL* valorile extreme ale presiunii
0012		*CP H*	
0013		*CALL NC*, RĂCIRE	
0016		*CP L*	
0017		*CALL C*, ÎNCĂLZIRE	
001A	CONCENTRAȚIE	*IN A*, (8)	Citește în *A* concentrația de la portul 8
.....	.....	.....	.....
.....	.....	.....	.....
0040	RĂCIRE	.....	} Instrucțiuni de răcire
		.....	
		RET	Revenire la instrucțiunea următoare lui *CALL*
0050	ÎNCĂLZIRE	.....	} Instrucțiuni de încălzire
		.....	
		RET	Revenirea la instrucțiunea următoare lui *CALL*

[4] Pentru ușurarea înțelegerii acceptăm teoretic această soluție, neutilizată în general în practică. Mai corect modificarea presiunii se poate face prin modificarea volumului.

Scanned with OKEN Scanner

RĂCIRE. După terminarea execuţiei subrutinei RĂCIRE, trebuie continuat cu instrucţiunea de la adresa 0009, *CP L*, deci *PC* trebuie să ia valoarea 0009.

Dar instrucţiunea *RET* nu trebuie să conţină această adresă pentru că, altfel, de fiecare dată cînd subrutina este apelată, întoarcerea s-ar face la adresa 0009. Acest lucru nu este corect deoarece, de exemplu, cînd se cheamă subrutina cu instrucţiunea *CALL* de la adresa 0013, revenirea trebuie să se facă la adresa 0016 ş.a.m.d.

În concluzie, înainte de intrarea în subrutină, trebuie memorată adresa de revenire, deci conţinutul *PC*. Cum s-a arătat, *PC* este incrementat înaintea terminării execuţiei instrucţiunii în curs, pentru a se indica adresa instrucţiunii următoare. Aceasta deoarece incrementarea se face cu 1, 2, 3 sau 4 în funcţie de numărul de octeţi ai instrucţiunii curente (Z-80 are şi instrucţiuni cu 4 octeţi — vezi [83]) şi fiecare automat elementar este realizat astfel încît să facă incrementarea corectă.

Deci, la execuţia instrucţiunii *CALL*, *PC* este incrementat cu 3 şi conţinutul său este memorat (salvat) într-o locaţie dintr-o zonă specială din memorie, numită **stivă**.

La revenire, adresa instrucţiunii următoare este extrasă din stivă şi adusă în *PC*. Pentru a şti unde este plasată în memorie această adresă, microprocesorul conţine un registru special de 16 biţi care memorează *adresa locaţiei respective din stivă*, registrul *SP* — „Stack Pointer" — *indicator de stivă*.

Vom ilustra lucrul cu stiva la apelurile instrucţiunii RĂCIRE din exemplul dat.

Presupunem că indicatorul de stivă, *SP*, conţine iniţial adresa 250 în urma executării unei instrucţiuni *LD SP*, 250.

La execuţia instrucţiunii *CALL* de la adresa 0006, mai întîi *PC* este incrementat cu 3 conţinutul lui devenind 0009. Apoi *SP* este decrementat, indicînd adresa 250 — 1 = 24F (hexazecimal) şi la această adresă este salvat octetul din $(PC)_H$. În continuare *SP* este decrementat din nou indicînd 24E şi la această adresă este salvat octetul din $(PC)L$.

Acum se poate încărca *PC* cu adresa subrutinei chemate, deci cu 0040, ceea ce înseamnă că, automat, următoarea instrucţiune ce va fi executată este cea de la această adresă.

La execuţia instrucţiunii *RET* mai întîi se încarcă $(PC)_L$ de la adresa indicată de *SP* deci de la 024E apoi *SP* este incrementat, devenind 024F, şi de la această adresă se încarcă $(PC)_H$. În final *SP* se incrementează din nou, pentru a indica 0250, adică valoarea dinaintea apelării subrutinei. *PC* va conţine acum din nou 0009 deci programul va continua, corect, cu instrucţiunea de la această adresă, *CPL*.

La execuţia instrucţiunii *CALL* de la adresa 0013 se desfăşoară următoarele acţiuni, reprezentate simbolic în tabelul 5.4.

Tabelul 5.4

Acţiunea	Comentariu
$(PC) \leftarrow (PC) + 3$	; *PC* ia valoarea 0016
$(SP) \leftarrow (SP) - 1$	; *SP* ia valoarea 024F
$((SP)) \leftarrow (PC)_H$	; $(PC)_H$= 00 este salvat la adresa 024F
$(SP) \leftarrow (SP) - 1$	; *SP* ia valoarea 024E
$((SP)) \leftarrow (PC)_L$	; $(PC)_L$= 16 este salvat la adresa 024E
$(PC) \leftarrow 0030$	; *PC* ia valoarea adresei subrutinei.

Scanned with OKEN Scanner

La execuția instrucțiunii *RET* la sfîrșitul subrutinei respective, operațiile sînt cele indicate în tabelul 5.5.

Tabelul 5.5

Acțiunea	Comentariu
$(PC)_H \leftarrow ((SP))$	; $(PC)_H$ se încarcă de la adresa conținută în SP, deci de la 024E, luînd valoarea 00
$(SP) \leftarrow (SP) + 1$	; SP este incrementat luînd valoarea 024F
$(PC)_L \leftarrow ((SP))$	; $(PC)_L$ se încarcă de la noua adresă conținută în SP, deci de la 024F, luînd valoarea 16
$(SP) \leftarrow (SP) + 1$	; SP este incrementat din nou luînd valoarea 0250

Toate aceste operații se desfășoară automat (prin modul de realizare al automatelor elementare corespunzătoare instrucțiunilor *CALL* și *RET*) și pe programator nu trebuie să-l preocupe decît inițializarea stivei, deci încărcarea inițială a *SP*. Pentru stivă se alege o zonă liberă din *RAM*, departe de alte zone ocupate — de regulă la capătul superior al memoriei.

Tehnica stivei este necesară deoarece apar des situații în care, în decursul execuției unei subrutine este apelată altă subrutină. De exemplu răcirea reactorului trebuie să dureze un anumit interval de timp prestabilit, după care aceasta poate înceta. La fel se poate spune și despre încălzire. Ar fi utilă deci o subrutină la temporizare, care începe la adresa *TIMP*.

La chemarea subrutinei de răcire *SP* va indica adresa 024E. După comanda de încălzire se cheamă subrutina de temporizare cu o instrucțiune

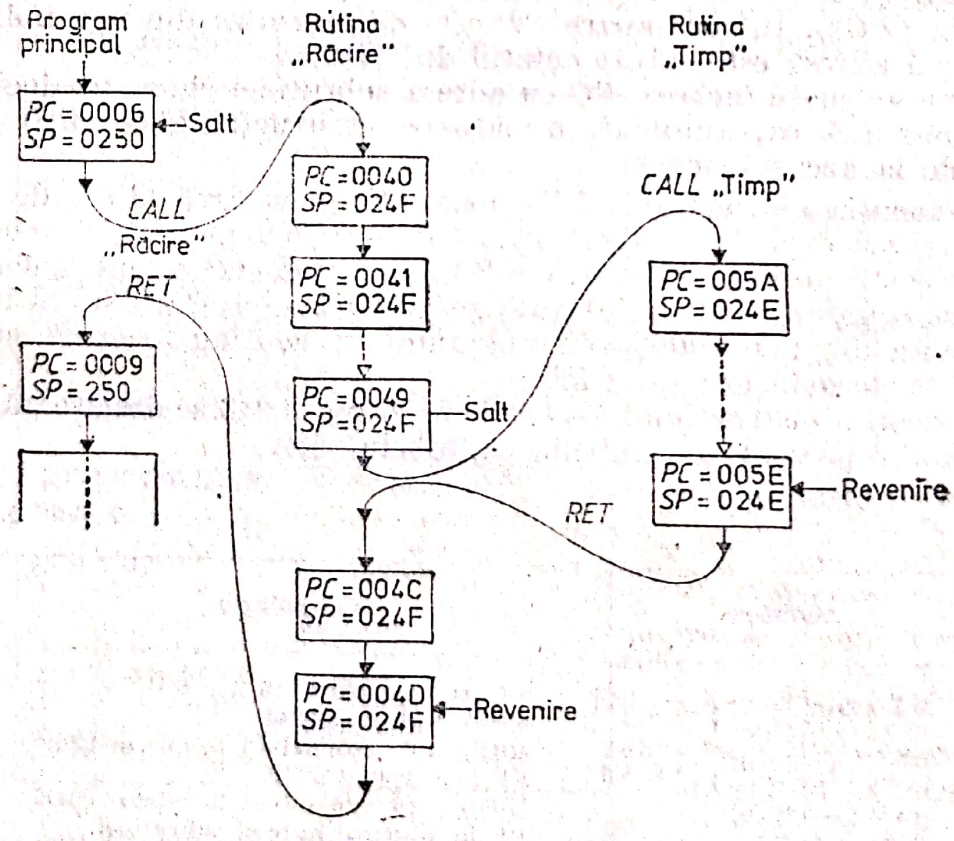


Fig. 5.14

CALL TIMP. În acest caz *PC* se salvează în stivă la adresele 024D și 024C iar *SP* va indica 024C. Subrutina *TIMP* poate apela și ea la altă subrutină (de exemplu de numărare), iar indicatorul stivei va coborî și mai jos, ș.a.m.d. La revenirile succesive din subrutinele apelate, indicatorul stivei urcă, *PC* fiind refăcut de la adrese tot mai mari din stivă (figura 5.14).

În stivă se pot depozita și alte informații, de exemplu pentru a elibera temporar unele registre de care este nevoie și al căror conținut trebuie refăcut ulterior.

Exemplu. Vom detalia în continuare subrutina RĂCIRE, presupunînd că ea trebuie să deschidă electrovalva agentului de răcire și să stingă becul de afișare a temperaturii în limite normale. Electrovalva este acționată printr-un mic amplificator cînd conținutul portului de ieșire numărul 20 este 01 și este blocată cînd conținutul acestuia este 00. Becul este aprins, respectiv stins în mod similar de portul numărul 21. Subrutina arată ca în tabelul 5.6.

Tabelul 5.6

Adresa	Eticheta	Instrucțiunea	Comentarii
0040	RĂCIRE	*PUSH A*	Salvează în stivă conținutul lui *A*
0041		*LD A*, 01	Încarcă 01 în *A*
0043		*OUT* (20), *A*	Scoate 01 la portul 20 (pornește electrovalva)
0045		*LD A*, 00	Încarcă 00 în *A*
0047		*OUT* (21), *A*	Scoate 00 la portul 21 (stinge becul)
0049		*CALL TIMP*	Așteaptă un timp necesar răcirii
004C		*POP A*	Aduce înapoi din stivă conținutul anterior al lui *A*
004D		*RET*	

Se observă că a fost necesară eliberarea lui *A* (care conținea temperatura citită, de care va fi nevoie la revenirea din subrutină) pentru folosirea acestui registru la instrucțiunile *OUT*. De asemenea înainte de revenire, conținutul lui *A* trebuie refăcut. Aceasta s-a realizat prin împingerea în stivă a lui *A* cu instrucțiunea *PUSH A* și tragerea lui înapoi cu instrucțiunea *POP A*. La prima instrucțiune *SP* a coborît la 024D, unde a tost depozitat și apoi extras conținutul lui *A*. La instrucțiunea *POP A*, *SP* a urcat din nou la 024E [84].

5.7. Întreruperi externe

Există cazuri în funcționarea unui sistem cu microprocesor în care acesta comunică cu periferice mult mai lente decît unitatea centrală. Pentru efectuarea dialogului, sistemul ar trebui să aștepte pînă cînd perifericul poate să furnizeze sau să primească date, sau pur și simplu să efectueze comanda dată. Această așteptare inutilă poate fi evitată prin tehnica *întreruperilor*.

Într-un astfel de caz, după ce a avut loc o comunicație cu perifericul la momentul t_k, sistemul își continuă programul fără să aștepte perifericul. După un timp Δt, perifericul termină de executat comanda dată, sau are de comunicat noi informații către unitatea centrală. Pentru efectuarea noului dialog, perifericul emite o cerere de întrerupere a activității curente a *U.C.* și redeschidere a portului respectiv de comunicație. În cazul în care *U.C.* poate accepta această cerere de întrerupere, ea termină instrucțiunea în curs de

Scanned with OKEN Scanner

execuție, după care sare automat într-o *subrutină de tratare a întreruperii* respective. În cursul execuției acestei subrutine are loc dialogul propriu-zis cu periferic după care *U.C.* sare din nou în programul principal și îl continuă din punctul în care acesta fusese întrerupt.

Exemplu. Un exemplu tipic de periferic lent îl constituie tastatura sistemelor cu microprocesor. Informațiile date de tastatură provin de la operatorul uman deci la intervale de timp mari și aleatorii. Este evident că unitatea centrală nu poate aștepta continuu datele și comenzile provenite de la tastatură deoarece, altfel, ea ar lucra practic cu viteza operatorului, absolut insuficientă în majoritatea cazurilor. Din aceste considerente se recurge la tehnica întreruperilor pentru preluarea informațiilor de la tastatură.

Fără a intra în amănunte privitoare la realizarea circuitelor electronice ale tastaturii (ele se pot proiecta prin tehnici *TTL* uzuale sau cu un mic sistem cu microprocesor), vom menționa că aceasta trebuie să furnizeze informații cu privire la momentul apăsării unei taste și cu referire la ce tastă a fost apăsată. Momentul apăsării unei taste este semnalat prin generarea la acel moment a unui impuls (numit $\overline{STROB}$) care se termină cînd s-a eliberat tasta. Pentru a se comunica ce tastă a fost apăsată fiecărei taste i se atribuie un număr — în cod binar pe 8 biți de exemplu — care se poate transmite paralel sau serial către unitatea centrală.

Cu un cod de 8 biți pot fi identificate pînă la $2^8 = 256$ taste distincte sau combinații de taste (de exemplu litere mari sau litere mici). Impulsul de strob poate avea o dublă funcționalitate : pe de o parte el comandă înscrierea codului tastei într-un port de intrare în sistem și pe de altă parte lansează cererea de întrerupere către unitatea centrală. Pentru aceasta el basculează în 0 logic un bistabil de întrerupere a cărui ieșire se cuplează la intrarea specializată, numită $\overline{INT}$ a microprocesorului.

Pentru microprocesorul Z-80 există mai multe posibilități de tratare a unei cereri de întrerupere lansată prin activarea intrării INT (v. și descrierea terminalelor și lucrul în întreruperi la Z-80, [84]).

Presupunînd că el lucrează în modul 1 (cel mai simplu), după cum se arată în documentația tehnică a acestui microprocesor, el își poziționează, *PC* la 0038H și se trece la execuția instrucțiunii aflată la această adresă. Aceasta poate fi chiar prima instrucțiune a subrutinei de tratare a întreruperii (dacă această subrutină încape acolo) sau poate fi o instrucțiune de salt într-o zonă încă neocupată a memoriei de program.

În exemplul considerat, după adresa 38H nu este loc pentru subrutina de tratare a întreruperii, deoarece la adresa 40H începe subrutina de răcire. De aceea se va sări în altă zonă, de exemplu la 60H unde începe subrutina propriu-zisă. Pe ansamblu, aceasta arată ca în tabelul 5.7.

La scrierea subrutinei s-au folosit mnemonicele lui Z-80 dar instrucțiunile respective există (cu același cod) și în setul de instrucțiuni ale μP I-8080.

Dacă, de exemplu, s-a apăsat tasta numărul 2, în *A* este înscris numărul 2 care indică poziția în tabela de salt. Aceasta începe la adresa 90H și conține, în ordine, cîte 2 octeți reprezentînd adresele de început a segmentelor din subrutina corespunzătoare fiecărei taste. Pentru a obține adresa corespunzătoare, numărul tastei se înmulțește cu 2 (prin anularea lui *CY* și rotirea acumulatorului spre stînga), după care se transferă în registrul dublu *BC*, după ce în prealabil conținutul lui *B* a fost anulat. S-a obținut astfel o adresă relativă în tabelă — 0004H. Încărcîndu-se în *HL* adresa de început a tabelei 0090 și adunînd se obține adresa absolută 0094H. Conținutul acestei locații

Tabelul 5.7

Adresa	Eticheta	Instrucțiunea	Comentarii
0038	KBD	*JP KBD*	
0060	KBD	*PUSH AF*	Salvează în stivă registrele interne
		PUSH HL	
		PUSH BC	
		PUSH DE	
		IN A, (1)	
		SC F	Setează *CY* în 1; *CY* — 1
		CC F	Complementează *CY*; *CY* — 0
		RLA	Deplasează acumulatorul la stînga (numărul testei e înmulțit cu 2)
		LD C, A	Transferă pe *A* în *C*
		XOR A	Transferă pe 0 în registrul *B*
		LD B, A	
		LD HL, 0090H	Introduce în *HL* adresa tabelei de salt
		ADD HL, BC	Obține adresa din tabelă
		LD D, (HL)	Încarcă în *DE* cei doi octeți ai adresei de
		INC HL	tratare a tastei respective
		LD E, (HL)	
		EX DE, HL	salt la această adresă
		JP (HL)	
.....	.....	.....	.....
0090		00*B0*	Adresa rutinei pentru tasta 0
0092		00*BD*	Adresa pentru rutinei tasta 1
0094		00*C8*	Adresa rutinei pentru tasta 2
0096		00*D1*	Adresa rutinei pentru tasta 3, etc.
.....	.....	.....	.....
00B0	TASTA 0	.....	Instrucțiuni de tratare a tastei 0
		.....	
		.....	
.....			
00B8		*POP DE*	Refacerea registrelor interne din stivă
00B9		*POP BC*	
00BA		*POP HL*	
00BB		*POP AF*	
00BC		*RET*	Revenire în programul principal
00BD	TASTA 1	.....	Instrucțiuni de tratare a tastei 1
		.....	
		.....	Refacerea registrelor
		RET	Revenire
00C8	TASTA 2	.....	Instrucțiuni de tratare a tastei 2
		.....	
		.....	Refacerea registrelor
		RET	Revenire
.....	.....	.....	Segmente de rutină corespunzătoare celor-
.....	.....	.....	lalte taste

(00) și al celei următoare (C8) se aduc în *DE* după care acești doi octeți sînt trecuți în *HL*. În sfîrșit, *PC* ia valoarea lui *HL* sărindu-se astfel la instrucțiunile care încep la adresa 00C8 și care asigură tratarea tastei nr. 2.

5.8. Accesul direct la memorie (DMA)

Există cazuri în funcționarea unui sistem cu microprocesor în care acesta comunică cu un echipament (mult) mai rapid. Se știe că în general tehnologiile actuale impun un compromis între gradul de integrare și viteză. Majoritatea microprocesoarelor actuale, realizate în tehnologie *MOS*, cu un grad mare de integrare, au o viteză mult mai redusă decît procesoare clasice realizate cu

Scanned with OKEN Scanner

circuite bipolare (*ECL*, *TTL*-Schottky) care echipează unele sisteme numerice de performanţă. În aceste cazuri, pentru transferul bidirecţional de date este avantajos ca echipamentele externe, mai rapide, să aibă acces direct la memoria sistemului cu μP („Direct Memory Access — *DMA*) pentru a efectua transferuri de date cu viteză ridicată. În aceste situaţii μP trebuie să cedeze controlul magistralelor, echipamentului extern respectiv pentru evitarea conflictelor de magistrală (două surse de date debitînd pe aceleaşi linii). Acest lucru se realizează prin transmiterea de către echipamentul extern a unui semnal *BUS-REQUEST=BURSQ* direct către μP. La recepţionarea acestuia, în urma sincronizării cu activitatea curentă, μP îşi ridică liniile de ieşire spre magistrale în starea de înaltă impedanţă cedînd controlul acestora echipamentului extern şi semnalînd acest fapt prin generarea în exterior a semnalului *BUSAK=BUS ACKNOWLEDGE* (acceptarea cererii de *DMA*). În felul acesta el îşi suspendă temporar activitatea, pînă la dezactivarea liniei *BUSAK*, permiţînd în intervalul respectiv citirea şi scrierea de blocuri mari de date, cu viteză ridicată, din şi în memoria sistemului cu microprocesor.

5.9. Proiectarea hardware a sistemelor cu microprocesor

5.9.1. Consideraţii generale

Spre deosebire de sistemele numerice proiectate după principiile „clasice" — cu porţi, bistabili şi alte blocuri de uz general — în cazul sistemelor cu microprocesor există un grad mult mai ridicat de generalitate a metodelor de proiectare. Aceasta derivă din faptul că în aproape toate cazurile este valabilă aceeaşi schemă bloc din care aplicaţiile (sisteme dedicate sau de uz universal) rezultă prin opţiuni şi particularizări.

Astfel schema de bază a sistemelor monoprocesor este cea din figura 5.15, acest tip de sisteme fiind şi cele mai răspîndite. În ultima vreme au apărut şi numeroase aplicaţii cu **sisteme multiprocesor**, care nu diferă esenţial de cele monoprocesor dar permit, la un volum crescut, performanţe superioare. Problemele mai importante care apar în plus la astfel de sisteme sînt legate de protocoiul de comunicaţie între procesoarele constituente şi arbitrarea conflictelor ce pot apare la accesul la resurse comune (memorii, echipamente periferice, etc.) [83, 84, 182].

Proiectarea sistemelor monoprocesor presupune parcurgerea mai multor etape, cele tipice fiind descrise în continuare.

a) Precizarea problemei (aplicaţiei) respective prin identificarea punctelor de citire a datelor şi de livrare a datelor şi comenzilor precum şi a modului de funcţionare a sistemului.

b) Realizarea schemei bloc cu specificarea porturilor de intrare şi a celor de ieşire, interfeţe şi periferice.

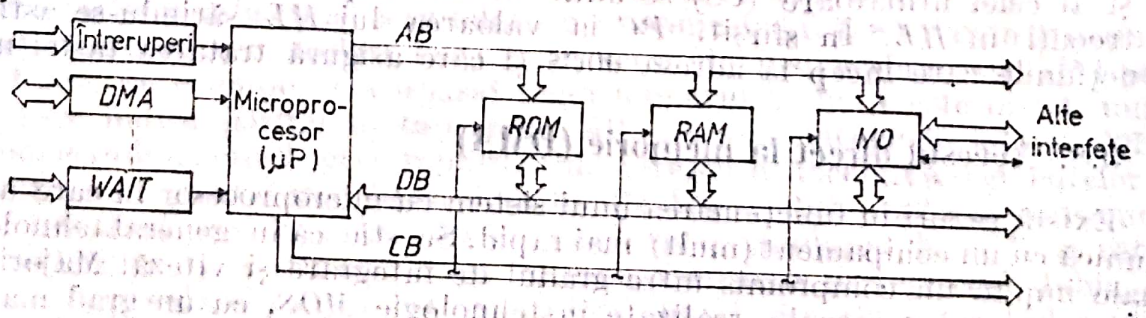


Fig. 5.15

c) Optarea pentru utilizarea unei unități centrale de uz general (microcalculator existent) sau a unei unități centrale specializate ce urmează a fi proiectată ținînd seama de particularitățile aplicației respective.

d) Alegerea lățimii magistralei de date și a tipului de microprocesor ce urmează să echipeze aplicația. Alegerea se face din considerente de performanță (viteză de execuție, precizie, capacitatea de memorie), cost, volum etc. și după unele criterii subiective cum ar fi gradul de cunoaștere sau interes al proiectantului pentru microprocesorul respectiv sau prognoza evoluției viitoare a acestui microprocesor.

e) Dimensionarea memoriilor și o primă estimare a raportului *ROM*/*RAM*. În funcție de acestea se pot alege circuitele integrate ce vor fi folosite.

f) Cunoscînd tipul de microprocesor și de memorii se realizează schema detailată a interconectării acestora, conform datelor despre funcționarea lor furnizate de catalogul producătorului și eventualelor exemple de scheme din catalog și literatura tehnică. În această etapă rezultă și necesitatea unor circuite auxiliare (decodificatoare pentru selectarea memoriilor, automate cu stări finite pentru rezolvarea conflictelor de acces la resursele locale etc.) care se proiectează cu metodele clasice cunoscute la tehnicile *TTL*.

g) Se aleg tipurile de circuite integrate care vor fi folosite ca porturi și se detaliază schema de cuplare a acestora la magistralele sistemului. În cazul în care interfețele respective sînt de complexitate mică, proiectarea se face cu metode clasice *TTL*. În cazul unor interfețe de complexitate mărită se pot folosi circuite *LSI* specializate, cu funcții de comandă și procesare, sau chiar sisteme auxiliare cu microprocesor cu dimensiuni mai reduse.

De exemplu, interfața de afișare a datelor se poate realiza într-o diversitate de variante în funcție de sarcinile aplicației. Pentru afișarea cea mai simplă, cu celule cu 7 segmente se folosesc simple porturi urmate de decodificatoare. Dacă se urmărește afișarea cu tub catodic în regim alfanumeric sau grafic se pot folosi circuite specializate de tipul *CRT* (*C*athode-*R*ay-*T*ube) controller cum ar fi I8275, M6845 etc. În fine, dacă se dorește un grad ridicat de flexibilitate, mărirea posibilităților de modificare ulterioară a configurației și funcționalității echipamentului, interfața de afișare va fi realizată de asemenea sub forma unui sistem cu microprocesor (modul video, sau terminal).

h) Se stabilesc componentele hardware ale funcționării secvențiale a sistemului; circuite de generare a stărilor *WAIT*, circuite de tip *DMA*, circuite de întrerupere, diverși arbitri între microprocesor și interfețe cu funcții de procesare.

După parcurgerea acestor etape se dispune de schema bloc generală care se completează cu semnalele necesare fiecărui circuit *LSI*, interconectarea respectivă făcîndu-se direct (cînd complexitatea e mică și circuitele fac parte din aceeași familie) sau prin circuite *TTL* proiectate prin metodele clasice conform tabelelor de adevăr sau organigramelor. Acestea rezultă din analiza funcțiunilor intrărilor și ieșirilor circuitelor *LSI* și eventual din analiza formelor de undă caracteristice funcționării lor.

Se obține astfel schema detailată a aplicației și se poate trece la experimentarea acesteia.

Testarea sistemului nou proiectat și dotarea sa cu programe utilitare este în general dificilă deoarece la acest moment — prima punere în funcțiune — sistemul nu dispune de programe proprii, fără care el nu poate funcționa. De aceea este necesară încărcarea în memorie (*RAM* sau *ROM*) a unor programe de test de complexitate crescîndă urmărindu-se pe analizorul logic (sistem de memorare a stărilor magistralelor pe un număr de tacturi ale ceasului microprocesorului) sau pe osciloscop executarea programului.

Scanned with OKEN Scanner

De cele mai multe ori sistemul conține greșeli de proiectare sau/și execuție care conduc la neexecutarea programului de test. De remarcat că în unele cazuri chiar programul de test poate să fie greșit sau neadecvat sistemului proiectat. El este realizat pe un alt calculator funcțional, cu același tip de microprocesor și configurație cît mai apropiată de cel proiectat. Totuși identitatea absolută nu poate exista (proiectarea nu ar mai avea sens) și de aceea se recomandă startul cu programe foarte simple — buclă de 2—3 instrucțiuni — mărindu-se treptat complexitatea pe măsură ce sistemul trece testele respective.

Programele de test se introduc cel mai comod prin intermediul unui *EPROM* care se plasează în pagina 0 (începînd de la adresa 0) a memoriei sistemului. Este posibilă și încărcarea în *RAM* prin preluarea magistralelor de către un dispozitiv extern specializat în acest sens. Problema este mai dificilă cînd se folosesc memorii *RAM* dinamice al căror conținut trebuie reîmprospătat periodic.

Atunci cînd punerea în funcțiune este executată cu analizorul logic se pot depista în mod sigur (dar cu un volum mai mare de muncă) atît greșelile hardware (de proiectare și de execuție), cît și software, din programul de test. Punerea în funcțiune cu osciloscopul este mai problematică, dar dacă programele de test sînt corecte poate fi mai rapidă.

Cînd există un grad suficient de mare de încredere în funcționalitatea hardware a sistemului se poate trece la introducerea unui program monitor pentru comunicația sistemului cu un terminal alfanumeric sau cu un microcalculator pentru introducerea în *RAM* a programelor specifice aplicației. Acest pas este deosebit de important deoarece permite crearea și execuția, spre testare și definitivare, a programelor de aplicație chiar pe sistemul pe care acestea vor funcționa.

În final, după ce sistemul funcționează atît hardware cît și software în modul impus, programul monitor de comunicație cu terminalul este înlocuit cu programul de aplicație și sistemul devine operațional.

O metodă larg răspîndită, în special pentru echipamente de serie mică, pentru simplificarea drastică a acestui proces o constituie utilizarea unui **sistem de dezvoltare**. Punerea în funcțiune decurge extrem de rapid dar complexitatea și volumul de circuite rezultă de cele mai multe ori mai mare, lucru care nu deranjează la serii mici.

În cazul acestui procedeu se proiectează inițial un sistem cît mai complet posibil dotat cu resurse locale și externe foarte puternice care să permită dezvoltarea de programe inscripționabile ulterior în *ROM*. Cînd se dorește proiectarea unei aplicații date, se scrie programul acesteia și se testează pe sistemul de dezvoltare pînă la atingerea funcționabilității cerute. După aceea se proiectează sistemul de aplicație prin simpla îndepărtare din schema sistemului de dezvoltare a tuturor părților care nu sînt necesare, obținîndu-se o remarcabilă rapiditate în punerea la punct a aplicației. Un singur sistem de dezvoltare poate constitui baza de proiectare a unui număr foarte mare de sisteme de aplicație. Dezavantajul menționat, al unui volum mărit de circuite, rezultă din faptul că toate aceste aplicații păstrează și unele elemente, neseparabile, ale sistemului de dezvoltare. Acest aspect este însă de cele mai multe ori minor în comparație cu economia de timp și efort care se obține.

5.9.2. Exemplu de proiectare

Vom da în continuare unele soluții de implementare a blocurilor constituente ale sistemului numeric pentru comanda și controlul reactorului chimic

Scanned with OKEN Scanner

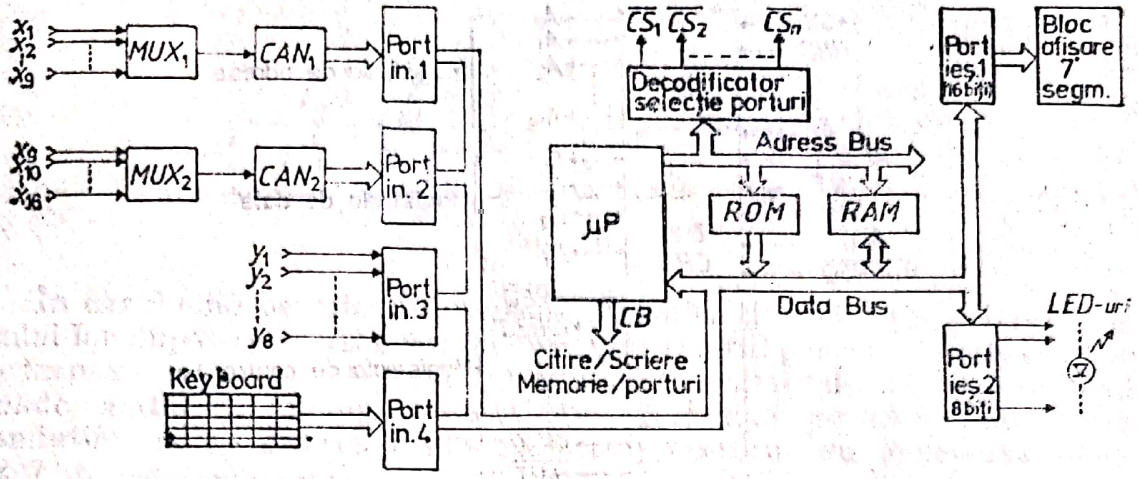


Fig. 5.16

prezentat anterior. Se vor parcurge punctele *a*—*h*, deoarece soluția cu sistem de dezvoltare este practic imediată.

a) Se impune ca datele să fie culese de la două grupe de cîte 8 traductori și introduse în sistem prin două *CAN* de cîte 8 biți. De asemenea, se vor citi și 8 senzori (cu contact) în diverse puncte ale reactorului.

Comenzile se introduc de la testatură alfa-numerică cu comunicație paralelă pe 8 biți iar afișarea se face pe patru celule cu 7 segmente și 8 LED-uri independente.

b) Schema bloc rezultă ca în figura 5.16.

c) Avînd în vedere numărul mare de porturi de intrare/ieșire inexistente pe microcalculatoarele uzuale se optează pentru proiectarea unei unități centrale specializate.

d) Deoarece s-a stabilit o lățime de 8 biți a porturilor este firesc să se aleagă o magistrală de date și un microprocesor tot de 8 biți. Luînd în considerație marea răspîndire actuală a microprocesorului Z-80, se optează pentru folosirea acestuia.

e) Circuitele *EPROM* cele mai frecvent utilizate în microsisteme din clasa considerată sînt I 2716 (2k × 8 biți), I 2732 (4k × 8 biți) și, mai rar, I 27128 (16k × 8 biți). Se prevede utilizarea a maximum 8 circuite de tip 2732; în cazul în care programele de aplicație rezultă mult mai puțin voluminoase, se vor planta numai 1—2 *EPROM*-uri, iar la completări sau opțiuni ulterioare se vor introduce în cablaj și altele.

Problema memoriilor *RAM* este mai complexă deoarece trebuie decis dacă sînt suficiente memorii de tip static sau trebuie folosite memorii dinamice, schemele de utilizare diferînd substanțial. Se vor da în continuare soluții alternative pentru ambele tipuri de *RAM*.

f) Pentru detalierea schemei trebuiesc studiate cît mai bine caracteristicile microprocesorului și ale memoriilor folosite.

Considerăm că în această etapă a parcurgerii lucrării se poate studia fără problemă documentația microprocesorului Z-80 (de exemplu din lucrările [83] sau [84]). Eventualele dificultăți de înțelegere pot fi în general depășite printr-o nouă consultare a paragrafelor corespunzătoare ale acestui capitol.

Dacă structura și funcționarea microprocesorului sînt cunoscute suficient se poate trece la detalierea schemei unității centrale.

Scanned with OKEN Scanner

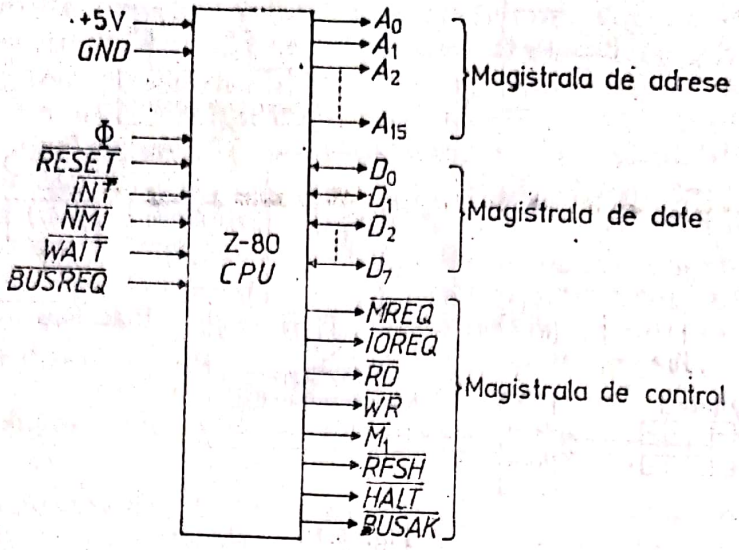


Fig. 5.17

Pornim de la faptul că microprocesorul generează cele trei magistrale dacă îi sînt asigurate semnalele adecvate pe intrări. În figura 5.17 sînt prezentate conexiunile externe ale lui Z-80 cu structurarea intrări/ieșiri. Vom analiza pe rînd cuplarea acestora ținînd seama de funcțiunile lor și de specificul aplicației.

Intrarea Ø, de tact (ceas), trebuie să aibă un semnal dreptunghiular, cu factor de umplere 1/2 și fronturi rapide, cu frecvența maximă de 2,5 MHz (4 MHz pentru Z-80A, 6 MHz pentru Z-80B). Se utilizează de regulă un oscilator cu cuarț pe 2,5 MHz cu două inversoare ca în figura 5.18, *a*. Pentru îmbunătățirea semnalului se pleacă uneori de la un generator de 5 MHz și se folosește un divizor cu 2 realizat cu un bistabil T obținîndu-se un factor de umplere riguros egal cu 1/2. Îmbunătățirea fronturilor se realizează prin utilizarea unui buffer cu tranzistor *p-n-p* de comutație eventual în tandem cu un inversor Schottky (fig. 5.18, *b*).

Intrarea $\overline{RESET}$ inițializează microprocesorul cînd este trecută în 0 și permite funcționarea lui cînd este în 1 logic. Elementele principale care asigură resetarea sînt un condensator (1—10 μF) în serie cu o rezistență (1—20 kΩ), ca în figura 5.19, *a*. Dioda din figură asigură descărcarea rapidă a condensatorului la întreruperea alimentării sistemului. La conectarea tensiunii sau la eliberarea tastei de resetare tensiunea începe să crească exponențial pe condensator pînă cînd atinge valoarea corespunzătoare lui 1 logic cînd microprocesorul pornește. O schemă mai corectă este cea din figura 5.19, *b*, momentul ajungerii în 1 logic fiind sesizat mult mai precis și sigur de triggerul Schmidt cuplat la condensator.

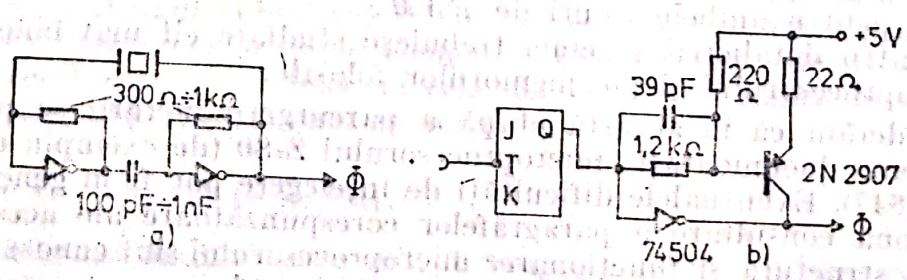


Fig. 5.18

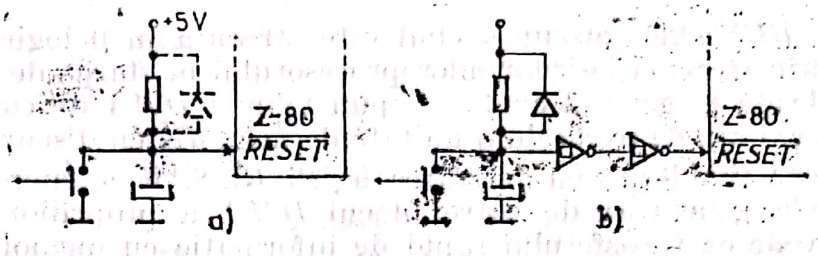


Fig. 5.19

În cazul cînd se folosesc memorii dinamice și se dorește păstrarea conținutului lor după resetarea microprocesorului frontul generat de această schemă este transformat cu monostabili într-un impuls negativ de cîteva sute de microsecunde, astfel că microprocesorul este oprit doar pe acest scurt interval. Reamintim că pe durata resetului microprocesorul nu generează semnalul $\overline{RSFH}$ de reîmprospătare a memoriilor dinamice care, în absența acesteia, nu pot păstra informația mai mult de 2 milisecunde.

Intrările $\overline{INT}$ și $\overline{NMI}$ produc întreruperea condiționată sau nu a microprocesorului (v. documentația pentru Z-80) atunci cînd sînt trecute pe 0 logic. Deci, cînd nu se folosesc întreruperi ele sînt legate la V_{cc} (prin rezistențe de ordinul kiloohmilor).

Dacă se folosesc întreruperi ele se pot cupla, după caz, la un bistabil de întrerupere, la un controler specializat de întreruperi (I8259) sau la ieșirea de întreruperi de la interfețele standard care se utilizează pentru microprocesor (Z-80) de tipul (*SIO*, *PIO* sau *CTC*). În exemplul considerat este suficient un bistabil activat de strobul tastaturii și dezactivat de confirmarea acceptării întreruperii ($\overline{IOREQ}$ în conjuncție cu $\overline{M_1}$), ca în figura 5.20.

Intrarea $\overline{WAIT}$ introduce, atunci cînd este în 0 logic, stări de așteptare între stările T_2 și T_3 ale ciclului mașină curent (v. diagramele de timp Z-80, fig. 5.12). Astfel de stări sînt necesare atunci cînd se accesează un bloc lent (unele tipuri de memorie) sau cînd apare un conflict de acces cu alt dispozitiv prioritar. De exemplu cînd sistemul încorporează și un display cu tub catodic, se folosește un procesor video, integrat sau realizat cu numărătoare și logica aferentă, care citește memoria de menținere a imaginii la momente precise de timp dictate de baleiaj. Atunci cînd microprocesorul trebuie să scrie date în această memorie pentru schimbarea imaginii, este posibilă uneori intrarea în conflict cu videoprocesorul care trebuie, în același moment să citească date din aceeași memorie, dar de la altă locație. Dacă s-ar acorda prioritate microprocesorului, din imagine ar lipsi informația ce trebuie citită, în acest moment apărînd linii albe sau întunecate aleatorii. De aceea, în astfel de cazuri un circuit secvențial activează intrarea $\overline{WAIT}$ a microprocesorului, care va aștepta pentru scriere pînă cînd videoprocesorul eliberează memoria. Uneori se folosește tehnica opririi ceasului microprocesorului care poate fi mai promptă — nu mai trebuie să ajungă la sfîrșitul stării T_2 pentru a se intra în $\overline{WAIT}$.

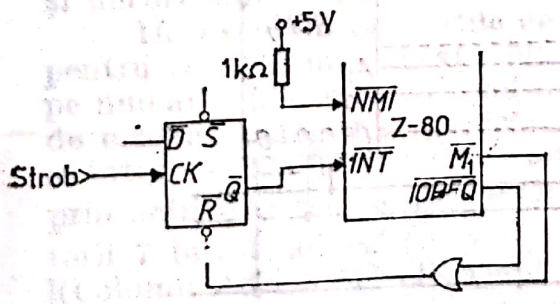


Fig. 5.20

Atunci cînd nu este necesară introducerea de stări $\overline{WAIT}$, intrarea respectivă se dezactivează legîndu-se la V_{cc} printr-o rezistență de ordinul kiloohmilor.

Intrarea $\overline{BUSREQ}$ produce, cînd este trecută în 0 logic, eliberarea magistralelor prin trecerea ieșirilor microprocesorului în starea de înaltă impedanță. Este folosită în general cînd se impun tehnici *DMA* de comunicație cu un echipament extern, de exemplu o unitate de memorie cu discuri. Eliberarea magistralelor este simultană cu activarea ieșirii $\overline{BUSAK}$ a microprocesorului care va comanda generarea de către blocul *DMA* a propriilor semnale de magistrală în vederea transferului rapid de informație cu memoria (v. diagramele de timp Z-80).

Cînd nu este tolosită, intrarea $\overline{BUSAK}$ se dezactivează prin legarea la V_{cc} printr-o rezistență de ordinul kiloohmilor.

Dacă s-au asigurat aceste semnale de intrare ale microprocesorului el începe să funcționeze prin citirea pe rînd a instrucțiunilor pornind de la locația 0 de memorie și execuția lor. De aceea în prima zonă de memorie se plasează, de regulă circuite de memorie nevolatilă (*EPROM*) conținînd instrucțiuni care cel puțin activează canalele de intrare/ieșire pînă la primirea de date sau comenzi suplimentare care să ramifice programul. Citirea acestor memorii este realizată prin generarea adresei de citire și a semnalelor $\overline{MREQ}$ și $\overline{RD}$. Selecția este realizată cu ajutorul unui decodificator de adrese ținîndu-se seama de amplasarea *ROM*-urilor în spațiul total de adrese.

De exemplu dacă dorim plasarea celor 8 *EPROM*-uri 2716 în primii 16 k de memorie se va valida de un demultiplexor cu 8 ieșiri atunci cînd $A_{14}=0$ și $A_{15}=0$, ieșirile fiind legate la intrările $\overline{CS}$ ale *EPROM*-urilor, ca în figura 5.21.

Cuplarea memoriilor *RAM* de tip static este de asemenea simplă, apărînd în plus față de *EPROM* numai semnalul $\overline{WR}$. Dacă este necesar de exemplu 1 koctet de *RAM* plasat imediat după *EPROM*, se pot folosi circuite de

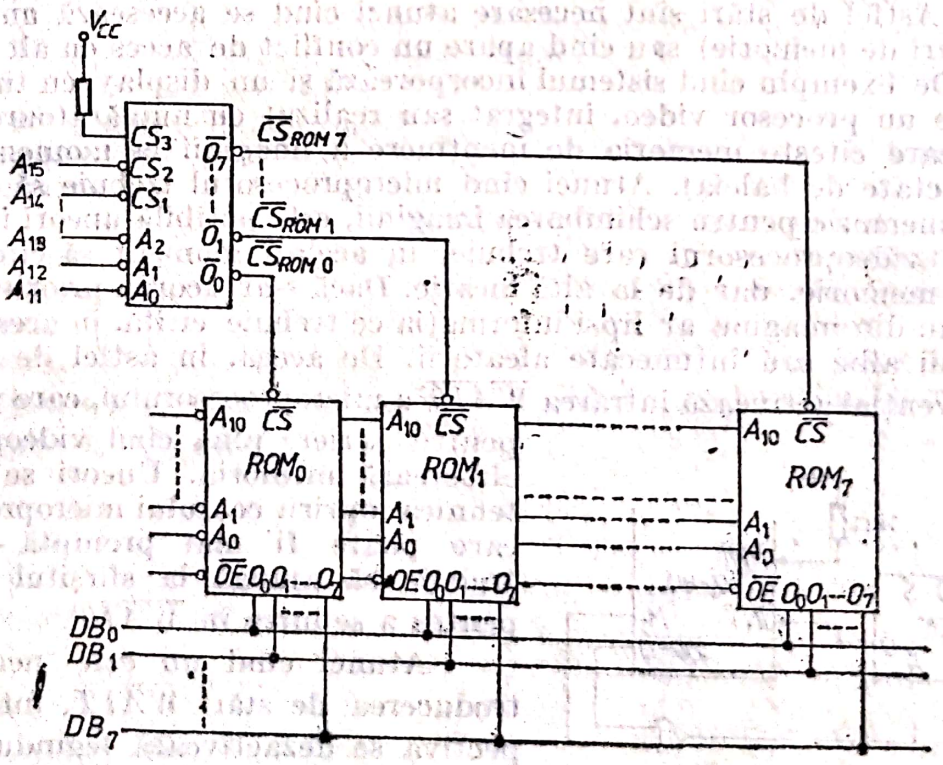


Fig. 5.21

Scanned with OKEN Scanner

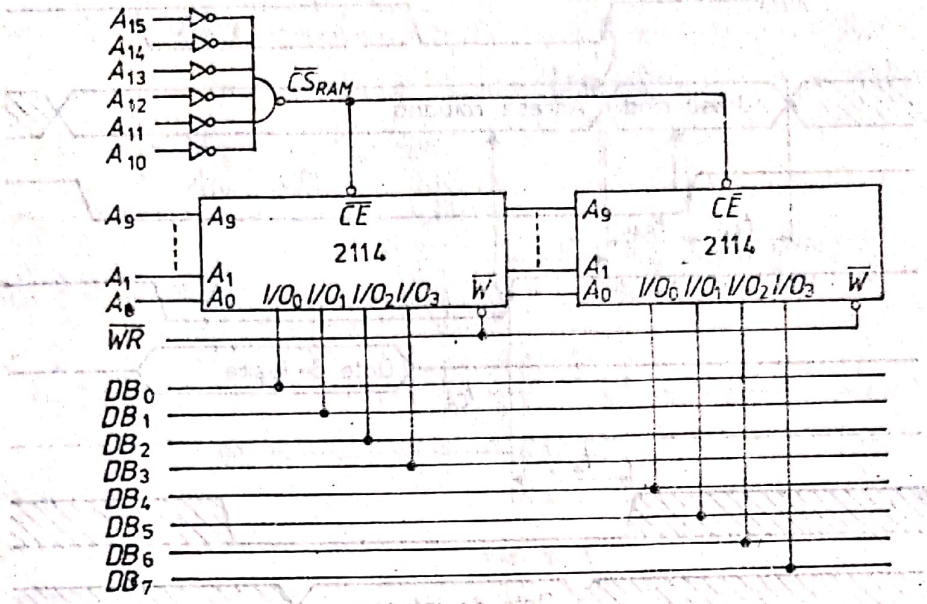


Fig. 5.22

tip I 2114 (1k × 4 biţi) ca în schema din figura 5.22. Se observă că în locul decodificatorului de selecţie s-a folosit o poartă care activează *RAM*-ul cînd adresele $A_{10} \div A_{13}$ şi A_{15} sînt în 0 iar A_{14} în 1, conform ecuaţiei

$$\overline{CS}_{RAM} = \overline{\bar{A}_{10} \cdot \bar{A}_{11} \cdot \bar{A}_{12} \cdot \bar{A}_{13} \cdot A_{14} \cdot \bar{A}_{15}}. \qquad 5.9.1$$

Astfel, combinaţia $A_{14} \cdot \bar{A}_{15}$ selectează a doua zonă de 16 kocteţi din spaţiul total de 64 kocteţi de memorie, iar combinaţia $\bar{A}_{10} \cdot \bar{A}_{11} \cdot \bar{A}_{12} \cdot \bar{A}_{13}$ selectează primul kilooctet din această zonă.

Eventual, dacă nu se mai folosesc şi alte memorii în rest se poate folosi o decodificare incompletă conform ecuaţiei

$$\overline{CS}_{RAM} = A_{14} \cdot \bar{A}_{15}. \qquad 5.9.2$$

Şi în acest caz orice combinaţie de adrese avînd $A_{14} = 1$ şi $A_{15} = 0$ se va adresa în *RAM*.

Cuplarea de memorii dinamice prezintă avantajul unei capacităţi mult mai mari (un ordin de mărime cel puţin) la acelaşi cost dar este mult mai dificilă. În primul rînd trebuie asigurată periodic reîmprospătarea informaţiei şi uneori multiplexarea în exterior a adreselor.

De exemplu memoriile de tip I 4116 (16k × 1) au nevoie de 14 adrese pentru selecţia unei locaţii interne. Acestea se transmit multiplexat în timp pe numai 7 pini externi fiind încărcate intern într-un registru de rînd şi unul de coloană conform organizării matriceale a memoriei. Astfel, pe terminale se introduc mai întîi primii 7 biţi ai adresei ($A_0 \div A_6$) care se încarcă în interior prin activarea semnalului $\overline{RAS}$ (*R*ow *A*dress *S*elect). Apoi se transmit următorii 7 biţi de adresă ($A_7 \div A_{13}$) care se încarcă prin activarea semnalului $\overline{CAS}$ (*C*olumn *A*dress *S*elect). După un timp, t_{CA}, datele din locaţia selectată apar la ieşiri (la citiri) sau se pot înscrie date la comanda $\overline{WR}$, conform diagramelor de timp din figura 5.23.

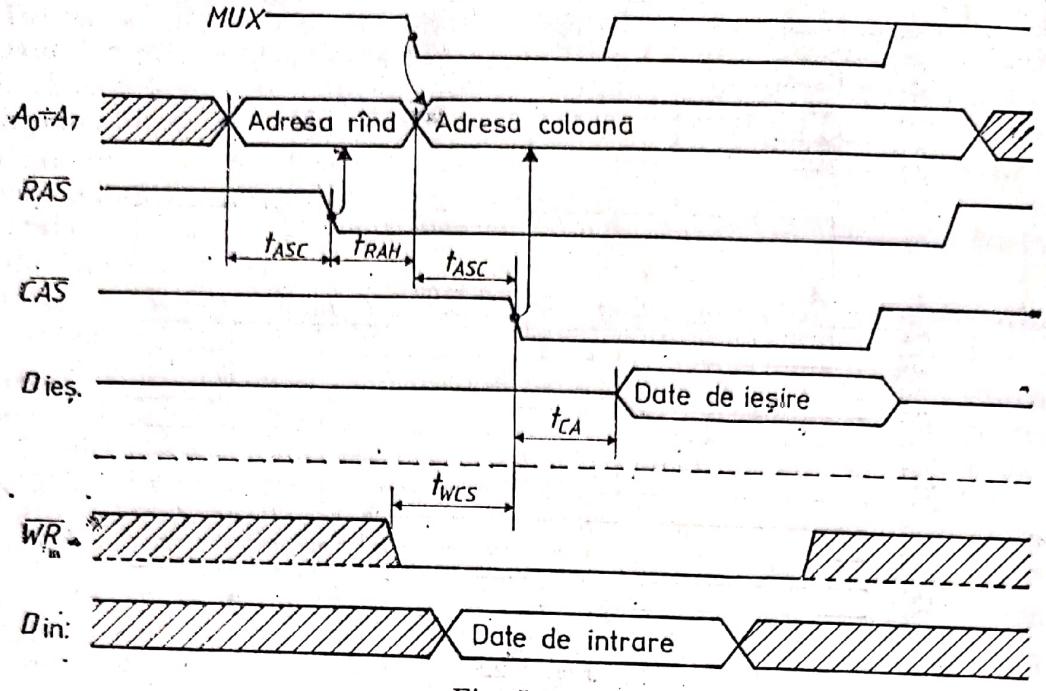


Fig. 5.23

Se observă că, la scriere se folosește în general tehnica numită "Early Write" în care impulsul de scriere se aplică cu un timp t_{wcs}) înaintea activării semnalului *CAS*. Aceasta are avantajul că ieșirile de date rămîn pe tot timpul scrierii în starea de înaltă impedanță. În caz contrar, dacă ieșirile se leagă împreună cu intrările la magistrala de date, semnalele de pe ieșiri ar intra în conflict cu cele furnizate de microprocesor pentru a fi înscrise în memorie.

Transmiterea pe rînd a grupelor de adrese se poate realiza cu 7 multiplexoare de cîte două căi, comutate simultan de un semnal *MUX* aplicat între $\overline{RAS}$ și $\overline{CAS}$, ca în diagramele din figura 5.23. Generarea celor trei semnale se bazează în general pe semnalul $\overline{MREQ}$ furnizat de microprocesor asigurîndu-se succesiunea lor prin întîrzieri adecvate. Conform datelor de catalog pentru memorii 4116, acestea sînt: minim 200 ns între $\overline{RAS}$ și *MUX* (t_{RAM}) și minim — 10 ns între *MUX* și $\overline{CAS}$ (t_{ASC}) ceea ce înseamnă că semnalul $\overline{CAS}$ se poate aplica chiar și înainte (cu 10 ns) de schimbarea adreselor. De regulă însă, el se generează la 10—100 ns după *MUX* prin întîrzieri asincrone sau sincrone.

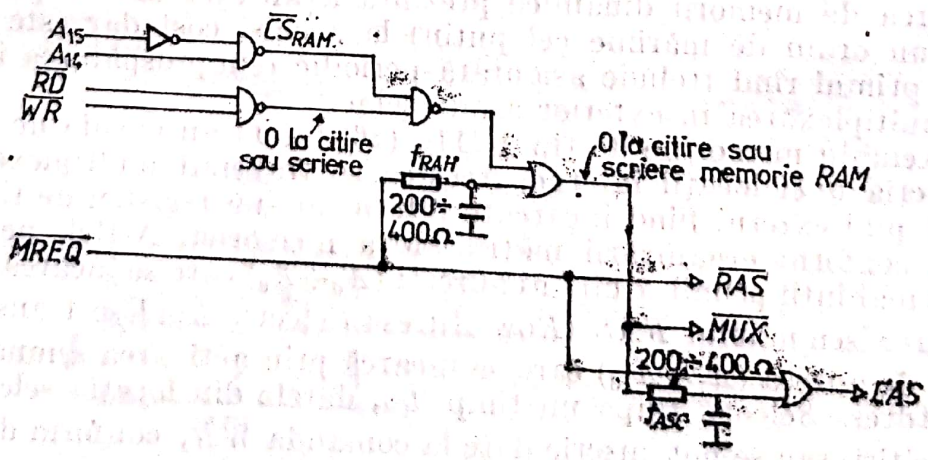


Fig. 5.24

Scanned with OKEN Scanner

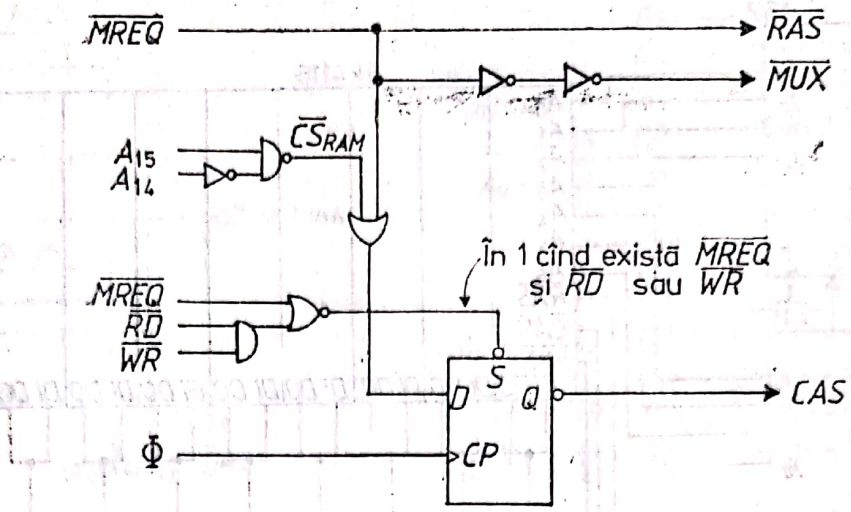


Fig. 5.25

Soluția asincronă de obținere a succesiunii celor trei semnale se bazează pe întîrzieri cu elemente RC, ca în schema din figura 5.24. După cum se observă, semnalul CAS este condiționat atît de adrese ($A_{15}=0$ și $A_{14}=1$) cît și de $\overline{WR}$ astfel că apare întotdeauna după acesta asigurîndu-se rămînerea ieșirilor în înaltă impedanță la scriere, astfel că ele pot fi cuplate direct la magistrala de date. De remarcat că microprocesorul Z-80 activează semnalul $\overline{MREQ}$ și atunci cînd generează adresa de reîmprospătare astfel că schema asigură și acest proces dacă multiplexorul debitează în mod normal adresele $A_0 \div A_6$. Menționăm că și majoritatea memoriilor de 64 k (4164) au refresh-ul tot pe 7 biți, astfel că schema dată se poate cupla și la acestea, registrul de 7 biți ai adresei de reîmprospătare a lui Z-80 fiind suficient.

Variantele sincrone generează semnalul $\overline{CAS}$ prin intermediul unui bistabil D sincronizat de frontul crescător al ceasului (tactului) microprocesorului, asigurîndu-se o întîrziere mult mai precisă. O variantă larg răspîndită este prezentată în figura 5.25. De remarcat că și aici $\overline{CAS}$ apare condiționat de $\overline{WR}$ (deci după acesta) permițînd intrări și ieșiri comune. Semnalul de comandă al multiplexorului este întîrziat de două inversoare în cascadă. Semnalul $\overline{CAS}$ este activat la primul front crescător al lui Ø după apariția lui $\overline{RD}$ sau $\overline{WR}$ (pînă atunci, intrarea $\bar{S}$ a bistabilului este în 0 și deci $\overline{CAS}=Q$ este în 1). Acest lucru este posibil numai dacă D coboară în 0 deci, conform schemei, dacă $A_{15}=0$ și $A_{14}=1$.

Cuplarea multiplexoarelor nu prezintă probleme, folosindu-se de regulă circuite 74157 ca în figura 5.26.

Porturile de ieșire pot fi simple registre cu încărcare pe front ca de exemplu : 7495 (4 biți), 74173 (4 biți), 74174 (6 biți), 74374 (8 biți), 8212 etc., sau un circuit specializat de interfață paralel cum ar fi I 8255 sau Z-80 *PIO*, cuplate conform datelor de catalog.

Acestea pot fi utilizate și în partea de intrare, în schimb registrele *TTL* nu se pot folosi decît dacă au ieșiri cu trei stări sau se interpun porți cu astfel de ieșiri.

O soluție de implementare a porturilor de intrare/ieșire este dată în figura 5.27. Se observă că porturile de ieșire sînt de tip sincron (se încarcă pe

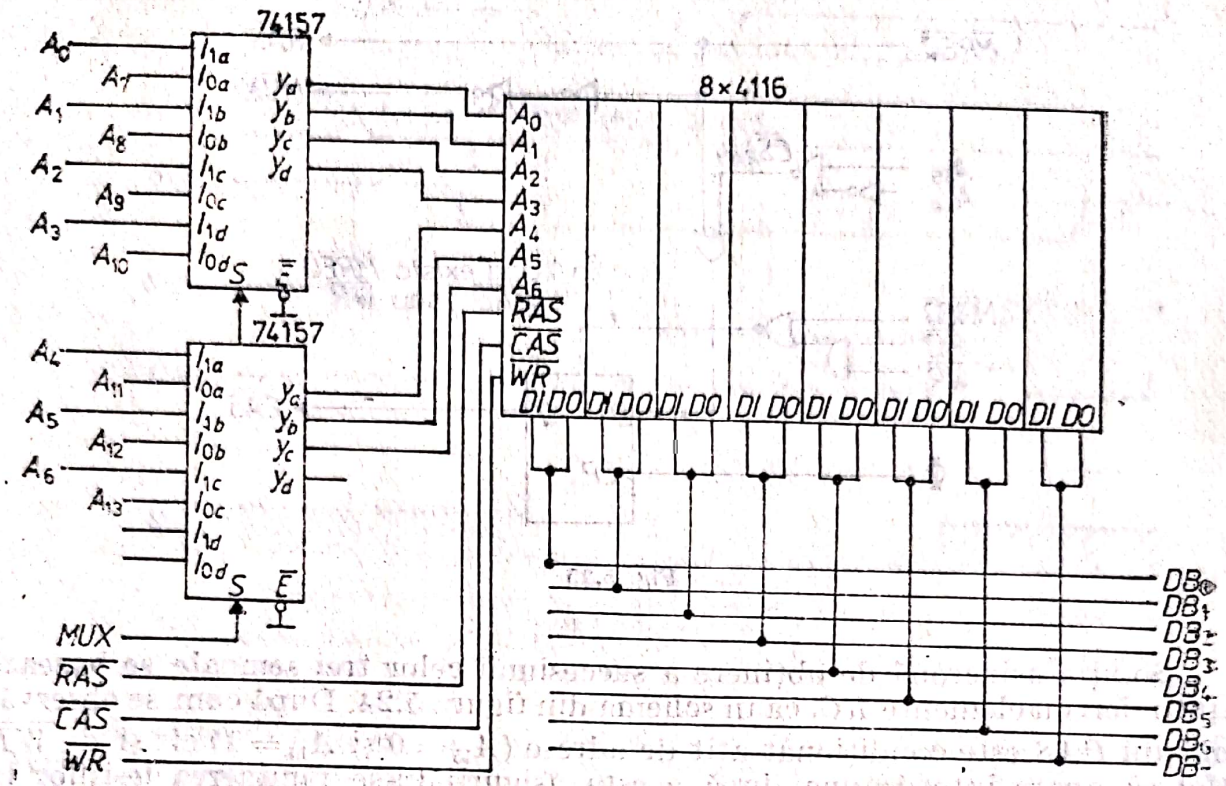


Fig. 5.26

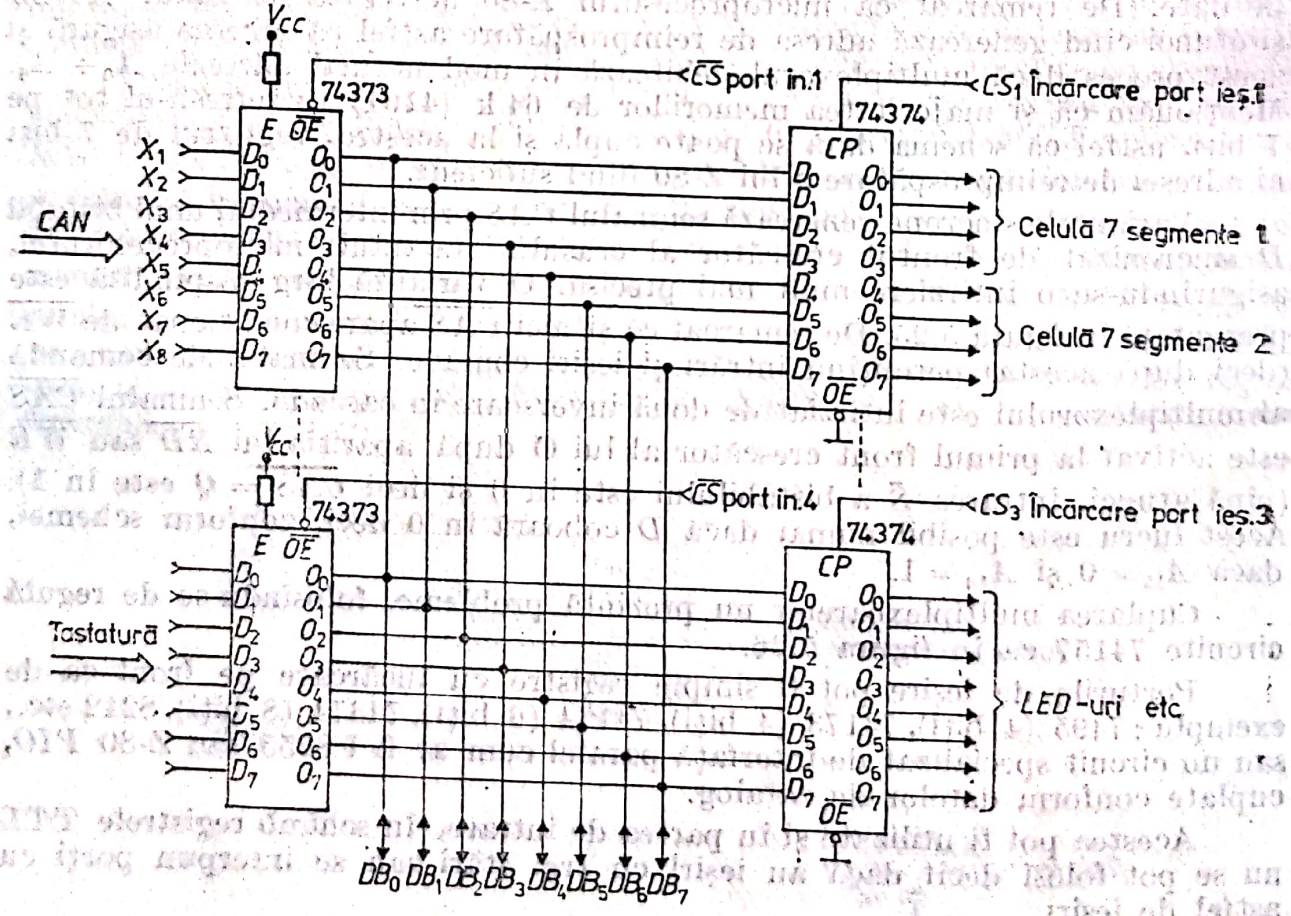


Fig. 5.27

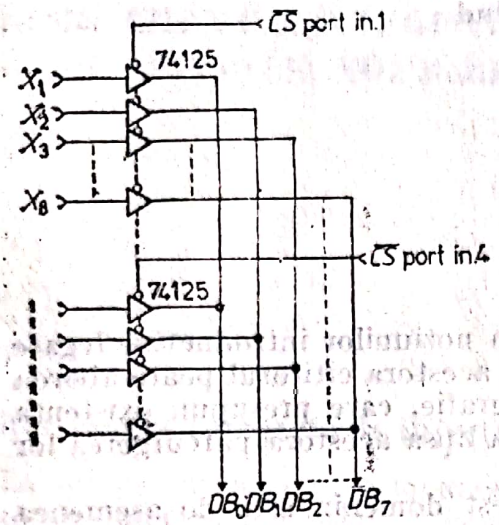


Fig. 5.28

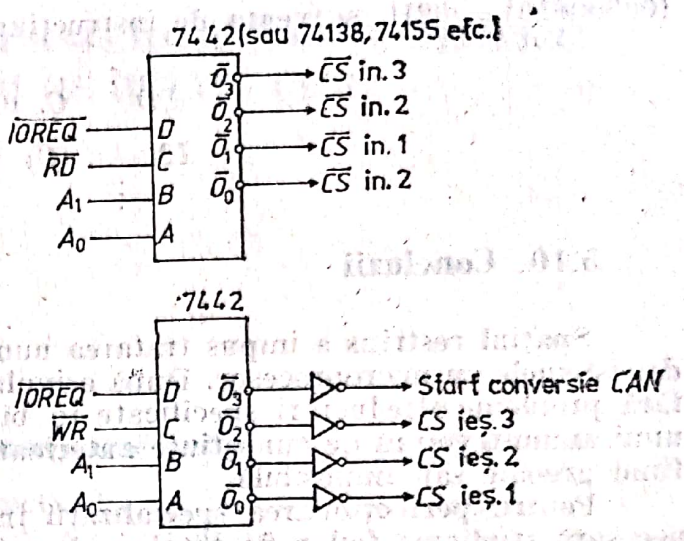


Fig. 5.29

front, la tranziția din 0 în 1 a semnalului CP) ele memorînd starea magistralei de date la momentul aplicării acestui impuls. În schimb porturile de intrare 74373) sînt asincrone (cu încărcare pe palierul impulsului E, transmițînd la ieșiri starea intrărilor cît timp E este în 1 logic). Intrarea datelor pe magistrală este permisă însă numai cînd ieșirile sînt scoase din starea de înaltă impedanță prin activarea intrării $\overline{OE}$. Deoarece funcționarea lor este „transparentă" se pot înlocui cu grupuri de porți cu trei stări cu validare comună (de exemplu (74125, 74126, 74367, 8216 etc.) (fig. 5.2.8).

Semnalele de selecție a porturilor pot fi asigurate de demultiplexoare (sau decodificatoare) de adrese (figura 5.29) validate de $\overline{IOREQ}$ și $\overline{RD}$ respectiv $\overline{WR}$. În cazul cînd numărul porturilor nu este prea mare, este avantajoasă selecția liniară ca în figura 5.30. Pentru citirea sau scrierea de la/la porturi se va încărca în C un octet avînd bitul corespunzător în 1 și ceilalți în 0 după care se va executa $IN\ C$ sau $OUT\ C$. De exemplu, dacă se dorește citirea portului 2 de intrare, conform figurii 5.30 se va încărca în C octetul

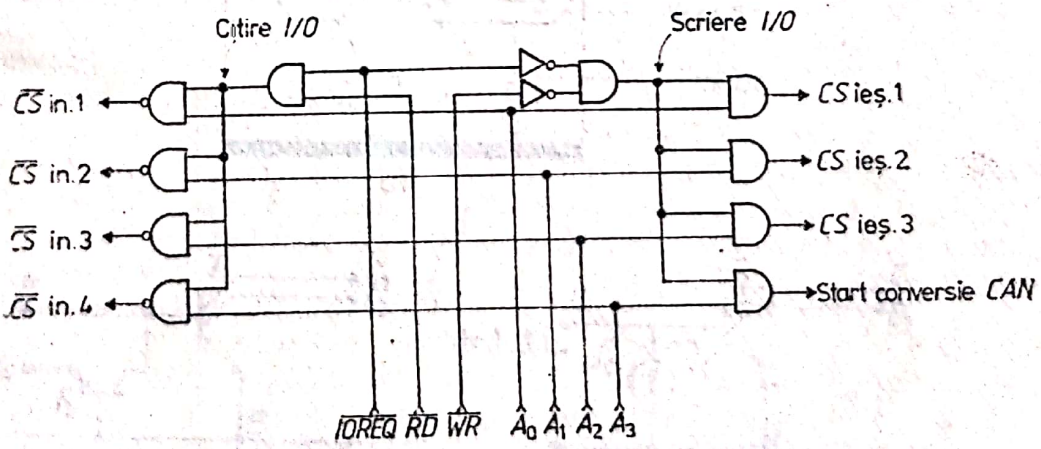


Fig. 5.30

(00000010) = 02H, secvența de instrucțiuni fiind :

```
      :
LD    C, 02
IN    (C)
      :
```

5.10. Concluzii

Spațiul restrîns a impus tratarea numai a noțiunilor introductive legate de sistemele cu microprocesor. După asimilarea acestora cititorul poate aborda fără probleme alte lucrări specificate în bibliografie, care presupun existența unui anumit volum de cunoștințe anterioare, în lipsa acestora parcurgerea lor fiind greoaie sau imposibilă.

Pentru perfecționarea specializării în acest domeniu este de asemenea necesară studierea foilor de catalog ale microprocesoarelor și circuitelor *LSI* mai frecvente, pentru ca proiectantul să poată opta prompt, în funcție de specificul aplicației, pentru circuitele integrate cele mai adecvate.

Totodată se recomandă studierea diverselor scheme de sisteme cu microprocesoare existente în literatură sau în documentația producătorilor de sisteme, urmărindu-se identificarea soluțiilor comune, a particularităților acestora și a tendințelor arhitecturale în structura sistemelor cu microprocesor.

Scanned with OKEN Scanner

Capitolul 6. CIRCUITE INTEGRATE ȘI SISTEME MICROELECTRONICE SPECIALE. NOI DIRECȚII DE DEZVOLTARE

6.1. Logica integrată de injecție (Integrated Injection Logic I^2L)

La aceste circuite funcționarea structurilor active semiconductoare se bazează pe injecția purtătorilor minoritari, de neechilibru, injecție realizată sub acțiunea cîmpului electric, radiațiilor luminoase sau a altor factori [65, 67].

Deși aceste circuite denumite uneori și circuite cu alimentare prin injecție sînt realizate în tehnologia bipolară *TTL*, structura dispozitivului de bază a acestora este principial nouă, ea diferind de cea a unui tranzistor bipolar sau a unei structuri *p-n-p-n* obișnuite. Noutatea principală constă în introducerea în structura tranzistorului bipolar obișnuit a unui *injector* și a unui număr mai mare de colectori.

În figura 6.1 se arată structura unui tranzistor planar cu injecție de sarcină realizat prin dublă difuzie într-un suport de Si de tip n. În această structură — care poate fi asimilată cu un ansamblu de doi tranzistori — prima regiune p_1 constituie injectorul pentru tranzistorul T_2 format din regiunile n_1-p_2-n_2 (fig. 6.1, *a*). Tranzistorul injector T_1 (care conține injectorul) este un trazistor lateral de tip *p-n-p* fiind format din regiunile p_1, n_1 și p_2 (fig. 6.1, *b*). În tranzistorul lateral T_1, curentul curge orizontal, purtătorii de sarcină deplasîndu-se din regiunea p_1 spre regiunile n_1 și p_2, paralel cu suprafața semiconductorului, pe cînd în tranzistorul T_2 curentul curge vertical, între regiunile n_1, p_2 și n_2 (fig. 6.1, *a*).

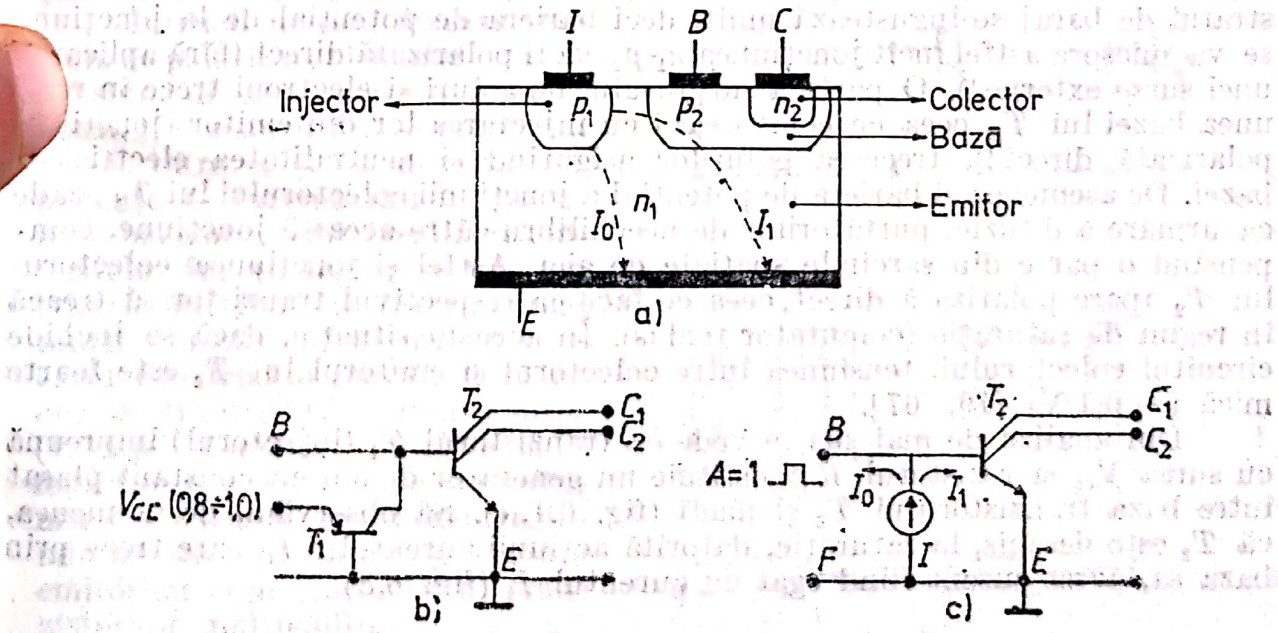


Fig. 6.1

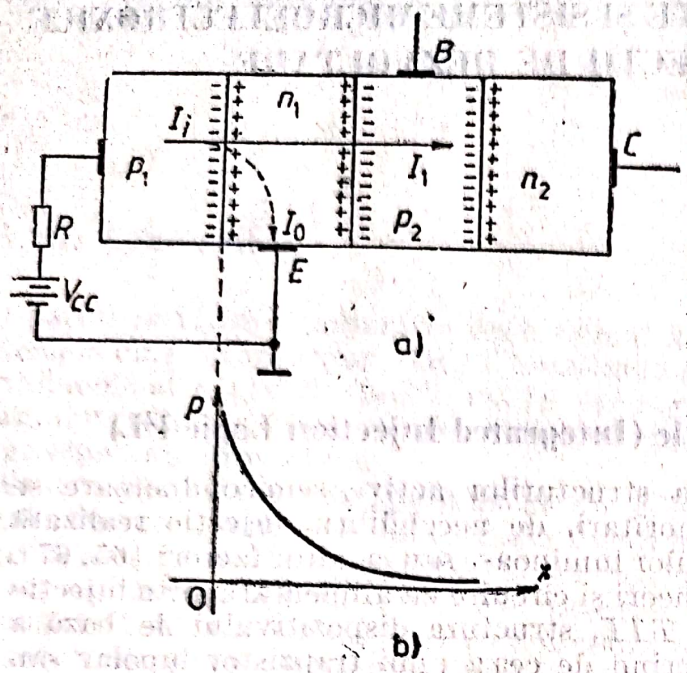


Fig. 6.2

Funcționarea dispozitivelor cu injecție de sarcină se bazează pe deschiderea tranzistorului T_2 sub acțiunea fluxului de purtători injectați din injector în urma polarizării acestuia cu o mică tensiune V_{cc} (fig. 6.2, *a*). În lipsa acestei tensiuni tranzistorul T_2 este blocat, fapt care face ca asemenea dispozitive să poată funcționa ca elemente de comutație în circuitele logice [19, 65—67].

Pe lîngă alte avantaje, care vor fi menționate mai departe, dispozitivele și circuitele cu injecție de sarcină sînt caracterizate printr-un consum extrem de mic, comparabil cu cel al circuitelor *CMOS* și au o capacitate la ieșire foarte mică. Sursa de tensiune V_{cc} dintre injector și emitorul tranzistorului T_2 este de pînă la un volt asigurînd polarizarea directă a joncțiunii p_1-n_1 a tranzistorului injector T_1. Ca urmare a acestui fapt din injectorul p_1 vor fi injectate goluri în regiunea n_1 care constituie baza tranzistorului T_1 și totodată emitorul lui T_2, astfel încît concentrația de goluri crește puternic în emitorul acestui tranzistor, la granița cu regiunea p_1 a injectorului (fig. 6.2, *b*). Pentru neutralizarea sarcinii golurilor injectate, în regiunea emitorului lui T_2 vor sosi electroni suplimentari furnizați de sursă prin contactul metalic. Datorită gradientului de concentrație care apare în emitor lîngă joncțiunea injectorului, are loc difuzia golurilor și electronilor către joncțiunea n_1-p_2 a emitorului lui T_2. Ajungînd în această regiune, electronii compensează o parte din sarcina spațială pozitivă a joncțiunii (donori ionizați). Golurile în surplus sînt antrenate de cîmpul de contact al joncțiunii emitorului și transportate în zona sarcinii spațiale negative formată de acceptorii ionizați, compensînd-o parțial. Ca urmare, stratul de baraj se îngustează mult, deci bariera de potențial de la joncțiune se va micșora astfel încît joncțiunea n_1-p_2 va fi polarizată direct (fără aplicarea unei surse externe!). O parte a surplusului de goluri și electroni trece în regiunea bazei lui T_2, ceea ce echivalează cu injectarea lor din emitor (joncțiune polarizată direct!), trecerea golurilor asigurînd și neutralitatea electrică a bazei. De asemenea și bariera de potențial a joncțiunii colectorului lui T_2 scade ca urmare a difuziei purtătorilor de neechilibru către această joncțiune, compensînd o parte din sarcinile spațiale de aici. Astfel și joncțiunea colectorului T_2 apare polarizată direct, ceea ce face ca respectivul tranzistor să treacă în regim de saturație (comutator închis). În această situație, dacă se închide circuitul colectorului, tensiunea între colectorul și emitorul lui T_2 este foarte mică ($\sim 0{,}1$ V) [19, 67].

Din analiza de mai sus se vede că tranzistorul T_1 (injectorul) împreună cu sursa V_{cc} și rezistorul R constituie un generator de curent constant plasat între baza tranzistorului T_2 și masă (fig. 6.1, *c*). Să observăm, de asemenea, că T_2 este deschis, la saturație, datorită acțiunii curentului I_B care trece prin baza sa, acest curent fiind egal cu curentul I_1 (fig. 6.3)

$$I_B = I_1 = \alpha_{1N} I_1 \qquad 6.1.1$$

în care I_i reprezintă curentul dat de injector (regiunea p_1 din tranzistorul T_1) iar α_{1N} este coeficientul de amplificare normală în curent pentru tranzistorul T_1.

Pentru o tensiune de polarizare V_{cc} fixată (astfel ca $V_{BE_1} \geqslant 0{,}7$ V) curentul prin tranzistorul T_2 poate fi controlat (și comandat) prin aplicarea unui semnal logic $A = 1$ sau $A = 0$ așa cum se vede din figura 6.3. Tranzistorul T_2 este deschis la saturație atît timp cît baza sa se află neconectată (în aer) așa cum s-a arătat mai sus, sau este conectată la tensiune ridicată, deci cînd se aplică bitul $A = 1$. Dacă $A = 0$, atunci baza este legată de masă și întrucît între regiunile n_1 și p_2 nu mai există diferență de potențial, curentul injectat de injector este deviat la masă pe calea I_0 (fig. 6.2, *a* și 6.3), iar tranzistorul T_2 se va bloca. Ca urmare tensiunea V_{CE_2} a tranzistorului T_2 va fi ridicată deci la ieșire se obține bitul 1 ca la orice inversor. Pentru T_2 în

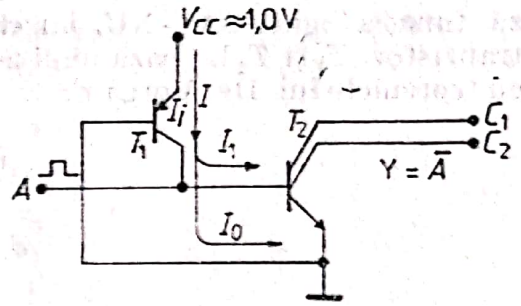
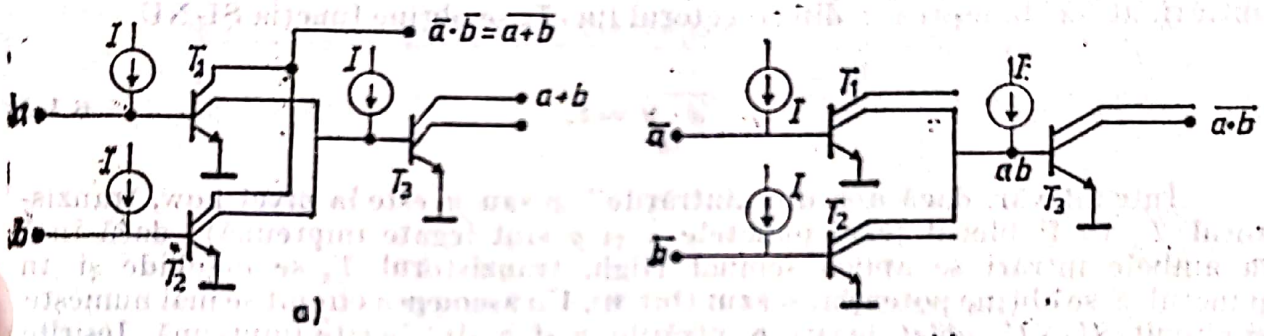


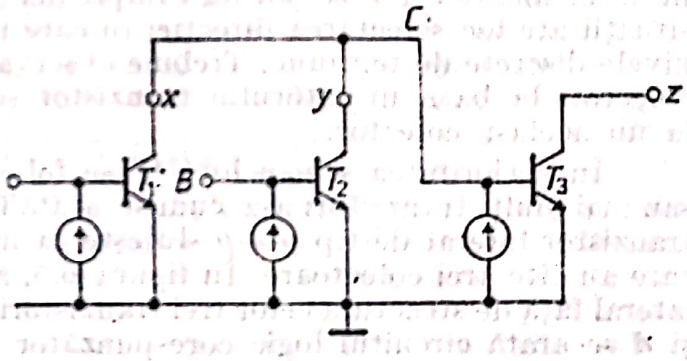
Fig. 6.3



conducție (cînd $A = 1$ sau baza este în aer), tensiunea V_{CE_2} este practic zero, deci la ieșire se obține bitul 0.

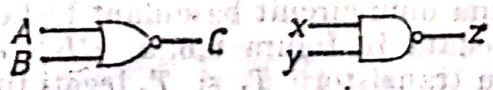
Întrucît nu se utilizează tensiuni de polarizare ci numai o mică tensiune de alimentare a injectorului, tranzistorii I^2L se pot cupla direct între ei și nu necesită rezistențe de sarcină sau în circuitele bazelor. Pentru realizarea diferitelor funcții logice se folosesc tranzistorii I^2L cu doi sau mai mulți colectori (fig. 6.2—6.4) a căror construcție este similară cu cea a tranzistorilor multiemitor (v. cap. 3), numai că rolul regiunilor difuzate se inversează : în regiunea *p* a bazei se realizează regiunile n^+ ale colectorilor, și nu ale emitorilor cum era în cazul tranzistorilor multiemitor.

În figura 6.4,*a* se arată schema circuitului logic care realizea-



A	B	C
0	0	1
0	1	0
1	0	0
1	1	0

x	y	z
0	0	1
0	1	1
1	0	1
1	1	0



c)

Fig. 6.4

ză funcţia logică SAU-NU, iar dacă se leagă celălalt colector de la fiecare tranzistor T_1 şi T_2 la baza unui nou inversor se obţine şi funcţia SAU, în acord cu teoremele lui De Morgan :

$$\overline{\bar{a} \cdot \bar{b}} = a + b \qquad 6.1.2$$

$$\bar{a} \cdot \bar{b} = \overline{a + b}. \qquad 6.1.3$$

Circuitul ŞI-NU se poate realiza cu un circuit ca cel din figura 6.4, *b* sau cu circuitul din figura 6.4, *c* [19]. Funcţionarea schemei din figura 6.4, *c* este descrisă cu ajutorul tabelelor de adevăr din fig. 6.4, *c* ; astfel la ieşirea *c* se obţine funcţia SAU-NU

$$c = \overline{a + b} \qquad 6.1.4$$

iar dacă punctele x şi y din colectorii tranzistorilor T_1 şi T_2 se consideră ca intrări, atunci la ieşirea z din colectorul lui T_3 se obţine funcţia ŞI-NU

$$\overline{x \cdot y} = z. \qquad 6.1.5$$

Într-adevăr, dacă una din „intrările" x sau y este la nivel Low, tranzistorul T_3 va fi blocat (căci punctele x şi y sînt legate împreună) ; dacă însă la ambele intrări se aplică semnal High, tranzistorul T_3 se deschide şi în punctul z se obţine potenţial scăzut (bit 0). Un asemenea circuit se mai numeşte şi circuit *ŞI-NU cablat* deoarece intrările x şi y sînt legate împreună. Ieşirile de la elementele I^2L se pot lega împreună (ca în fig. 6.4, *c*) deoarece în aceste situaţii are loc selectarea direcţiei în care merg curenţii şi nu selectarea după nivele discrete de tensiune. Trebuie observat că se pot lega doi sau mai mulţi colectori la baza următorului tranzistor şi nu invers, adică mai multe baze la un acelaşi colector.

În majoritatea schemelor I^2L se foloseşte un singur injector pentru doi sau mai mulţi tranzistori aşa cum se arată în figura 6.5. În figura 6.5, *a* acelaşi tranzistor lateral de tip *p-n-p* slujeşte ca injector pentru doi tranzistori *n-p-n* care au cîte trei colectoare. În figura 6.5, *b* injectorul (regiunea *p*) este plasat lateral faţă de structura celor trei tranzistori pe care îi deserveşte. În figura 6.5, *c* şi *d* se arată circuitul logic corespunzător schemei topologice reprezentată în figura 6.5, *b* şi respectiv logigrama circuitului.

Cu dispozitive I^2L se pot realiza o varietate extrem de mare de combinaţii care să corespundă la tot atîtea scheme de circuite logice atît de tip combinaţional, cît şi de tip secvenţial, în construcţia de memorii, microprocesoare, convertoare analog-numerice şi numeric-analogice, a divizoarelor de frecvenţă, ceasurilor electronice şi chiar în circuite liniare, sau în schemele cu tranzistori *MOS*. Aceste dispozitive sînt de asemenea compatibile cu celelalte familii logice bipolare cum sînt *TTL*, *ECL* folosind în acest scop interfeţe de putere specifice.

Schema unui circuit basculant bistabil de tip $R-S$ realizat cu tranzistori I^2L este redată în figura 6.6, *a*. *CBB* este compus din două părţi NAND alcătuite cu tranzistorii T_1 şi T_2 legaţi în cruciş (bazele legate la cîte unul din colectori) ieşirile Q şi $\bar{Q}$ fiind la cel de al doilea colector. Comanda *CBB* se face sub acţiunea impulsurilor aplicate la terminalele $\bar{S}$ şi $\bar{R}$ prin inversorii

Scanned with OKEN Scanner

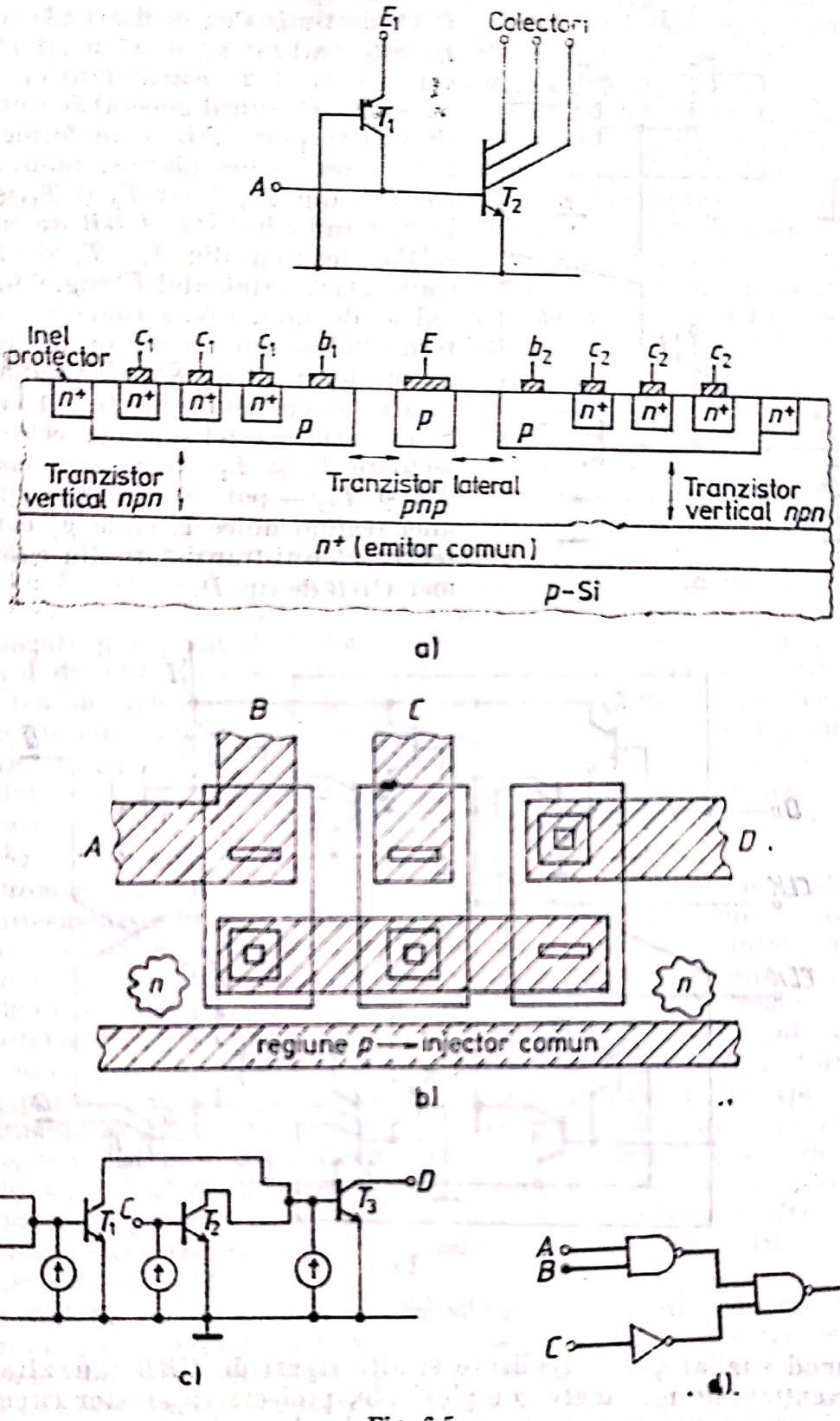
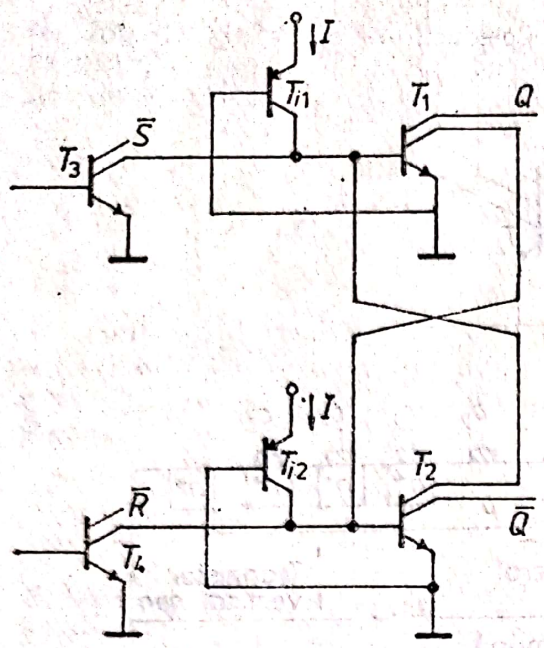


Fig. 6.5

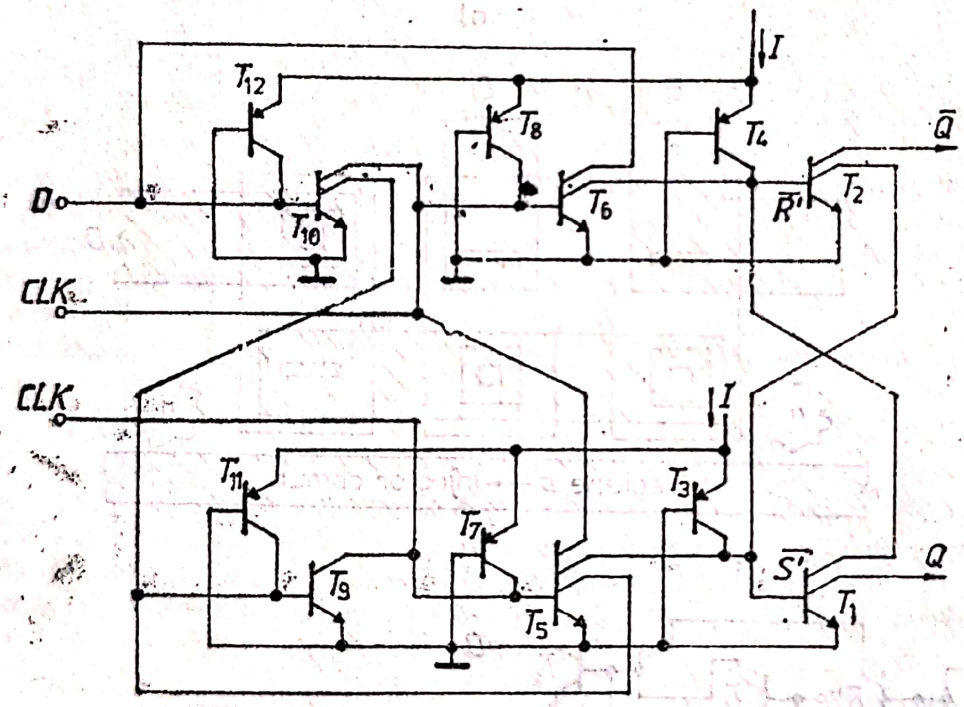
circuitului de control construit cu tranzistorii T_3 şi T_4 (fig. 6.6, *a*). Cei doi injectori T_{i1} şi T_{i2} pot fi realizaţi sub forma unei singure regiuni p_1 plasată lateral faţă de T_1 şi T_2.

Scanned with OKEN Scanner



a)

În figura 6.6, *b* se arată schema unui *CBB* de tip *D*. Circuitul basculant propriu-zis este realizat cu două porți I^2L cu inversorii T_1 și T_2 comandate de injectorii T_3 și T_4. Circuitul general de control conține patru porți I^2L care formează alte două circuite basculante; unul, care este compus din T_5, T_7 și T_9 și T_{11} și controlează terminalul $\bar{S}'$ al *CBB* de tip *D*, iar celălalt (compus din T_6, T_8 și T_{10}, T_{12}) controlează terminalul $\bar{R}'$ (fig. 6.6, *b*). Semnalele de tact, Clk, acționează — prin intermediul acestor circuite de control — asupra terminalelor $\bar{S}'$ și $\bar{R}'$ producînd basculareа circuitului cînd $D = 1$ (v. cap. 3). Și în cazul acestei scheme, cele două injectoare T_3 și T_4 — care sînt comune cu T_{11} și T_{12} — pot fi realizate sub forma unei regiuni unice laterale p_1 care să deservească toți tranzistorii din cadrul schemei *CBB* de tip *D*.



b)

Fig. 6.6

În mod similar pot fi realizate și alte tipuri de *CBB* sau alte circuite logice secvențiale de mai mare complexitate, proiectarea acestor circuite fiind totuși mai simplă în comparație cu alte tehnologii deoarece nu se apelează la rezistori (pentru polarizare) și la circuite speciale de adaptare etc. Întrucît injectorul se realizează sub forma unei regiuni laterale de tip *p*, dispozitivul I^2L ocupă aceeași suprafață pe cip ca a unui tranzistor obișnuit. Gradul de integrare crește însă foarte mult datorită lipsei rezistențelor de polarizare și

Scanned with OKEN Scanner

a specificului funcționării respectivelor dispozitive fapt care a făcut posibilă utilizarea acestora pentru producerea circuitelor *LSI* cum sînt diferite tipuri de memorii, microprocesoare etc. De altfel cu ajutorul circuitelor I^2L a fost realizat, printre altele, primul microprocesor de tip bit-slice de patru biți de către firma Texas Instruments în anul 1971 și anume microprocesorul SPB0400.

Datorită faptului că se utilizează tensiuni mici de alimentare (a injectorului) cît și modului specific de funcționare al dispozitivelor I^2L, consumul acestor dispozitive este extrem de mic, ceea ce facilitează realizarea unor circuite *LSI* cu grad mare de integrare, fără a se ivi probleme deosebite de disipare a puterii. Dispozitivele I^2L pot funcționa și la curenții foarte mici, în domeniul nanoamperilor, astfel încît puterea disipată pe o poartă coboară pînă în domeniul nanowaților [49]. Circuitele I^2L sînt circuitele din clasa *TTL* comparabile, în ceea ce privește densitatea de integrare și puterea disipată, cu cele din categoria *MOS* dinamic. În ceea ce privește viteza de lucru dispozitivele I^2L fac parte din categoria circuitelor rapide fiind realizate în tehnologia bipolară. Viteza de lucru poate fi mărită prin diferite procedee legate de perfecționările tehnologice (plasarea regiunii p_1 a injectorului cît mai aproape de regiunile colectorilor etc.) sau de funcționare, de exemplu prin mărirea curentului injectorului; în acest din urmă caz factorul de merit (produsul putere — viteză de lucru) crește întrucîtva, dar în mod nesemnificativ. De remarcat că în cazul circuitelor I^2L factorul de merit este cel mai mic din toate familiile de circuite logice comercializabile, variind între 4 și 0,02 pJ pe poartă. Valorile timpilor de propagare și implicit ale factorului de merit pot fi micșorate folosind izolarea cu bioxid de siliciu a elementelor I^2L; o asemenea tehnologie cunoscută sub denumirea de tehnologie izoplanară permite micșorarea dimensiunilor geometrice ale elementelor, precum și a capacităților aferente și a curenților de scurgere. Astfel elementele I^2L izoplanare (sau I^3L) au timpi de propagare de ordinul a 4 ns pe poartă ceea ce este remarcabil. Asemenea timpi de propagare sînt chiar mai mici decît cei obținuți pentru porțile I^2L cu diode Schottky ($\sim$ 10 ns).

Proiectarea și tehnologia circuitelor I^2L este simplă, neexistînd practic etape intermediare între topologia circuitului electric și schema logică corespunzătoare. De asemenea numărul de măști, de oxidări și de interconexiuni este mai mic decît în cazul altor circuite logice din tehnologia bipolară sau tehnologia *MOS*. Cu toate acestea există unele limitări în folosirea pe scară mare a circuitelor I^2L. Una din asemenea limitări decurge din faptul că substratul de tip p, în care sînt realizate dispozitivele I^2L, constituie emitorul care este comun pentru toate dispozitivele de pe cip; pentru multe aplicații aceasta constituie un avantaj permițînd o mai ușoară interconectare deci crește gradul de integrare. În alte situații, cînd se cere o varietate mare de conectare a porților logice, interconectarea simplă în lanț „pe orizontală" poate constitui un handicap fapt care nu se întîmplă în cazul circuitelor *n-MOS* de exemplu unde interconectarea diferitelor elemente se poate face atît pe orizontală, cît și pe verticală [19].

Avînd în vedere aceste particularități, în scopul reducerii la minim a legăturilor și interfețelor, tehnologia I^2L se utilizează la construcția circuitelor *LSI* (sau *VLSI*) cu peste 1000 porți logice pe cip, a memoriilor etc. Aceste blocuri *LSI* sînt apoi interconectate cu alte circuite logice sau liniare[1] apelîndu-se la interfețe de putere pentru adaptarea surselor de alimentare diferite etc.

[1] După cum s-a menționat anterior circuitele I^2L sînt perfect compatibile cu circuitele liniare realizate în tehnologia bipolară sau cu alte tehnologii.

Scanned with OKEN Scanner

Deși dispozitivele I^2L nu pot concura cu alte tehnologii pentru obținerea sistemelor numerice independente, ele se pot folosi cu succes în construcția blocurilor numerice specializate — de felul celor menționate mai sus — precum și a sistemelor hibride care necesită realizarea de funcții logice în circuitele integrate liniare cum sînt convertoarele analog-numerice sau alte categorii de sisteme de interfațare între sistemele numerice și cele liniare.

Cercetările efectuate asupra dispozitivelor și circuitelor I^2L au condus la perfecționări importante în ceea ce privește diversitatea de realizare a acestor circuite precum și la îmbunătățirea, în continuare, a parametrilor lor. Astfel, în vederea micșorării timpilor de propagare și a factorului de merit (sub 0,07 pJ pe poartă) au fost adoptate soluții cu injector vertical (în locul celui lateral) [68], dispozitive și circuite I^2L cu colector „întors" (cuplat înapoi la bază) [69], tehnologia I^3L — *I*soplanar *I*ntegrated *I*njection *L*ogic [70] și altele [71].

6.2. Circuite integrate cu dispozitive cuplate prin sarcină (*CCD* — Charge Coupled Devices)

6.2.1. Structura și principiul de funcționare a dispozitivelor cuplate prin sarcină (*DCS*)

Dispozitivele cuplate prin sarcină au fost obținute în anul 1969 la laboratoarele Bell Telephone de către W. S. Boyle și G. E. Smith, după care, în anii care au urmat, au căpătat o largă răspîndire în microelectronică și optoelectronică [74—77].

Principiul de acțiune a *DCS* se bazează pe înmagazinarea unui „pachet" de sarcini ale purtătorilor minoritari într-o groapă de potențial formată în apropierea suprafeței semiconductorului sub acțiunea unui cîmp exterior și pe deplasarea acestor sarcini de-a lungul suprafeței în alte gropi de potențial care se formează succesiv sub acțiunea unor impulsuri de tensiune (de tact). Astfel întrucît *DCS* sînt de fapt structuri de tip *MOS* funcționînd pe baza efectului de cîmp, în cele ce urmează vor fi expuse cîteva caracteristici ale capacitorilor *MOS*.

Structura unui capacitor *MOS* este reprezentată în figura 6.7, *a*. Inițial, efectul aplicării unei tensiuni negative pe electrodul metalic al structurii *MOS* (fig. 6.7, *a*) este golirea de purtătorii majoritari a regiunii (de sub oxidul din dreptul electrodului) a semiconductorului de tip *n*, în acest caz de electroni [2]. Diagrama de benzi va fi deci proprie stratului sărăcit în purtători, tipică contactelor *MS* sau *MOS* (fig. 6.7, *b*). După cum se știe [13, 19, 21], concomitent cu îndepărtarea purtătorilor majoritari (electroni) tensiunea $V_p < 0$ atrage, spre interfață, goluri din adîncimea semiconductorului (de tip *n*) în care acestea sînt purtători minoritari fapt care conduce (peste o anumită valoare, de prag, a tensiunii V_p) la apariția unui strat de inversie și formarea unui canal de conducție de tip *p* la interfață (fig. 6.7, *b*). O tensiune mică duce la o regiune de sărăcire mai mică (fig. 6.7, *b*). La tensiuni V_p mai apare regimul de golire adîncă pentru care grosimea stratului sărăcit, l_n, este destul de mare, iar curbarea benzilor de energie este — în primul moment — de asemenea mare (fig. 6.7, *c*). Această ultimă stare nu este o stare de echilibru termic ci doar ilustrarea situației imediat aplicării tensiunii externe. Purtătorii de sarcină

[2] Raționamentul este același pentru un semiconductor de tip *p* (purtători majoritari — golurile), pentru care efectul de golire a regiunii de sub electrod apare pentru $V_p > 0$.

Scanned with OKEN Scanner

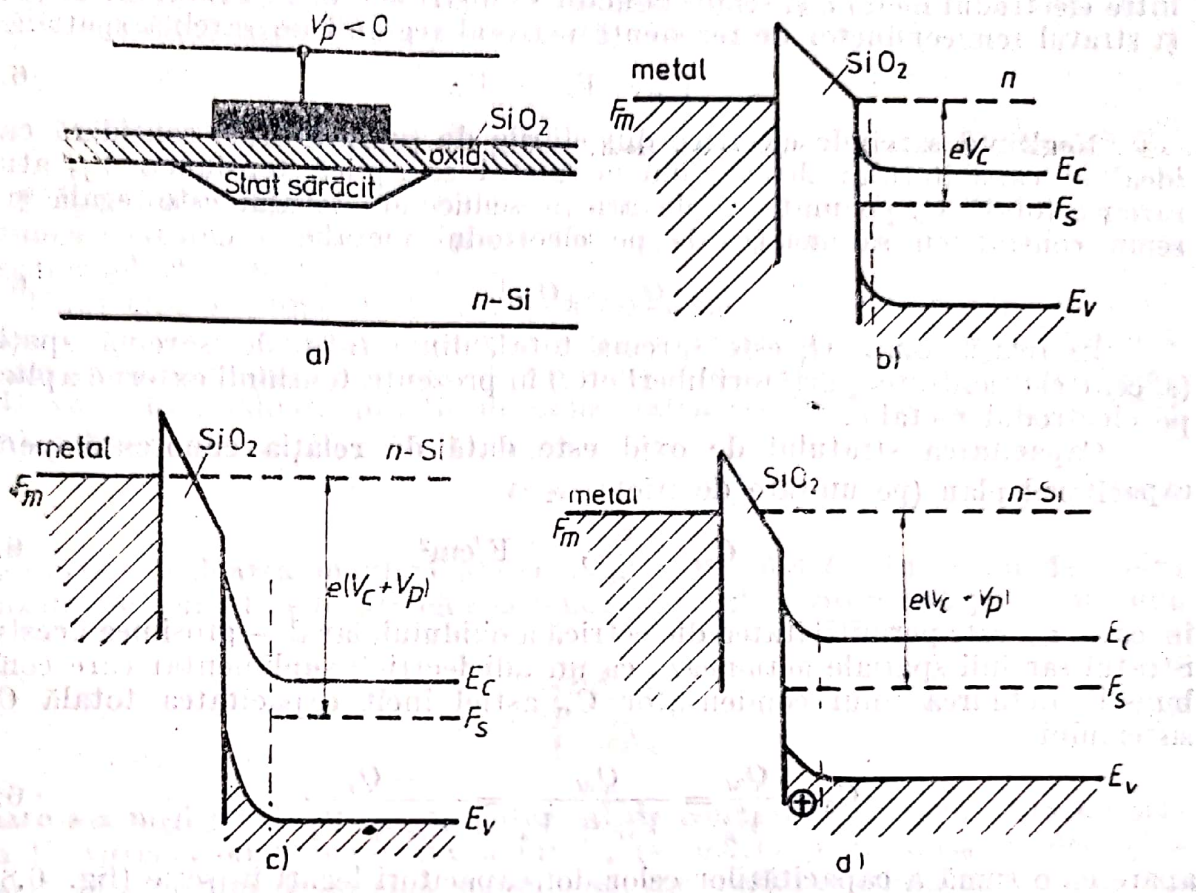


Fig. 6.7

(goluri și electroni) sînt produși permanent prin generare termică, golurile fiind atrase spre regiunea de interfață. Stratul de inversie nu poate apare instantaneu după aplicarea tensiunii $V_p < 0$, deoarece generarea termică necesită un timp oarecare pentru a furniza golurile din stratul de inversie. În această situație tranzitorie, cînd încă nu există stratul de inversie capacitorul *MOS* se află în regim de golire adîncă („deep depletion"), iar regiunea de sarcină spațială se extinde mult în adîncime (l_n este mare). După un timp finit golurile generate termic se adună în regiunea de lîngă suprafața semiconductorului ducînd la formarea stratului de inversie și la stabilirea situației de echilibru (fig. 6.7, *d*). Timpul de stabilire a stratului de inversie depinde deci de ratele de generare-recombinare a purtătorilor care la rîndu-le depind de temperatură, iluminare, natura și calitatea semiconductorului, valoarea benzii interzise, gradul de dopare, natura și calitatea interfeței etc. putînd fi destul de mare (de la zeci de ms pînă la zeci de secunde sau chiar minute). Pe această durată grupul („pachetul") de purtători minoritari (golurile în cazul considerat) înmagazinat în groapa de potențial creată în semiconductor sub electrodul metalic sub acțiunea cîmpului aplicat, poate fi asimilat cu un mediu pentru memorarea informației numerice (bitul „1") sau analogice (v. mai departe).

O metodă curentă și convenabilă pentru studiul structurilor *MOS* este bazată pe măsurarea capacității totale ca funcție de tensiunea aplicată pe electrozi. Această măsurare se efectuează pentru diferite frecvențe (ale tensiunii aplicate), temperaturi sau grade de iluminare a semiconductorului.

Dacă se neglijează diferența dintre lucrurile de ieșire, tensiunea V_p aplicată între electrodul metalic și semiconductor se distribuie între oxidul izolator, V_{ox} și stratul semiconductor de rezistență mare al regiunii de sarcină spațială V_s

$$V_p = V_{ox} + V_s. \qquad 6.2.1$$

Neglijînd sarcinile electrice din stările de suprafață (se consideră cazul ideal al capacitorului *MOS*) cînd pe metal se aplică tensiunea V_p, atunci sarcina totală Q_s pe unitatea de arie a semiconductorului este egală și de semn contrar cu sarcina Q_M de pe electrodul metalic

$$Q_s = |Q_M|. \qquad 6.2.2$$

În relația 6.2.2, Q_s este sarcina totală din stratul de sarcină spațială (a centrelor ionizate, purtători liberi etc.) în prezența tensiunii externe aplicată pe electrodul metalic.

Capacitatea stratului de oxid este dată de relația cunoscută pentru capacitorul plan (pe unitate de arie)

$$C_{ox} = \frac{\varepsilon_{ox}}{d}, \qquad \text{F/cm}^2 \qquad 6.2.3$$

în care ε_{ox} este permitivitatea dielectrică a oxidului, iar d — grosimea acestuia. Stratul sarcinii spațiale acționează ca un „dielectric" suplimentar care contribuie la definirea unui condensator C_s, astfel încît capacitatea totală C_0 a sistemului

$$C_0 = \frac{Q_M}{V_p} = \frac{Q_M}{V_{ox} + V_s} = \frac{-Q_s}{V_{ox} + V_s} \qquad 6.2.4$$

apare ca o sumă a capacităților celor doi capacitori legați în serie (fig. 6.8, *a*)

$$\frac{1}{C_0} = \frac{V_{ox}}{Q_M} + \frac{V_s}{-Q_s} = \frac{1}{C_{ox}} + \frac{1}{C_s} \qquad 6.2.5$$

sau

$$C_0 = \frac{C_{ox}\, C_s}{C_{ox} + C_s} \qquad 6.2.6$$

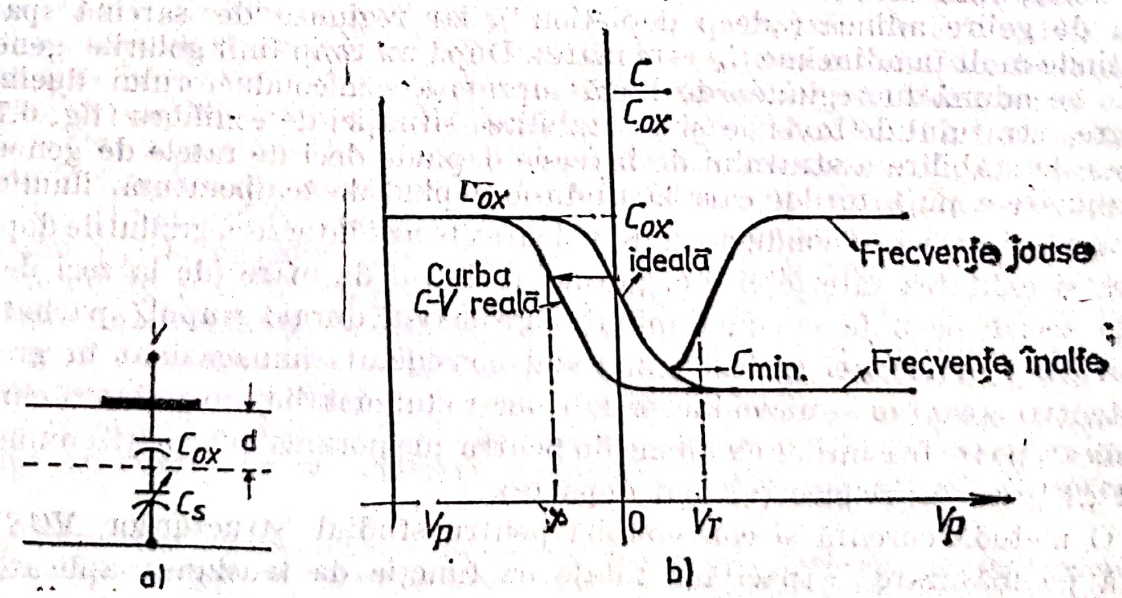


Fig. 6.8

Dacă pe lîngă tensiunea de polarizare se aplică un semnal variabil, atunci, întrucît lipsește un curent de conducție între poartă (care este izolată) și semiconductor, capacitatea C se poate calcula cu formula[3],

$$C = \frac{dQ_M}{dV_p} = -\frac{dQ_s}{dV_p}. \qquad 6.2.7$$

Dependența capacității totale C a structurii *MOS* (ideale) în funcție de tensiunea continuă V_p aplicată porții este reprezentată în figura 6.8, *b* pentru un semiconductor de tip *p* [21].

După cum se cunoaște [19, 21] în regim de acumulare, sarcina în semiconductor se concentrează puternic pe o regiune extrem de îngustă la suprafață (în canal) cu mult mai mică decît grosimea d a oxidului, deci capacitatea totală va fi determinată practic de capacitatea stratului de oxid (v. 6.2.3—6.2.6), adică

$$C \simeq C_{ox} \qquad 6.2.8$$

și reprezintă valoarea maximă a capacității (fig. 6.8, *b*). În regim de golire (epuizare) se constituie o sarcină spațială în stratul de suprafață pe o adîncime [21, 78]

$$x_p = \sqrt{\frac{2\varepsilon_s V_s}{eN_a}} \qquad 6.2.9$$

în care s-a neglijat diferența de potențial de contact (structură *MOS* ideală) Cum V_s variază odată cu variația lui V_p (v. 6.2.1) și mărimea x_p deci și a capacității stratului de sarcină spațială se vor modifica odată ce variază V_p. Ca urmare capacitatea totală se micșorează (fig. 6.8, *b*) întrucît C_{ox} se înseriază cu C_s și ca atare $C < C_{ox}$. Pe măsură ce stratul x_p se golește, capacitatea totală scade atingînd un minim pentru $x_p = x_{p\ max}$. Pentru $V_p = 0$, deci cînd și $V_s = 0$, se obține capacitatea totală de *bandă plată*, C_{BP}

$$C\Big|_{V_s=0} = C_{BP} = \frac{C_{ox}\, C_{sBP}}{C_{ox} + C_{sBP}} \qquad 6.2.10$$

care este mai mică decît $C_{max} \simeq C_{ox}$ (fig. 6.8, *b*).

Capacitatea oxidului este mai departe determinată de 6.2.3 fiind constantă; capacitatea stratului sărăcit va fi dată (pentru unitatea de suprafață) de

$$C_s = \frac{dQ_s}{dV_s} = eN_a \frac{dx_p}{dV_s} \qquad 6.2.11$$

sau, ținînd cont de 6.2.9

$$C_s = \sqrt{\frac{2\varepsilon_s N_a}{2V_s}} = \frac{\varepsilon_s}{x_p}. \qquad 6.2.12$$

[3] De observat că o formulă de tipul $\partial Q/\partial V$ nu se poate aplica pentru calculul capacității de difuzie a unei joncțiuni *p-n* oricît de joasă ar fi frecvența semnalului v, dar se poate aplica la calculul capacității de barieră [78, 79].

Scanned with OKEN Scanner

Ținînd seama că (v. 6.2.1)

$$V_p = V_s + V_{ox} = \frac{eN_a}{2\varepsilon_s} x_p^2 + \frac{|Q_s|}{C_{ox}} \qquad 6.2.13$$

se poate afla capacitatea totală a sistemului în funcție de tensiunea v_p pe electrodul metalic (v. [78])

$$C = \frac{C_{ox}}{\sqrt{1 + \frac{2C_{ox}^2}{eN_a\varepsilon_s} v_p}} \qquad 6.2.14$$

în v_p intrînd și tensiunea de semnal alternativ (pe lîngă tensiunea V_p de polarizare în *c.c*).

Formula 6.2.14 se poate aplica pînă la *inversie puternică*, cînd $v_p = v_T$ (fig. 6.8, *b*). Pentru $v_p > v_T$ în stratul de inversie se concentrează o sarcină puternic negativă (Q_{inv}) care, la *frecvențe joase*, poate urmări semnalul alternativ. În aceste condiții capacitatea totală va fi din nou dată practic de capacitatea oxidului, $C \simeq C_{ox}$ și curba se ridică spre valoarea capacității maxime (fig. 6.8, *b*).

La *frecvențe înalte* și *inversie puternică*, capacitatea totală a structurii rămîne practic la valoarea $C \simeq C_{min}$ (fig. 6.8, *b*), deoarece sarcina din stratul de inversie nu poate urmări semnalul variabil și practic stratul de inversie nu contribuie la capacitatea totală, ci numai sarcina din stratul de epuizare (sărăcire) (din spatele stratului de inversie) poate urmări acest semnal.

În analiza de mai sus s-a presupus structura *MOS* ideală în care s-au neglijat stările de suprafață, diferența de potențial de contact, sarcinile din oxid etc., astfel încît în absența unor tensiuni externe ($V_p = 0$), se asigură condiția de benzi plate (sau netede) adică nu există o curbare a benzilor de energie (fig. 6.9, *b*). În cazul real însă, intervine influența stărilor de suprafață, a diferenței de potențial de contact etc. care produc o curbare inițială a benzilor chiar pentru $V_p = 0$ (fig. 6.9, *a*). Valoarea tensiunii V_p aplicate din exterior pentru a se realiza regimul de bandă plată (fig. 6.9, *b*) în cazul capacitorului *MOS* real, se numește *tensiune de bandă plată*, V_{BP} fiind dată de (v. fig. 6.9, *b*, *c*)

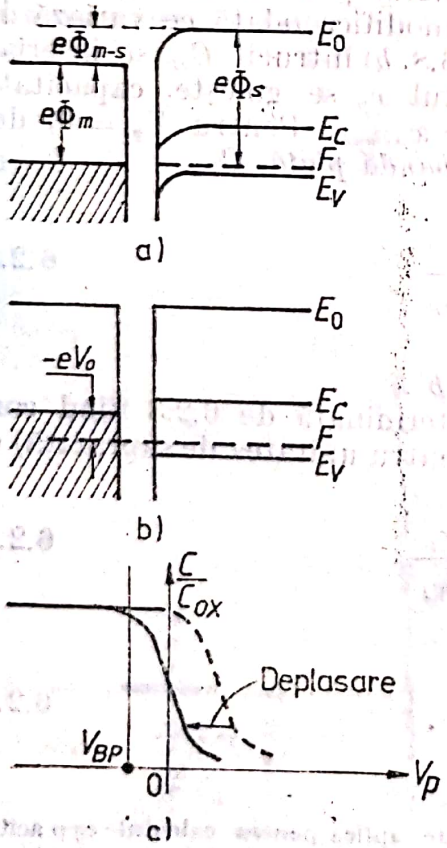


Fig. 6.9

$$eV_{BP} = e(\Phi_m - \Phi_s) = e\Phi_{m-s} < 0 \qquad 6.2.15$$

și va produce o deplasare a caracteristicii capacitate-tensiune ($C-V$) așa cum se vede în figura 6.8, *c* (curba reală).

Revenind la dispozitivele cuplate prin sarcină, în figura 6.10 este redată structura unui asemenea dispozitiv elementar. Pe lîngă electrodul metalic pe care se aplică tensiunea V_p de creare a gropii de potențial în care se pot acumula purtătorii minoritari, structura mai conține un electrod metalic plasat foarte aproape de primul (distanțe $l \lesssim 2$ μm) și care

servește la *transferul sarcinii* stocate în groapa de potențial de sub primul electrod, într-o groapă de potențial *mai adîncă*, ce se formează sub cel de al doilea electrod cînd acestuia i se aplică o tensiune V_i mai mare decît V_p (în cazul semiconductorului de tip n, mult mai negativă decît V_p). Transferul sarcinii are loc sub acțiunea cîmpului electric intern între cele două regiuni, precum și prin difuzie. Datorită operației de transfer a cantității de sarcină dintr-o regiune (groapă) în alta, dispozitivele cuplate prin sarcină se mai numesc și dispozitive cu transfer de sarcină (*DTS*), ultima denumire fiind considerată mai generală.

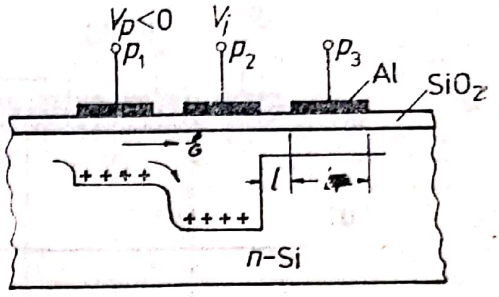


Fig. 6.10

În construcție integrată se utilizează structuri cu un număr mare de dispozitive elementare cu transfer de sarcină de tipul reprezentat în figura 6.10, cu care se alcătuiesc registre de deplasare, memorii, linii de întîrziere, sensori de imagine etc.

6.2.2. Tipuri de structuri integrate cu *DCS*. Caracteristici generale

Pentru formarea gropilor de potențial care asigură transferul sarcinii de la o regiune la o regiune vecină, se folosesc impulsuri de tensiune care se repetă cu o anumită frecvență (impulsuri de tact). Structurile cu *DCS* pot funcționa cu trei sau două rînduri de impulsuri de tact, iar în anumite situații cu patru tipuri de impulsuri de tact. Vom ilustra modul de funcționare a unor asemenea structuri prin analiza funcționării unui registru de deplasare de opt biți realizat ca un prim dispozitiv demonstrativ (fig. 6.11) [80]. Acesta reprezintă un registru de deplasare cu *DCS* acționat de trei tacturi (trei rînduri de impulsuri de tensiune) care se aplică la o serie de electrozi metalici depuși pe stratul de SiO_2 format la suprafața plachetei de siliciu. Pachetele de purtători minoritari pot fi injectate în regiunea sărăcită la neechilibru (groapa de potențial) de sub primul electrod printr-un circuit (dispozitiv) de intrare care poate fi o joncțiune p-n, sursa unui tranzistor *MOS*, sau prin iluminare locală [4]. În exemplul din figura 6.11 dispozitivul de intrare îl constituie sursa unui tranzistor *MOS* urmat de electrodul care constituie poarta de intrare a dispozitivului. De asemenea circuitul de ieșire este reprezentat de drena unui tranzistor *MOS*, astfel încît structura din figura 6.11 poate fi asimilară cu cea a unui tranzistor *MOS* cu mulți electrozi (metalici) de comandă, dar care funcționează pe principiul dispozitivelor cuplate prin sarcină.

Înscrierea informației (bitul 1 este asimilat cu prezența pachetului de purtători minoritari, iar bitul 0 cu absența acestuia) se face aplicînd între sursă și electrodul de intrare o tensiune $V_{intrăg.} > V_T$, în care V_T reprezintă tensiunea de prag de la care începe să se formeze un canal conductor între sursă și regiunea de sub electrodul de intrare. Grupul de electrozi care urmează și care sînt acționați de impulsurile de tact constituie secțiunea de transfer a informației (pachetului de purtători de sarcină) de la un electrod spre următorul pînă la circuitul de citire (drena și electrodul de citire) (fig. 6.11, *a*). Dacă, după formarea

[4] După cum s-a menționat anterior, pentru „colectarea" unui număr suficient de mare de purtători minoritari în groapa de potențial, generați pe cale termică este nevoie de un timp relativ mare, de aceea se apelează la injectarea acestora de la o sursă externă într-o cantitate precis delimitată.

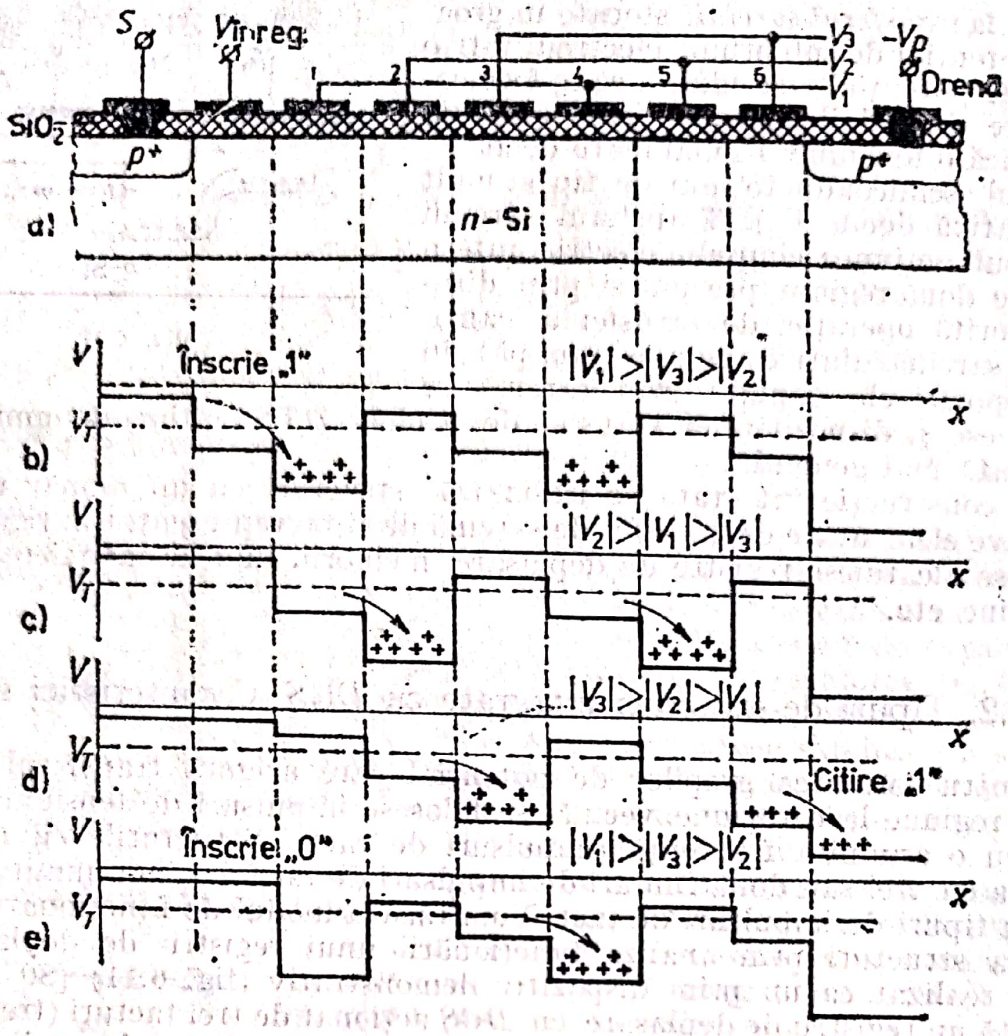


Fig. 6.11

canalului conductor între sursă și electrodul de intrare, se aplică la electrodul 1 un potențial V_1 mai mare decît $V_{înreg.}$, atunci sub electrodul respectiv apare o groapă mult mai adîncă decît sub electrodul de intrare și sub acțiunea cîmpului și difuziei purtătorii (golurile în cazul nostru) vor ieși din sursă și prin canalul de conducție de tip p se vor acumula în groapa de potențial de sub electrodul 1 (fig. 6.11, *b*). Înainte de aplicarea tactului următor se îndepărtează tensiunea $V_{înreg.}$ de pe electrodul de intrare care duce la dispariția canalului conductor de sub el. Astfel s-a produs înscrierea bitului de informație (bitul 1) reprezentat prin prezența pachetului de sarcini din groapa de potențial de sub electrodul 1. Concomitent cu îndepărtarea tensiunii $V_{înreg.}$ se micșorează și tensiunea V_1 pînă la o valoare $V_1' \simeq V_{înreg.}$, procedeu cunoscut sub denumirea de „ridicare a gropilor de potențial" în vederea transferului sarcinii spre electrozii următori. Pentru transferul în continuare al informației se aplică electrodului 2 o tensiune $V_2 > V_1'$ astfel încît în groapa mai adîncă ce se formează sub electrodul 2 se vor transfera sarcinile care erau sub electrodul 1 (fig. 6.11, *c*). Se ridică apoi gropile astfel încît $V_2' = V_{înreg.} > V_1'$ și se aplică $V_3 > V_2'$ la electrodul 3 ș.a.m.d. pînă ce pachetul de sarcini (bitul 1) ajunge la joncțiunea p-n a drenei. Dacă în gropile de potențial care se află sub joncțiunea p-n a drenei nu sînt sarcini (goluri), atunci curentul în circuitul drenei nu se va schimba. În cazul cînd groapa de potențial în care se află pachetul de sarcini ajunge sub joncțiunea p-n a drenei, golurile intră în respectiva

groapă (fig. 6.11, *d*) și în circuitul drenei apare un impuls de curent sau se schimbă tensiunea pe drenă.

De observat că în figura 6.11 mai există un pachet de sarcini (bit 1) introdus anterior și care se află în groapa de potențial de sub electrodul 4 (fig. 6.11). Pentru înscrierea bitului 0 (la începutul registrului), cînd încep să acționeze fazele impulsurilor de tact, în timpul primului tact nu se aplică V_{intrg} pe electrodul de intrare și ca atare nu se formează canalul de conducție; groapa de potențial de sub electrodul 1 va fi în acest caz fără purtătorii minoritari (injectați), deci are înscris 0 logic (fig. 6.11, *e*).

Un exemplu, cu valori numerice pentru valorile impulsurilor de tensiune, este ilustrat schematic în figura 6.12 care reprezintă un registru de deplasare avînd biți 1 în celule 1 și 7 și bitul „0" (absența sarcinii) în celula 4. Aplicînd la linia de tact 2 o tensiune $V_2 = -15$ V, mai mare decît tensiunea de stocare $V_s = -10$ V (care determină adîncimea gropilor de stocare), sarcinile vor trece — prin difuzie și datorită acțiunii cîmpului — în gropile următoare mult mai adînci (fig. 6.12, *b*). Astfel biții de informație se vor găsi acum în gropile 2 și 8 (bitul 1) și respectiv 5 (bitul 0). În următoarea secvență, prin aplicarea unor potențiale ca în figura 6.12, *c* „se ridică" gropile la nivelul potențialului de stocare $V_s = -10$ V care acum este aplicat la cea de a doua linie de tact. În continuare se va da $V_3 = -15$ V pe linia a III-a de tact deplasînd biții de informație cu încă o celulă etc. Transportul pachetului de purtători minoritari înapoi este posibil atunci cînd se inversează secvențele impulsurilor de tact, datorită faptului că structura registrului cu trei faze este simetrică. În figura 6.13 se arată schema constructivă a unui registru de deplasare cu trei tacturi realizat cu *DCS* (vedere de sus) [80].

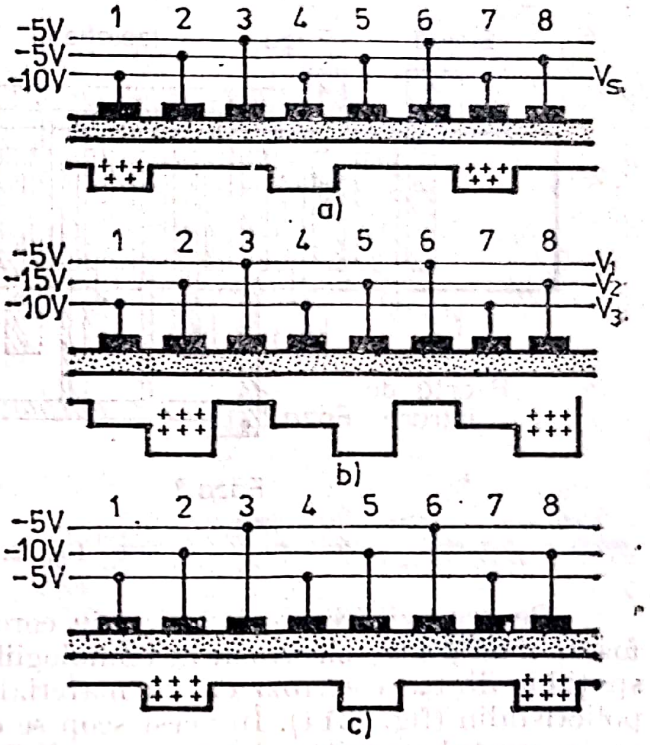


Fig. 6.12

Dispozitivele cuplate prin sarcină acționate de trei faze de tact deși prezintă avantajul simplității și păstrării sensului de deplasare a informației, sînt caracterizate printr-o serie de dezavantaje. Astfel pentru transferul sarcinii în bune condițiuni se cere ca distanța între doi electrozi vecini să fie cît mai mică (uneori sub un micron) pentru ca potențialul de suprafață să varieze monoton în zona de tranziție. Realizarea tehnologică a acestor distanțe pentru lungimi mai mari (ale registrului) în cazul metalizării cu Al reclamă dificultăți; în plus datorită distanțelor foarte mici între electrozi, de-a lungul lanțului de electrozi pot surveni scurtcircuite care compromit funcționarea întregului sistem. Frontul impulsurilor de tact la sistemele cu trei faze trebuie să fie abrupt și suficient de mare pentru a preveni injecția sarcinii pozitive în placheta-suport sau transferul ei în direcția opusă. Dificultăți apar și în procesul tehnologic de metalizare a liniilor care în cazul celor trei impulsuri de tact reclamă multe încrucișări și suprapuneri pentru interconectarea grupurilor de electrozi între ei.

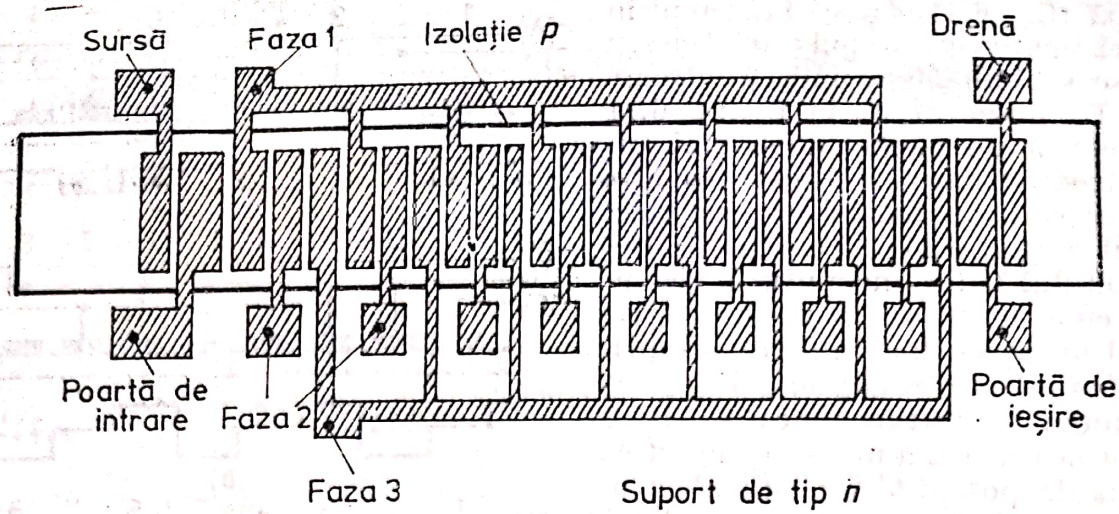


Fig. 6.13

Pentru evitarea realizării, prin corodare a Al, a distanțelor intermediare foarte mici dintre electrozi, în tehnologiile mai recente se apelează la umplerea spațiilor dintre electrozi cu un material de rezistență mare cum este siliciul policristalin (fig. 6.14). În acest scop se depune un strat de siliciu policristalin peste stratul de SiO_2, după care polisiliciul este dopat puternic în regiunile unde se dorește realizarea „electrozilor de comandă" [81]. Regiunile dopate (electrozii) sînt apoi conectate la linii de aluminiu prin care se aplică cele trei rînduri de impulsuri de tact.

În figura 6.15 se arată schema constructivă și de funcționare a unei structuri cu *DCS* cu două faze (două perechi de electrozi) la care se aplică tensiunile V_1 și V_2 în mod alternativ după ce se procedează la „ridicarea gropilor" în urma fiecărei secvențe de tact (v. și modul de funcționare a structurii cu trei faze, fig. 6.12).

Se vede că structura este asimetrică, fiecare electrod metalic fiind separat de suport printr-un strat de oxid de siliciu în două trepte (fig. 6.15, *a*) fapt care creează automat gropi de potențial de înălțimi diferite sub același electrod (fig. 6.15, *b*). Aplicînd un potențial $|V_2| > |V_1|$ la electrodul următor (după „ridicarea" în prealabil a gropilor cu ajutorul unei diferențe de potențial V_s de stocare), rezultă o groapă dublă (în trepte) mai adîncă în care, sub acțiunea cîmpului și prin difuzie va fi transferată sarcina stocată în groapa precedentă.

La structurile asimetrice cu două faze problema distanțelor foarte mici dintre electrozii de comandă este înlăturată prin metalizarea sub un mic unghi

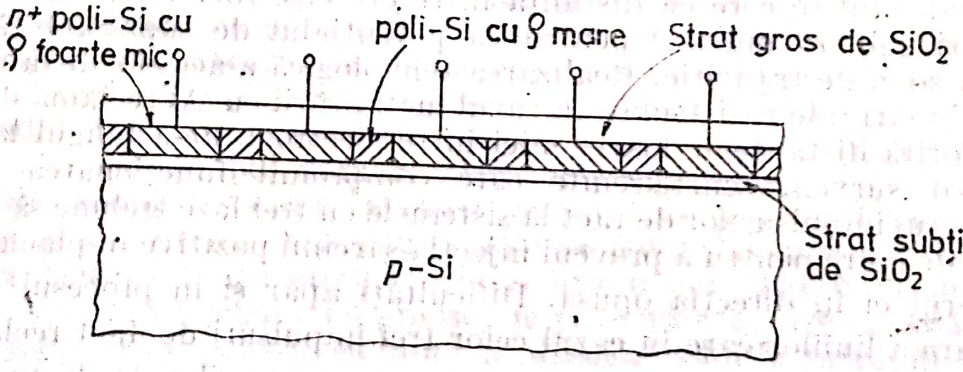


Fig. 6.14

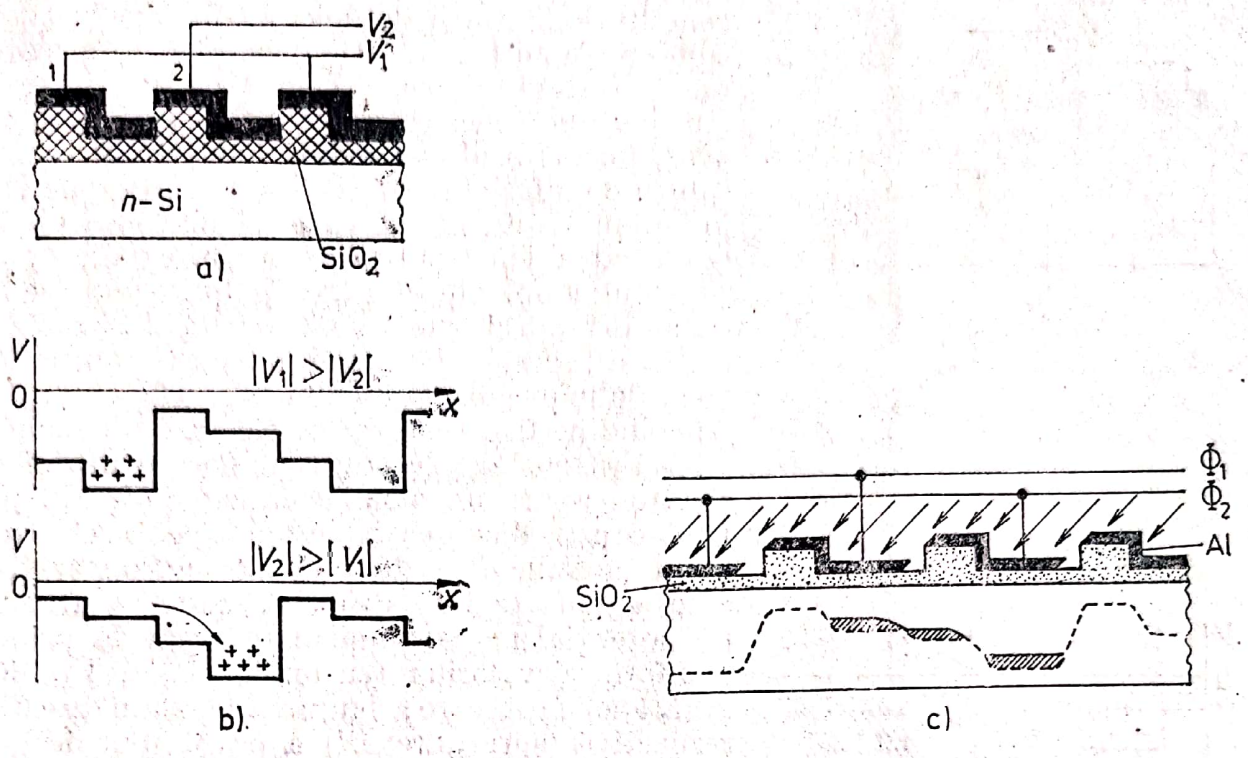


Fig. 6.15

a regiunilor de pe stratul dublu de SiO_2 (fig. 6.15, *c*). Treapta de SiO_2 expusă direct este acoperită uniform cu metal, în timp ce treapta inferioară este întreruptă foarte puţin în porţiunea umbrită de oxid faţă de sursa de evaporare. De asemenea se poate adopta soluţia depunerii perpendiculare a aluminiului, care se frînge la marginile treptelor de oxid (abrupte) realizîndu-se astfel separarea electrozilor.

Tot o structură cu două faze este şi cea cu porţi de polisiliciu îngropate în SiO_2 şi care sînt legate împreună la primul tact de impulsuri de tensiune V_2 (fig. 6.16). În dreptul spaţiilor dintre electrozii de polisiliciu, pe suprafaţa stratului de SiO_2 se depun electrozii metalici (Al) care sînt comandaţi de cea de a doua fază (tensiunea V_1). În acest mod se realizează asimetria structurii în SiO_2 (pentru obţinerea gropilor de potenţial în trepte) şi se poate obţine o distanţă foarte mică între electrozi (egală cu grosimea stratului de SiO_2 în respectiva regiune) fără pericolul de scurtcircuitare.

O structură cu *DCS* acţionată de două faze poate fi realizată apelîndu-se la o singură serie de electrozi metalici relativ distanţaţi dar care are create anumite regiuni *p* (prin difuzie sau mai precis prin implantare ionică) în suportul de tip *n*, rezultînd un şir de tranzistori *MOS* la care regiunile care

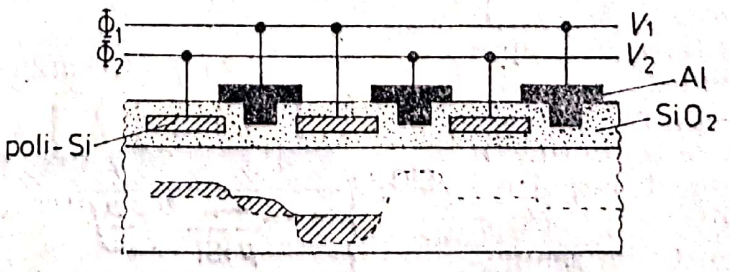


Fig. 6.16

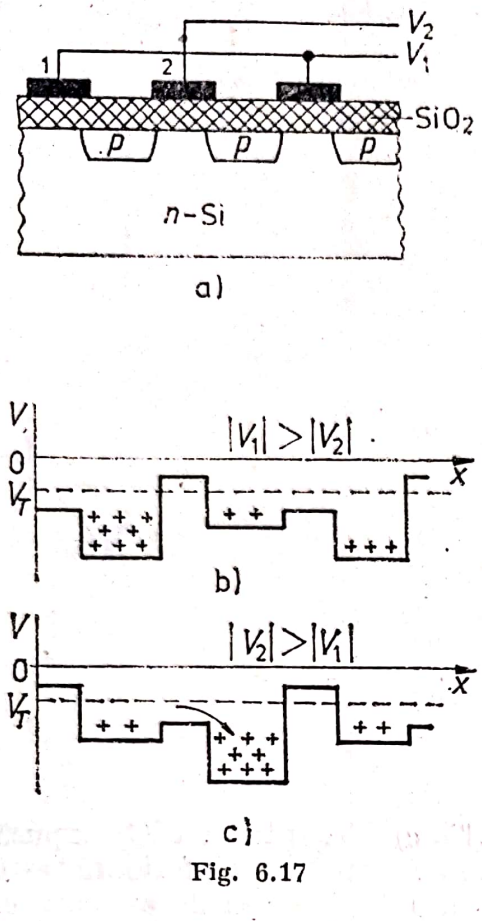


Fig. 6.17

constituie sursele şi drenele nu au electrozi de contact (fig. 6.17, *a*, *b*). De fiecare dată o regiune *p* (începînd cu cea de a doua din şir) constituie drena pentru un tranzistor apoi sursa pentru următorul tranzistor. Pachetul de sarcini („biţii de informaţie") pot fi păstraţi (temporar) în regiunile difuzate de tip *p* întrucît bariera de potenţial a joncţiunii *p-n* dintre regiunea *p* şi suportul *n* opreşte curgerea golurilor în regim de stocare, deşi există o oarecare polarizare directă a acestei joncţiuni datorită prezenţei pachetului de goluri în regiunea *p* (fig. 6.17, *b*). Aplicînd pe fiecare al doilea electrod o tensiune $V > V_T$ (tensiune de prag) sub fiecare al doilea electrod apare un canal conductor (de tip *p*). Din cauza dispunerii nesimetrice a electrodului metalic faţă de regiunile difuzate, fiecare a doua regiune difuzată apare a fi sub un potenţial negativ mai mare decît la prima (conform şi valorilor tensiunilor V_2 şi V_1, fig. 6.17, *b*, *c*) fapt care asigură mişcarea în direcţia respectivă (spre „drenă") a pachetului de goluri, adică în groapa mai adîncă (fig. 6.17, *b*, *c*). Această ultimă structură cu *DCS* este mai rar folosită deoarece necesită crearea unui număr mare de joncţiuni *p-n* (cu regiuni *p* difuzate sau implantate).

În tehnologia modernă a *DCS* se adoptă şi alte diferite soluţii de introducere, deplasare şi citire a informaţiei. Cu structuri *DCS* se realizează — după cum s-a arătat — diferite tipuri de registre de deplasare, memorii dinamice de 16K, 64K, linii de întîrziere (în circuitele analogice), convertoare analog-numerice etc. [77]

O categorie specială de circuite cu *DCS* o constituie aşa-numiţii **sensori de imagini** realizaţi cu dispozitive cu injecţie de sarcină. La aceste dispozitive semnalul („pachetul de sarcini") este *injectat* în structura dispozitivului prin iluminare. Fluxul luminos îndreptat asupra unei matrici cu *DCS* pătrunde printre electrozii porţilor metalice (fig. 6.18) şi provoacă în interiorul materialului semiconductor o generare intensă a perechilor de electroni şi goluri; purtătorii minoritari se vor acumula în gropile de potenţial din dreptul porţilor la care se aplică tacturile necesare (impulsuri de tensiune). Mărimea sarcinii acumulate este proporţională cu intensitatea locală a fluxului luminos care cade în regiunea din jurul respectivei porţi. După scurgerea unui timp oarecare, suficient pentru a înregistra întreaga imagine de la care provine fluxul luminos, sarcina (informaţia) este deplasată, sub acţiunea impulsurilor de tact, spre dispozitivele de ieşire şi de transformare a acesteia în semnale electrice. La ieşire se obţine o anumită succesiune de impulsuri cu diferite amplitudini, a căror înfăşurătoare constituie semnalul video. Astfel de sensori de

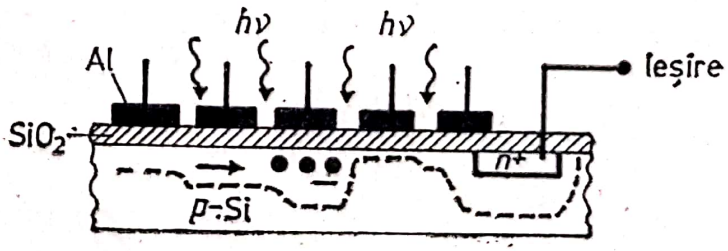


Fig. 6.18

imagini — realizaţi sub formă integrată — au căpătat o largă răspîndire în televiziune (camere miniaturale de luat vederi), video-telecomunicaţii, în transmiterea facsimilelor, în calculatoare electronice de prelucrare a imaginilor, în automatizări etc.

Dispozitivele cuplate prin sarcină sînt caracterizate printr-un zgomot foarte scăzut. Zgomotul provine în principal datorită fluctuaţiilor în pierderea sarcinii, a fluctuaţiilor numărului de capcane de la interfaţa $Si-SO_2$ (care de asemenea afectează cantitatea de sarcină transmisă spre următoarea regiune etc.). Structurile cu *DCS* funcţionează între anumite limite de frecvenţe (ale impulsurilor de tact). Limita inferioară este determinată de existenţa generării termice care furnizează purtători de sarcină minoritari şi care pot umple parţial gropile de potenţial (care ar trebui să fie goale). Viteza de generare termică a acestor purtători este determinată atît de calităţile materialului, cît şi de condiţii externe (temperatură), astfel încît acumularea de sarcini în gropile goale poate avea loc în timpi variind între sutimi de secundă pînă la secunde; acest fapt limitează frecvenţa în jos în jurul a $(1 \div 10)$ kHz.

Limita superioară a frecvenţei de tact este determinată de timpul necesar transferului sarcinii dintr-o groapă de potenţial în alta, care la rîndu-i este determinat de proprietăţile materialului, structura tehnologică şi de funcţionare a dispozitivului etc., fiind de ordinul nanosecundelor; rezultă o frecvenţă limită de tact de ordinul zecilor de MHz. Pentru timpi mai scurţi este posibil ca să nu fie transferat întregul pachet de sarcini sau cea mai mare parte din acesta.

Datorită prezenţei capcanelor din stările de suprafaţă de la interfaţa $Si-SiO_2$, cît şi altor cauze legate de timpul scurt de transfer, o parte din sarcini nu este transferată fapt care duce la aşa-numita *ineficienţă de transfer*. Se defineşte eficienţa de transfer a sarcinii, η, prin raportul dintre cantitatea de sarcină care a reuşit să fie transferată din groapa de potenţial A spre groapa de potenţial B pe durata T a impulsului de tact şi mărimea sarcinii totale (a pachetului) care se găsea sub electrodul A la începutul transferului (fig. 6.19)

$$\eta = \frac{Q(t = T)}{Q(t = 0)} = \frac{Q(T)}{Q(0)}. \qquad 6.2.16$$

Întrucît η este apropiat de unitate, ineficienţa de transfer sau coeficientul de pierdere de sarcină este dat de

$$\varepsilon = 1 - \eta = 1 - \frac{Q(t = T)}{Q(t = 0)}. \qquad 6.2.17$$

Pentru *DCS* de bună calitate această ineficienţă de transfer este mai mică decît 10^{-4} pentru o pereche de electrozi vecini. Ea este determinată de diferite efecte fizice astfel încît se poate vorbi de o ineficienţă medie ε dată de suma ineficienţelor ε_i, cauzate de diferite efecte fizice. După efectuarea a n transferuri în *DCS* va rezulta ineficienţa totală a structurii

$$k = n\varepsilon = n \sum_{0}^{i} \varepsilon_i. \qquad 6.2.18$$

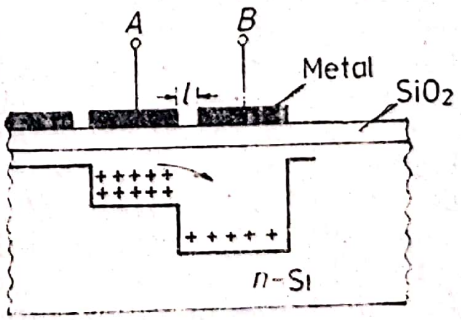


Fig. 6.19

Transferul incomplet al sarcinii se datorează, după cum s-a mai spus, atît timpului

mic de transfer (cînd frecvenţa de lucru este prea mare), cît mai ales reţinerii (capturii) a unei părţi din sarcină în capcanele din stările de suprafaţă de la graniţa $Si-SiO_2$. Aceste capcane pot elibera apoi golurile captate dar la momente şi poziţii de bit diferite, umplînd parţial cu sarcină gropi de potenţial goale care reprezintă zerouri logice. Influenţa stărilor de suprafaţă asupra eficienţei de transfer poate fi drastic micşorată dacă prin structura *DCS* se introduce o cantitate dată de sarcini care umple parţial ($\sim 10-20\%$) gropile de potenţial; în acest mod zerourile nu mai sînt codificate prin absenţa totală a sarcinii ci prin prezenţa unei cantităţi bine determinată de sarcină (goluri) purtînd denumirea de *„zerouri pline"*. În timpul transferului între electrozi, are loc umplerea majorităţii stărilor de suprafaţă cu purtători din „zerourile pline" astfel încît nu mai pot capta şi purtători de sarcină din pachetul de sarcini care este transferat prin secţiunea respectivă. Acest procedeu conduce însă la oarecare micşorare a amplitudinii semnalului de la ieşirea *DCS*.

6.3. Realizări şi tendinţe în tehnologia circuitelor integrate cu tranzistori cu efect de cîmp

6.3.1. Tranzistori Schottky cu efect de cîmp (*MESFET*-*M*etal-*S*emiconductor *F*ield-*E*ffect-*T*ransistor)

În ultimele două decenii, odată cu perfecţionarea şi diversificarea tehnologiilor de producere a circuitelor integrate şi dispozitivelor microelectronice, au devenit posibile şi au fost concepute şi realizate o serie de noi dispozitive şi sisteme integrate în mare măsură bazate pe efecte fizice cunoscute sau pe baza unor efecte noi. Cel mai mare număr de inovaţii au fost realizate în cadrul familiei dispozitivelor unipolare şi în special al dispozitivelor şi circuitelor integrate de tip *MOS*. Cîteva din aceste noi dispozitive şi tehnologii vor fi prezentate succint în cadrul acestui paragraf.

În tehnica microundelor şi a circuitelor integrate logice de mare viteză, pe lîngă alte tipuri de dispozitive (diode Gunn, diode IMPATT, TRAPPAT etc.) se folosesc diferite tipuri de diode, tranzistori şi circuite integrate realizate pe baza contactelor metal-semiconductor (cu barieră Schottky) cum sînt diodele Schottky, tranzistorii bipolari Schottky (despre care s-a tratat în § 3.4), precum şi tranzistorii Schottky cu efect de cîmp cunoscuţi sub denumirea generală de *MESFET* (*M*etal-*S*emiconductor *FET*).

Tranzistorii Schottky cu efect de cîmp (*MESFET*) au fost concepuţi şi realizaţi atît sub formă discretă de mică sau mare putere pentru tehnica microundelor, cît şi pentru circuite integrate logice cu viteze foarte mari de comutare şi cu un consum cît mai redus de energie. Deşi tehnologiile pe bază de siliciu sînt foarte bine puse la punct şi larg utilizate, pentru a mări frecvenţa de lucru a dispozitivelor şi vitezei de comutare, aproximativ după 1975 s-a trecut la folosirea intensivă în acest scop a arseniurii de galiu care posedă o mobilitate a electronilor de cinci ori sau mult mai mare decît în cazul siliciului. Astfel au fost realizate diferite tipuri de *MESFET* de putere (1—10 waţi) lucrînd la frecvenţe de 5—35 GHz folosindu-se în acest scop suporţi activi de GaAs de mare rezistivitate şi cu canal conductiv realizat prin implantare ionică [85—97]. Măsurători de caracteristici şi analize teoretice asupra acestei categorii de tranzistori se găsesc în diferite lucrări de specialitate [93—97]. În cadrul acestui subparagraf vor fi expuse unele consideraţii de ordin fizic care stau la baza construcţiei şi funcţionării tranzistorilor Schottky cu efect

Scanned with OKEN Scanner

de cîmp utilizaţi în circuitele logice integrate de mare viteză sau în tehnica modernă a microundelor.

Pentru mărirea vitezei de lucru a circuitelor logice integrate cu dispozitive cu efect de cîmp s-a trecut de la tehnologia *PMOS* (cu canal de tip *p*) la tehnologia *NMOS* şi apoi la *CMOS* care conducea — după cum s-a arătat în § 3.4 şi la un consum redus de energie electrică. În vederea micşorării capacităţilor parazite şi deci a măririi vitezei de comutare s-a apelat la circuite cu substrat izolator de tipul *SOI* (*S*ilicon *O*n *I*solator) sau *SOS* (*S*ilicon *O*n *S*aphire) dezvoltîndu-se tehnologiile *CMOS/SOI* şi respectiv *CMOS/SOS*.

Înlocuirea siliciului cu GaAs care posedă mobilităţi ale electronilor mai mari decît siliciul a permis realizarea unor dispozitive cu capacităţi parazite reduse pe suporţi de GaAs semiizolator ($\rho \approx 10^8\ \Omega\cdot$cm).

Tranzistorul Schottky cu efect de cîmp are o construcţie simplă şi principiul de funcţionare este acelaşi cu cel al tranzistorului cu poartă-joncţiune [21, 78]. După cum se vede din figura 6.20, *a*, structura unui tranzistor Schottky cu efect de cîmp, propusă pentru prima dată de Mead [98] este foarte simplă şi tehnologic uşor de realizat. Poarta metalică formează o barieră Schottky la contact intim cu materialul semiconductor, iar tensiunea (inversă) aplicată între poartă şi semiconductor conduce la formarea unei regiuni de sarcină spaţială golită de purtători mobili, regiune care micşorează mai mult sau mai puţin secţiunea de lucru a canalului (de tip *n*) dintre sursă şi drenă. Pentru reglarea precisă a lungimii şi adîncimii canalului, acesta cît şi regiunile n^+ de la sursă şi drenă sînt realizate prin implantare ionică. Primii tranzistori de acest tip, obţinuţi în 1966, au fost realizaţi pe suport de siliciu, avînd poartă de Au sau din alte metale care dau o înălţime corespunzătoare a barierei Schottky. Actualmente, în vederea măririi frecvenţei de lucru, se folosesc suporţi semiizolatori de GaAs de mare rezistivitate ($\rho \simeq 10^8\ \Omega\cdot$cm) [99], şi cu porţi din aliaje de tipul Ti/Pt/Au sau Ti/Au de dimensiuni foarte mici obţinute prin tehnicile moderne de litografie (v. paragraful 6.4). Pentru distanţe între contactele ohmice ale sursei şi drenei de 2—5 μm, se poate „centra" prin autoaliniere electrodul metalic al porţii a cărui lungime poate fi de ordinul micronului sau mai mică (0,5 μm), iar lăţimea *w* de ordinul a 10—50 μm. O trecere completă în revistă a tehnologiilor şi variantelor constructive ale *MESFET* se găseşte în [132].

În tranzistorii cu efect de cîmp tensiunea V_{PS} aplicată între poartă şi sursă controlează simultan atît densitatea de sarcină Q din canal, cît şi cîmpul

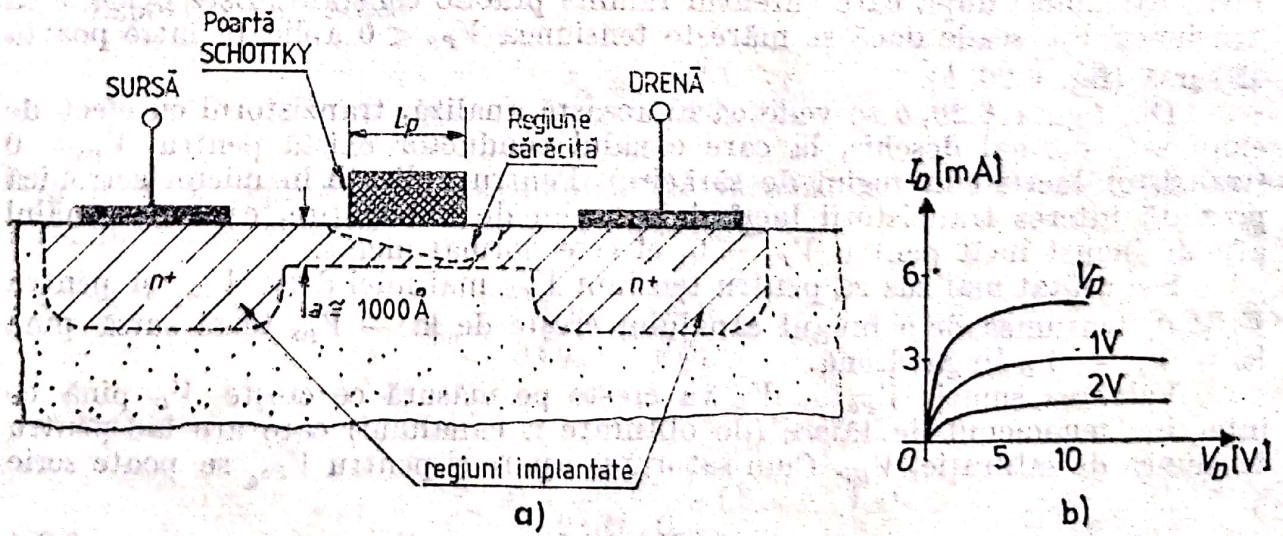


Fig. 6.20

electric E_c care acţionează asupra sarcinii respective. În cazul *MESFET*, a cărui structură este reprezentată în figura 6.20, *a*, dacă L este lungimea şi w lăţimea canalului, atunci curentul de drenă (care curge prin canal) este determinat de timpul de tranzit τ_t şi de sarcina totală controlată de cîmp în canal, $Q_c Lw$, deci

$$I_D = \frac{LwQ_c}{\tau_t} = \frac{Q_c wL}{L/v_d} = wQ_c v_d. \qquad 6.3.1$$

În relaţia 6.3.1, Q_c este sarcina pe unitatea de suprafaţă iar v_d viteza medie a purtătorilor de sarcină (viteza de drift). Considerînd că micşorarea sarcinilor la cîmpuri normale are un caracter ohmic, atunci

$$v_d = \mu_n E_c \qquad 6.3.2$$

în care μ_n este mobilitatea purtătorilor (electroni) din canal.

După cum se ştie [13, 19, 21, 78], pentru o tensiune V_{PS} suficient de mare se poate obţine o completă obturare a canalului; această obturare se obţine pentru o tensiune dată de [21, 78]

$$V_{PS_0} = e\frac{a^2 N_a}{2\varepsilon_s} \qquad 6.3.3$$

în care $2a$ reprezintă lărgimea (iniţială) a canalului [4, 13, 78].

Tranzistorul cu efect de cîmp lucrează însă la tensiuni $V_D \neq 0$, deci canalul nu poate fi reprezentat sub forma unui strat echipotenţial şi de lărgime constantă. În diferite puncte de-a lungul canalului, potenţialul va fi diferit, variind de la V_{PS} lîngă sursă, pînă la $|V_{PS}| + V_D$ lîngă drenă. Astfel, datorită căderii de tensiune pe regiunea canalului semiconductor creată de curentul de drenă I_D, canalul se îngustează înspre electrodul drenei, adică acolo unde căderea de tensiune e mai mare (fig. 6.20, *a*). În acest caz pentru valori mari ale curentului de drenă se poate obţine o obturare completă a canalului (fig. 6.20, *a*) chiar pentru tensiuni nule de poartă aşa cum rezultă şi din figura 6.20, *b* unde sînt reprezentate caracteristicile curent-tensiune ale *MESFET* (sau ale *JFET*). Se vede că pentru tensiunea de saturaţie V_{D_s} se obţine I_{D_s} (cînd are loc obturarea canalului) după care curentul rămîne practic constant. Este evident că tensiunea V_{D_s} scade dacă se măreşte tensiunea $V_{PS} < 0$ aplicată între poartă şi sursă (fig. 6.20, *b*).

Din figura 6.20, *b* se vede că în această analiză, tranzistorul cu efect de cîmp este normal deschis, la care canalul conductor există pentru $V_{PS} = 0$ (tranzistor lucrînd în regim de sărăcire). Pentru aplicaţii în microelectronică prezintă interes tranzistorii lucrînd în regim de îmbogăţire, care au canalul atît de îngust încît pentru $V_{PS} = 0$, el este normal închis.

S-a arătat mai sus că pentru tensiuni V_{PS} mai mici decît V_{PS_0} şi pentru $V_D \neq 0$, tensiunea de-a lungul canalului creşte de la $-V_{PS}$ lîngă sursă pînă la $-V_{PS} + V_D$ lîngă drenă.

Valoarea sumei $|V_{PS}| + V_D$ va creşte pe măsură ce creşte V_D pînă ce intervine fenomenul de tăiere (de obturare a canalului) care are loc pentru tensiunea de saturaţie, V_{Ds}. Cum saturarea apare şi pentru V_{PS_0} se poate scrie

$$-V_{PS_0} = -V_{PS} + V_{Ds} = -V_T. \qquad 6.3.4$$

Scanned with OKEN Scanner

De aici se scoate tensiunea de drenă pentru care intervine saturaţia curentului de drenă

$$V_{DS} = V_{PS} - V_T, \tag{6.3.5}$$

în care $-V_T(=-V_{PS_0})$ se numeşte tensiune de tăiere.

Lucrînd în regim de saturaţie, cîmpul mediu $\mathscr{E}_c$ care acţionează asupra sarcinii din canalul de lungime L_p (fig. 6.20) va fi dat de

$$\mathscr{E}_c = \frac{V_{DS}}{L_P} = \frac{V_{PS} - V_T}{L_P}. \tag{6.3.6}$$

Dacă d reprezintă valoarea medie a grosimii „dielectricului" (regiunea de sarcină spaţială) care separă electrodul porţii de canal (fig. 6.20, a) pentru densitatea de sarcină din canal se poate scrie relaţia

$$Q_c = \varepsilon_s \mathscr{E}_P = \frac{\varepsilon(V_{PS} - V_T)}{2d}, \tag{6.3.7}$$

în care $\frac{V_{PS} - V_T}{2}$ reprezintă *valoarea medie* a diferenţei de potenţial dintre poartă şi canal. Înlocuind 6.3.2 ; 6.3.6 şi 6.3.7 în relaţia 6.3.1 se obţine

$$I_D = \frac{\varepsilon w \mu_n}{2dL_p}(-V_{PS} - V_T)^2 = k(V_{PS} - V_T)^2. \tag{6.3.8}$$

Schema echivalentă a *MESFET* (şi a *TEC-J*) este practic aceeaşi cu a tranzistorului *MOS* cu unele mici diferenţe datorate absenţei stratului izolator în circuitul de intrare. Frecvenţa maximă de lucru (dacă se neglijează influenţele parazite) este acea frecvenţă pentru care curentul prin capacitatea de intrare C_{PS} este egal cu curentul $g_m V_P$ al generatorului echivalent din circuitul de ieşire al dispozitivului, adică

$$f_m = \frac{g_m}{2\pi C_{PS}}, \tag{6.3.9}$$

în care g_m reprezintă transconductanţa dispozitivului. Din definiţia transconductanţei, şi ţinînd seama de 6.3.8 rezultă

$$g_m = \frac{\partial I_D}{\partial V_{PS}} = \frac{\varepsilon w \mu_n}{dL_P}(V_{PS} - V_T) \tag{6.3.10}$$

şi respectiv

$$f_m = \frac{\varepsilon w \mu_n}{2\pi d L_P C_{PS}}(V_{PS} - V_T). \tag{6.3.11}$$

Scanned with OKEN Scanner

Considerînd că pentru calculul capacităţii C_{PS} se poate folosi relaţia simplificată $C = \frac{\varepsilon L w}{d}$ rezultă în final

$$f_m = \frac{\mu_n}{2\pi L_p^2}(V_{PS} - V_T). \qquad 6.3.12$$

Formula 6.3.12 (şi 6.3.11) arată că frecvenţa maximă f_m şi deci şi viteza de comutaţie pentru circuitele *MESFET* depinde de tensiunea de tăiere V_T şi deci de tensiunea de prag ($V_{PS} - V_T$) care uzual este comparabilă cu tensiunile *TTL* ($V_m = 5$ V). De asemenea f_m depinde de valoarea lungimii porţii, L_p, care trebuie să fie cît mai mică şi de valoarea mobilităţii μ_n care la GaAs sau InP este mult mai mare decît pentru siliciu [133].

Acest model simplu introdus încă de Shockley pentru tranzistorii cu efect de cîmp a fost îmbunătăţit introducîndu-se corecţii pentru efectele care intervin în cazul neuniformităţii (neliniarităţii) canalului, sau în cazul porţii foarte scurte („short-gate lenght"), pentru grosimi foarte mici ale canalului iniţial etc. Asemenea analize se găsesc în multe lucrări de sinteză (v. de ex. [21]) sau în lucrări originale [90—97].

Dezvoltarea tehnologiilor *LSI* sau *VLSI* pe bază de GaAs au întîmpinat şi întîmpină unele dificultăţi legate de metodele de dopare, pasivare şi litografiere care sînt bine puse la punct pentru siliciu al cărui bioxid (SiO_2) este în mod fericit utilizat în scop de pasivare, mascare, izolare etc. În ceea ce priveşte *MESFET* aceştia au fost produşi în special ca dispozitive discrete sau în circuite simple utilizate în tehnica microundelor. Diversitatea în construcţia şi principiile fizico-electronice de funcţionare ale acestor dispozitive şi circuite este foarte mare, o parte din acestea fiind redate în lucrările originale şi de sinteză menţionate mai înainte [5]. Aplicarea metodelor de implantare ionică, noilor procedee de litografie cu fascicule de electroni, de radiaţii X sau de radiaţii optice în ultravioletul îndepărtat, precum şi adoptarea unor tehnologii de circuit specifice corelate cu succesele obţinute în proiectarea cu calculator a permis elaborarea de circuite *LSI* şi *VLSI* pe bază de GaAs şi realizarea în acest fel a unor calculatoare electronice ultrarapide. Despre asemenea circuite integrate *LSI* sau *VLSI* cu GaAs obţinute prin tehnici speciale se tratează în [95—99, 109, 110, 139—141].

După cum s-a menţionat mai sus, pentru aplicaţii în construcţia circuitelor logice integrate care lucrează, de regulă, în logica pozitivă, se folosesc tranzistori cu efect de cîmp, inclusiv *MESFET*, ce operează în regim de îmbogăţire. Tranzistorii Schottky cu efect de cîmp de acest tip au canalul foarte îngust şi care este complet închis sub acţiunea diferenţei de potenţial de contact care apare la contactul poartă-semiconductor ; ca urmare pentru $V_{PS} = 0$ aceşti tranzistori sînt blocaţi („normally off") ei deschizîndu-se sub acţiunea unor tensiuni de poartă pozitive ($V_{PS} > 0$) [142, 143]. Cu asemenea tranzistori Schottky pe bază de GaAs au fost realizate circuite logice integrate de mare viteză şi consum redus, prin cuplarea directă a unor asemenea tranzistori între ei (*DCFL — Direct Coupled FET Logic*) [144]. Consumul pe dispozitiv al acestor

[5] Dintre tipurile de tranzistori Schottky cu efect de cîmp se pot menţiona pe lîngă cele analizate mai sus, *MESFET* cu strat tampon între poartă şi canal [134], *MESFET* cu heterostructură simplă [135] sau dublă [136], *MESFET* cu două porţi metalice [137], *MESFET* cu canal în formă de *V* [138], *MESFET* cu mai multe canale, *MESFET* (cu poartă „metalică" din Si amorf) [139, 140] etc.

Scanned with OKEN Scanner

tipuri de tranzitori este de ordinul femtojoulilor (1 Femtoj $= 10^{-18}$ J) ceea ce este deosebit de important pentru realizarea circuitelor *LSI* și *VLSI* în care de obicei apar probleme de disipare a energiei consumate pe cip. Circuitele integrate de tip *DCFL* prezintă însă un interval mic pentru semnalele logice de comutare, nivelul logic superior fiind limitat la o valoare mai mică decît cea corespunzătoare barierei Schottky care la metal/GaAs este de circa 0,7 V. Acest lucru conduce la o margine de zgomot mică față de fluctuațiile de tensiune și alte surse de zgomot care pot apare în cazul construcției (variații ale tensiunii de prag V_T la diferite dispozitive pe aceeași plachetă) și funcționării circuitelor. Pentru a elimina acest dezavantaj au fost realizați tranzistori Schottky cu efect de cîmp cu poartă de siliciu amorf puternic dopat care prezintă o barieră Schottky mult mărită corespunzătoare unei tensiuni de 1 V suficientă pentru delimitarea clară a nivelelor logice și a măririi imunității la zgomot a dispozitivelor [145, 146]. Structura unui asemenea dispozitiv, denumit *MASFET* — *M*etallic *A*morphous-*S*ilicon *G*ate *FET*, realizat cu GaAs, este redată în figura 6.21. Dispozitivul este „normal închis" ($I_D = 0$) pentru $V_{PS} = 0$, avînd poarta realizată cu compusul ternar *a*-Si—Ge-B cu structura amorfă (straturi amorfe de Si dopate puternic cu Ge și B). Datorită valorii mai ridicate pentru potențialul porții ($\simeq$ 1 V), curentul de drenă crește aproximativ de două ori față de *MESFET* cu poartă metalică simplă, deci și viteza de comutare crește față de cea a *MESFET* [145]. Pentru tensiuni de alimentare $V_{DD} = 1{,}5$ V s-au obținut timpi de propagare de 25 ps, pentru *MASFET* cu lungimea canalului de circa 1 μm. Rezultate similare au fost obținute și pentru *MASFET* pe bază de siliciu, avînd $L_P \simeq 0{,}5$ μm obținut prin tehnologia cu poartă autoaliniată (v. subparagraful următor) [146]. De menționat că toate tipurile de tranzistori *MESFET* prezintă o rezistență la radiații penetrante mult mai mare decît tranzistorii *MOS*, deoarece nu au poarta izolată cu strat de oxid care are o mai mică toleranță la radiații [147].

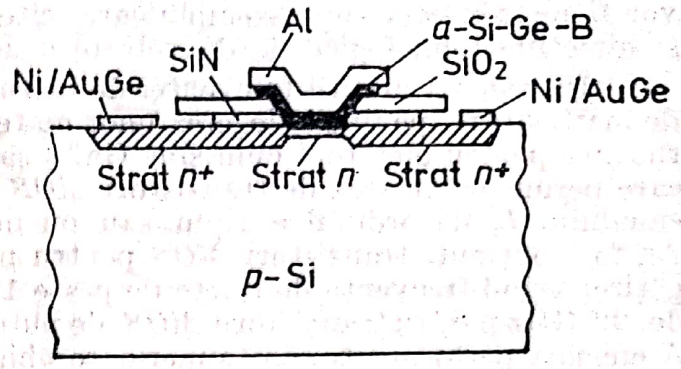


Fig. 6.21

După anul 1980 au fost concepuți tranzistori cu efect de cîmp avînd regiunea dintre sursă și drenă sub formă de straturi suprapuse dopate diferit, deci avînd o dopare modulată a respectivei heterostructuri; asemenea tranzistori de tip Schottky cu efect de cîmp sau de tip *MOS* care poartă denumirea de tranzistori cu efect de cîmp cu dopare modulată, *MODFET* (*M*odulation-*D*oped *F*ield *E*ffect *T*ransistor), vor fi tratați succint în paragraful 6.3.3.

6.3.2. Variante de tranzistori *MOS*. Perfecționări tehnologice

Datorită avantajelor pe care le prezintă tranzistorii cu efect de cîmp și în special tranzistorii *MOS* caracterizați printr-o rezistență de intrare mare și curenți de poartă practic egali cu zero, aceștia au cunoscut o largă dezvoltare realizîndu-se în diferite variante tehnologice în funcție de scopul și domeniul în care se aplică. Tranzistorii *MOS* și variantele *CMOS* se folosesc mult în construcția memoriilor integrate de tip *LSI* sau *VLSI* datorită dimensiunilor lor mici și consumului redus (în special al circuitelor *CMOS*). În cele ce urmează

vor fi menționate, spre exemplificare, cîteva din tipurile de tranzistori *MOS* și direcțiile tehnologice de dezvoltare a acestora.

În vederea măririi frecvenței de lucru și obținerii unor circuite integrate de mare viteză, pe lîngă alegerea unor materiale semiconductoare cu mobilități ridicate pentru electroni cum sînt GaAs sau InP, au fost elaborate tehnologii care permit fabricarea de tranzistori *MOS* de mici dimensiuni avînd lungimea canalului L_c de ordinul a 1 μm sau cu mult mai mică ($L_c \simeq 0{,}2 \div 0{,}5$ μm). Au fost obținuți tranzistori *MOS* pentru microunde lucrînd în regim de îmbogățire, avînd frecvențe de tăiere de peste 13 GHz pentru $L_c \simeq 2{,}0$ μm și chiar de 22 GHz pentru tranzistorii *MOS* de putere medie avînd $L_c \simeq 1{,}8$ μm [148]. Asemenea performanțe sînt superioare chiar celor obținute pentru *MESFET* de dimensiuni comparabile, tranzistorii *MOS* avînd un coeficient de amplificare în curent mult mai mare. Variante ale tranzistorilor *MOS* funcționînd după principii noi (v. de exemplu *MODFET* sau *TEGFET* etc.) au permis obținerea unor frecvențe de lucru mult mai ridicate (v. § 6.3.3).

Pentru micșorarea lungimii L_c a canalului între sursă și drenă se apelează exclusiv la procedeul dopării prin implantare ionică și la procesul de obținere a porții prin **autoaliniere** („Self-Alignment Process"). În figura 6.22 se arată etapele de obținere a tranzistorilor *MOS* cu poartă metalică (de Al) prin procedeul de autoaliniere [149]. Mai întîi se crește un strat gros de SiO_2 (pînă la 1,5 μm) pe placheta-suport de siliciu, după care, cu o mască adecvată, se execută o fereastră în SiO_2 în regiunea porții (fig. 6.20, *a*). În regiunea ferestrei se crește un strat subțire (0,2 μm) de SiO_2 după care peste întreaga suprafață (cu oxid gros și subțire) se depune un strat metalic de Al (fig. 6.22, *b*). Urmează din nou un proces de fotolitografiere prin care se îndepărtează excesul de metal acesta rămînînd numai în regiunile care constituie porțile dispozitivelor (de pe plachetă) (fig. 6.22, *c*). Următorul pas constă în doparea regiunilor sursei și drenei, poarta metalică servind ca mască (fig. 6.22, *d*). O asemenea tehnologie conduce la o apreciabilă micșorare a capacităților parazite care apar datorită suprapunerii porții peste regiunile sursei sau drenei și deci la o mărire a vitezei de lucru a dispozitivelor [49, 149].

Pentru modificarea valorii tensiunii de prag a tranzistorilor *MOS*, în locul porților de Al se folosesc porți de siliciu policristalin puternic dopat (prin implantare), valoarea barierei de potențial dată de diferența de potențial de contact fiind diferită de cea corespunzătoare porții de Al.

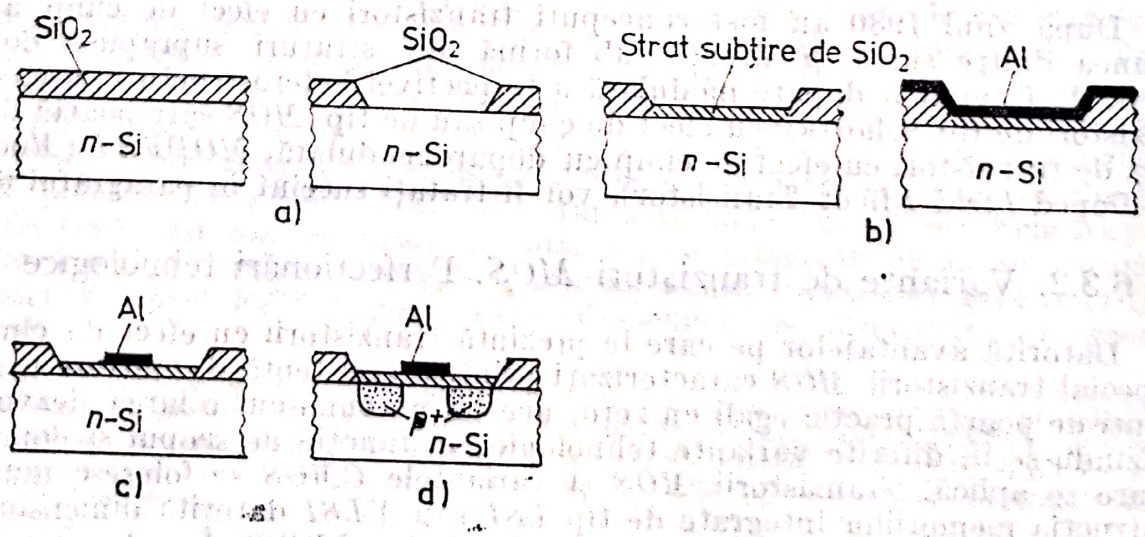


Fig. 6.22

În figura 6.23 se arată etapele procesului tehnologic de obținere a tranzistorilor *MOS* cu poartă autoaliniată din Si policristalin. După deschiderea ferestrei în stratul mai gros de SiO_2 și creșterea unui strat mai subțire de SiO_2, se depune un strat de polisiliciu (fig. 6.23,*b*) care este apoi corodat lăsîndu-se numai benzile corespunzătoare porților (fig. 6.23, *c*). Se elimină apoi restul de strat de SiO_2 de grosime mică (fig. 6.23, *d*) după care se implantează puternic, n^+, regiunile sursei, drenei și stratul de siliciu policristalin care constituie poarta (fig. 6.23, *e*). Urmează apoi etapele de pasivare (cu SiO_2) și de deschidere a contactelor (fig. 6.23, *f*, *g*). Contactul extern la stratul de polisiliciu se realizează printr-o bandă metalică de Al așa cum se arată în figura 6.24 (vedere de sus) [19].

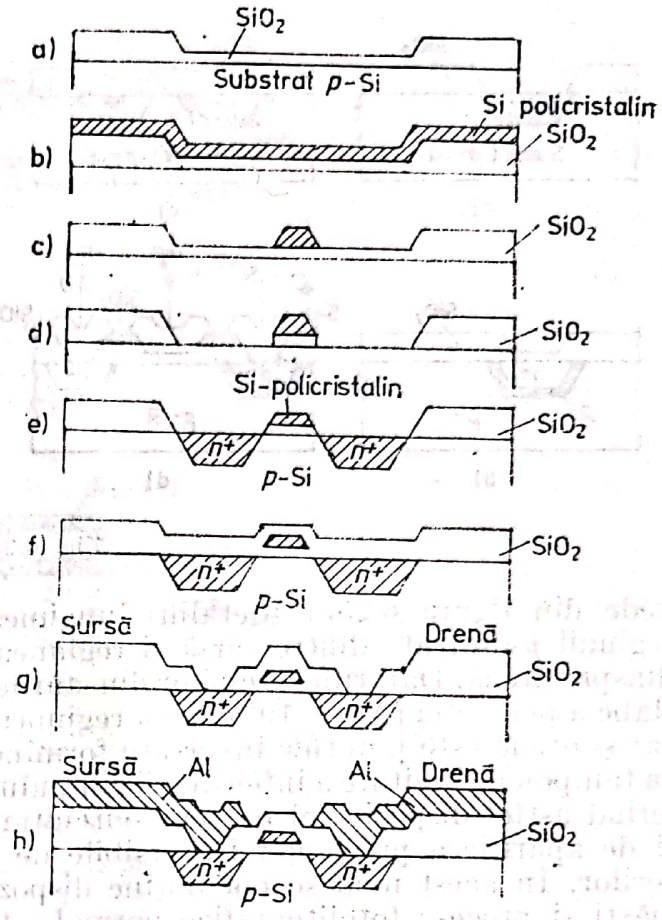


Fig. 6.23

Obținerea tranzistorilor *MOS* cu lungimea L_c a canalului de ~ 1 μm și mai mici se poate face și prin procedeul dublei difuzii, folosit curent în producția dispozitivelor (tranzistorilor) bipolare. Mai întîi prin fereastra deschisă în SiO_2 se efectuează o difuzie (sau implantare) pentru obținerea unei regiuni p, (fig. 6.25, *a*), după care prin aceeași fereastră, dar într-o regiune mai mică, se efectuează o difuzie n^+ pentru formarea sursei (fig. 6.25, *b*). La o distanță mică de fereastra respectivă se deschide o altă fereastră în care se obține regiunea n^+ a drenei (fig. 6.25, *c*) după care se efectuează depunerea porții (de metal sau polisiliciu) și a contactelor ohmice (fig. 6.25, *d*). După cum se

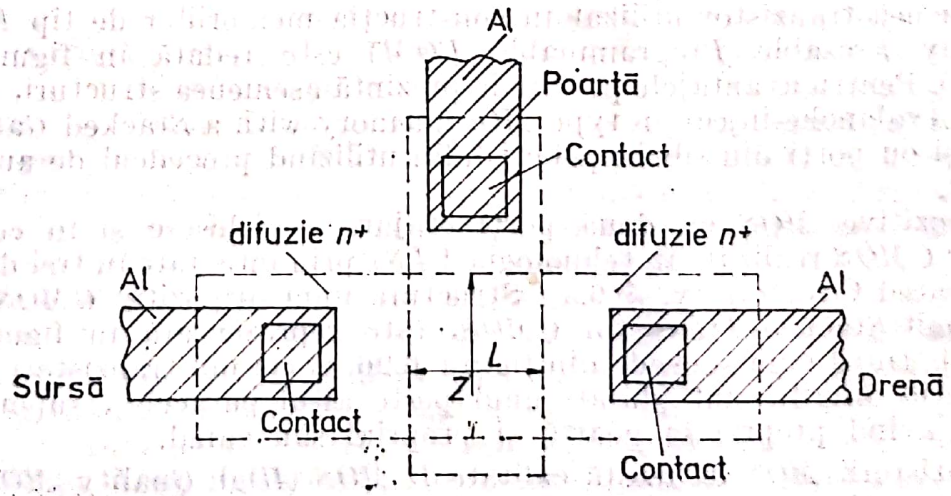


Fig. 6.24

Scanned with OKEN Scanner

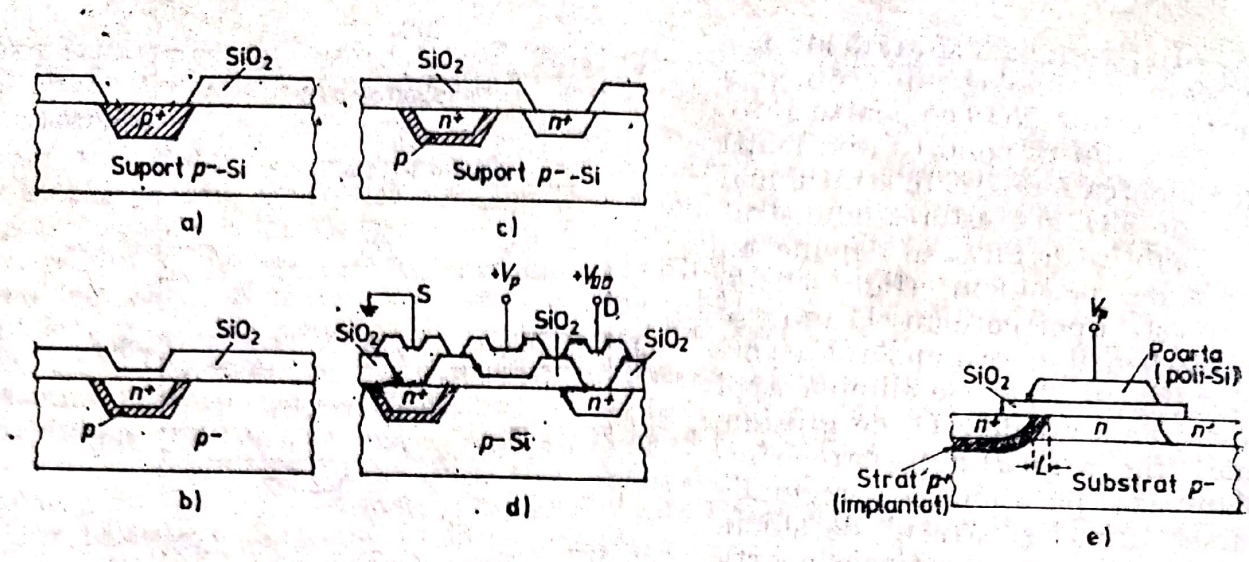


Fig. 6.25

vede din figura 6.25, *e* (detaliu) lungimea canalului este egală cu grosimea regiunii *p*-difuzate dintre sursă și regiunea p^- (slab dopată) a plachetei-suport dinspre drenă. Datorită sarcinilor din stările de suprafață (la interfață) și dopării slabe a plachetei ($N_a \simeq 10^{14}\text{cm}^{-3}$), regiunea de sub poartă dintre canalul *p*-difuzat și drenă este puternic inversată formîndu-se un strat de tip *n* care servește ca tampon de limitare a intensității cîmpului electric în canal la circa $\gtrsim 10^4\text{V/cm}$ ferind astfel dispozitivul de scurt-circuitare (a regiunii dintre sursă și drenă) și de apariție a proceselor ireversibile de multiplicare prin avalanșă a purtătorilor. În acest mod se pot obține dispozitive cu canal foarte scurt folosind măști și procese fotolitografice normale, tranzistorii respectivi purtînd denumirea de *D-MOS* (tranzistori *MOS* dublu-difuzați) [150, 115].

O altă categorie de tranzistori o constituie tranzistorii *MOS* cu poartă flotantă (*FAMOS*) utilizați în construcția memoriilor semiconductoare de tip *PROM* sau *EPROM* (*E*rasable *P*rogrammable *ROM*). Tranzistorii *FAMOS* cu o poartă flotantă de Al sau polisiliciu au fost analizați în paragraful 4.6.4. Respectivele celule de memorie erau șterse, in corpore, sub acțiunea radiațiilor ultraviolete care îndepărtau sarcina electrică acumulată pe poartă. În vederea ștergerii selective a anumitor celule din matricea de memorie au fost realizați tranzistori *MOS* cu două porți dintre care una flotantă, iar cea superioară este electric accesibilă fiind prevăzută cu un electrod extern de contact. Schema unui asemenea tranzistor utilizat în construcția memoriilor de tip *EEPROM* (*E*lectricaly *E*rasable *P*rogrammable *ROM*) este redată în figura 6.26, *a* [152, 153]. Pentru avantajele pe care le prezintă asemenea structuri, denumite *SAMOS* (*A*valanche-injection type *MOS* memory with a *S*tacked *G*ate), pot fi realizate și cu porți din siliciu policristalin utilizînd procedeul de autoaliniere a porților.

Dispozitive *MOS* cu două porți etajate se folosesc și în construcția circuitelor *CMOS* realizate în tehnologia *VLSI* prin integrare în trei dimensiuni (3*D*-integrated Circuits) (v. § 6.4). Structura unui dispozitiv *CMOS* de acest tip, denumit *S*tacked-*T*ransistor *CMOS*, este reprezentată în figura 6.26, *b* [154, 155]. După cum se vede din figura 6.26, *b*, cei doi tranzistori cu canale de conducție diferită sînt plasați unul peste altul pe același suport, fiecare tranzistor avînd propria sa poartă și propriul său canal.

Tranzistorii *MOS* de înaltă calitate *H MOS* (*H*igh-*Q*uality *MOS*) conțin în imediata vecinătate a suprafeței plachetei un strat *p* (sau *n*) obținut prin

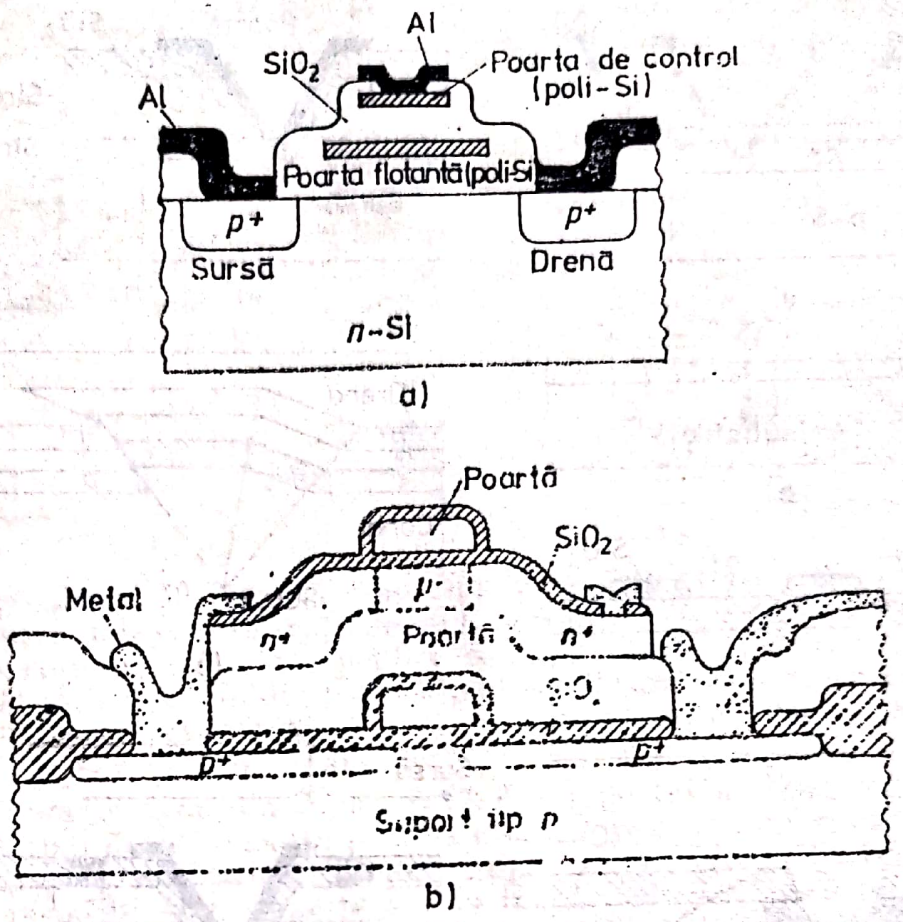
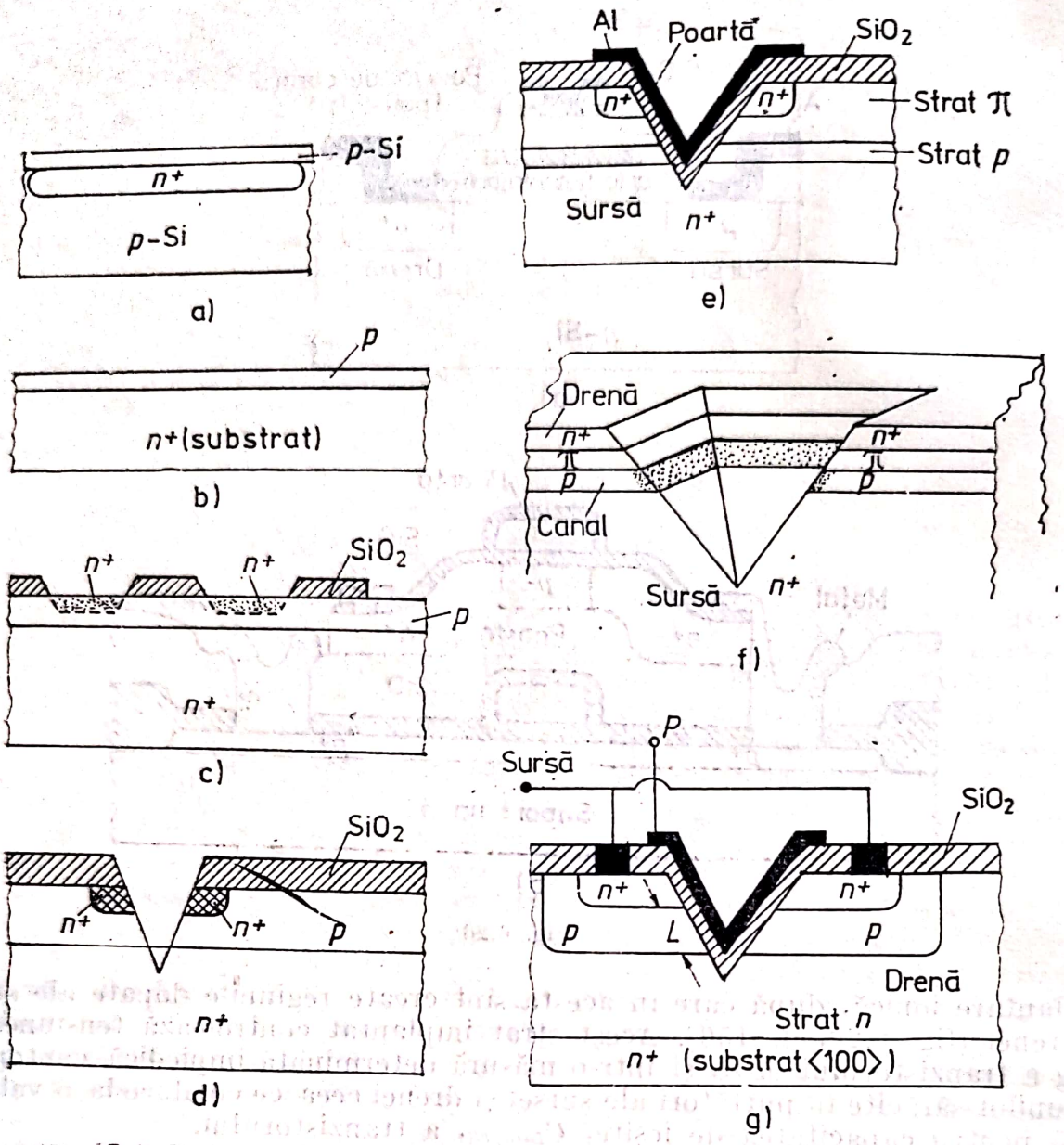


Fig. 6.26

implantare ionică, după care în acesta sînt create regiunile dopate ale sursei și drenei (fig. 6.26, *c*) [156]. Acest strat implantat controlează tensiunea de prag a tranzistorului *MOS* și într-o măsură determinată împiedică contopirea regiunilor sărăcite în purtători ale sursei și drenei ceea ce conduce la o valoare mică pentru capacitatea de ieșire, $C_{D\text{-}suport}$, a tranzistorului.

După cum s-a menționat la începutul paragrafului 6.3, în vederea îmbunătățirii performanțelor de înaltă frecvență a tranzistorilor *MOS*, aceștia se realizează în straturi epitaxiale de Si crescute pe safir sau pe alți suporți izolatori în diferite variante tehnologice de tipul *SOS* sau *SOI*. Numărul de lucrări referitoare la aceste tehnologii este în continuă creștere în special în legătură cu utilizarea acestora (tehnologia *SOI*) în circuite de tip *VLSI* integrate în trei dimensiuni (v. și § 6.4). Pe suporții monocristalini de safir Al_2O_3 se pot crește epitaxial straturi monocristaline de Si cu orientarea (100) cu grosimea de circa 1 μm după care se procedează la realizarea topologiei circuitului integrat. Suportul dielectric asigură izolarea electrică a dispozitivelor vecine nemaifiind necesare izolarea cu SiO_2 sau cu joncțiuni *p-n* suplimentare polarizate invers. În același timp structurile *MOS*/*SOS* sau *MOS*/*SOI* prezintă cele mai mici capacități parazite, ceea ce asigură viteze mari de comutare.

Alte tipuri de structuri *MOS* utilizate mai ales în construcția memoriilor semiconductoare conțin, pe lîngă stratul izolator de SiO_2, încă un strat dielectric cum ar fi nitrura de siliciu (Si_3N_4), sau oxid de aluminiu, oxid de tantal sau oxid de titan. Asemenea structuri se numesc *MDOS* (*M*etal-*D*ielectric-*O*xide-*S*emiconductor) sau *MNOS* (*M*etal-*N*itride-*O*xid-*S*emiconductor) [26, 157].



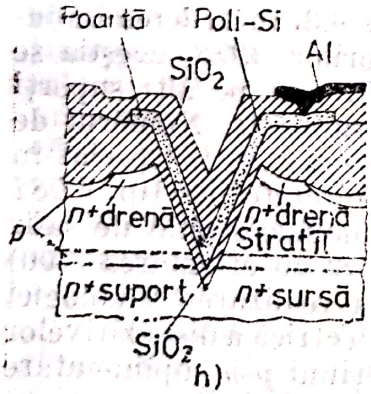


Fig. 6.27

O categorie deosebit de interesantă și larg utilizată o constituie tranzistorii *V-MOS* sau *VV-MOS*. Denumirea dispozitivului provine de la structura în formă de *V* a regiunii porții și canalului, precum și de la curgerea curentului pe verticală la *VV-MOS*-(*V*ertical *V* growe *MOS*) [158—160].

Unele etape de fabricare a tranzistorului *VV-MOS* sînt indicate în figura 6.27 [159]. Pe un suport de siliciu de tip p^+ se crește un strat îngropat n^+ care va constitui sursa (sau drena) viitorului tranzistor. Peste acesta se crește epitaxial un strat de tip p (fig. 6.27, *a*) [6]. Printr-o mască corespunzătoare se depune un strat p slab dopat (strat „π"), după care se crește epitaxial un strat n^+ care constituie drena (sau sursa) tranzistorului (fig. 6.27, *b*).

[6] În unele variante pentru dispozitive discrete, de putere, se folosesc de la început plachete de siliciu n^+ puternic dopate peste care se crește apoi epitaxial un strat de tip p (fig. 6.27, *a*).

Scanned with OKEN Scanner

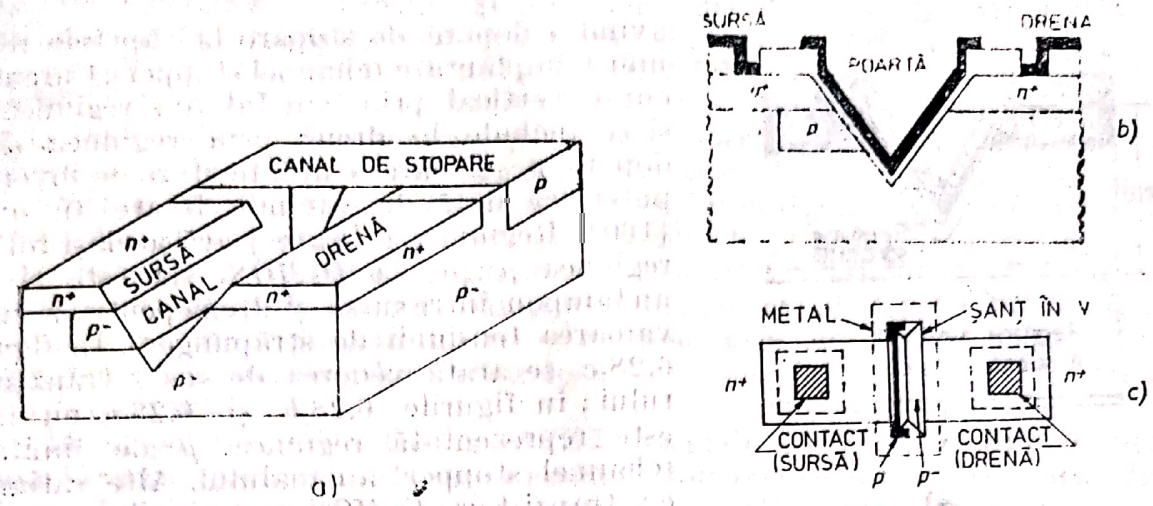


Fig. 6.28

Printr-o nouă mască se face un atac chimic pe fața (100) a Si obținîndu-se adînciturі piramidale care în secțiune au forma de V (fig. 6.27, *c*, *d*). Urmează obținerea bioxidului de siliciu pentru izolarea porții după care se depune contactul metalic de Al sau din polisiliciu al porții care poate fi conectat extern (fig. 6.27, *e*) sau se îngroapă în SiO_2 (se depune încă un strat de SiO_2) realizîndu-se *V-MOS* cu poartă flotantă.

După cum se vede din figura 6.27, *d*, *f* suportul n^+ (sau stratul îngropat n^+) puternic dopat constituie sursa comună pentru mai mulți tranzistori *VMOS*, iar în cazul utilizării stratului îngropat n^+ permite facilități în izolarea între ele a dispozitivelor. Canalul n este indus pentru $V_p > 0$ în regiunea p și poate fi făcut foarte scurt, uneori sub 1 μm, fiind determinat de grosimea stratului epitaxial p (fig. 6.27, *d-f*).

După cum se constată din figurile 6.27, *d-f*, curentul prin aceste dispozitive curge vertical de la sursă la drenă. Pentru tranzistorii *VV-MOS* de putere (10—400 waţi), se folosește structura cu drena constituită în placheta de tip n^+ (fig. 6.27, *g*). O asemenea structură se utilizează și în circuitele microelectronice la care este necesară conectarea în paralel a mai multor dispozitive.

Stratul π are rolul de a separa regiunea n^+ puternic dopată a drenei (fig. 6.27) de regiunea p reducînd astfel capacitatea drenei și prevenind extinderea regiunii de sarcină spațială (de sărăcire) a drenei astfel încît această regiune să nu ajungă la stratul p, al canalului, mărind în acest mod tensiunea de străpungere a dispozitivului.

Electrodul ohmic sau flotant al porții acționează foarte eficient asupra întregului tranzistor fără a se mări suprafața electrodului în plan orizontal. Suprafața porții este destul de mare dar este „îndoită" în formă de V fapt care mărește de asemenea gradul de integrare.

În cazurile cînd este necesară interconectarea mai multor dispozitive prin metalizare la suprafață se adoptă construcția *V-MOS* care este un tranzistor „lateral" dar cu canal vertical (*LVMOST*). Schema unui asemenea tranzistor obținut prin dublă implantare ionică (similar cu dubla difuzie din cazul *DMOS*) este redată în figura 6.28, *a* în care sînt reprezentate straturile de SiO_2 care izolează poarta și regiunile sursei și drenei [7]. Din figura 6.28, *b* se vede că regiunea p în care se induce canalul este realizată într-o porțiune a gropii

[7] Tehnologia este cunoscută sub denumirea „*Double Ion Implanted V-MOS Technology*" [160].

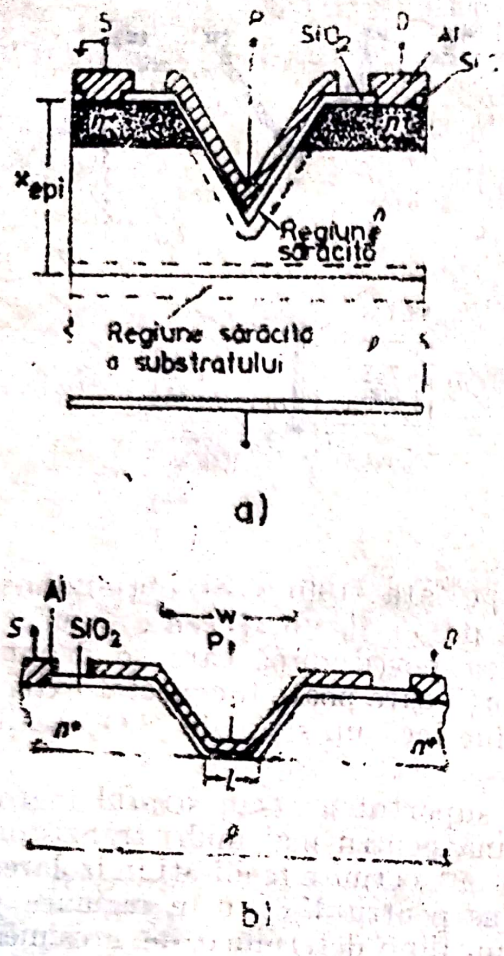


Fig. 6.29

avînd o dopare de stopare la capetele regiunii p-implantate (channel stopper). Curentul curge vertical prin canalul din regiunea p și se închide la drenă prin regiunea slab dopată p^- și care se află în stare de inversie puternică dată de sarcinile fixate în oxid [160]. Regiunea p^- care joacă același rol ca regiunea p^- de la *D-MOS*, servește și ca un tampon între sursă și drenă pentru a mări valoarea tensiunii de străpungere. În figura 6.28,*c* se arată vederea de sus a tranzistorului; în figurile 6.28,*b* și 6.28,*c* nu mai este reprezentată regiunea p de limitare (channel stopper) a canalului. Alte variante cu tranzistori *V-MOS* cu regiunile sursei și drenei în partea superioară sînt redate în figura 6.29, *a*, *b*. Canalul este realizat sub forma regiunii n, limitat ca secțiune în dreptul „vîrfului" gropii piramidale (fig. 6.29, *a*). Cînd atacul chimic este condus în așa fel încît apare o adîncitură în formă de U rezultă structura *U-MOS* reprezentată în figura 6.29, *b*. Pe baza tehnologiei atacului piramidal se pot realiza și tranzistori Schottky cu efect de cîmp cu regiunea porții în formă de V sau de U.

În tehnologia *V-MOS* se pot obține tranzistori lucrînd la tensiuni ridicate și puteri mari (10—400 waţi), sau la frecvenţe ridicate (în special *V-MESFET*), precum și circuite logice (de tip *LSI* sau *VLSI*) de mare viteză.

6.3.3. Tranzistori cu efect de cîmp cu dopare modulată MODFET

Necesitatea obținerii unor tranzistori de ultraînaltă frecvență cu aplicații în tehnica microundelor și a circuitelor integrate logice de mare viteză a condus la folosirea conceptului de tranzistor cu efect de cîmp cu superreţea de AlGaAs/GaAs, propus pentru prima dată de Dingle în 1978 [161][8]. Dificultatea obținerii unui bun control al curentului într-o asemenea structură multistrat, prin tensiunea aplicată porții metalice, a condus la elaborarea unui tranzistor cu o singură heterojoncțiune sub poartă realizată pe un suport semiizolator de GaAs și separată cu un strat (sau mai multe straturi tampon) [162, 163]. Aceștia din urmă au primit denumirea de tranzistori cu efect de cîmp cu dopare

[8] Superreţelele reprezintă structuri monocristaline semiconductoare cu o variație periodică a compoziției sau a tipului de dopare (impurități donoare alternînd cu impurități acceptoare) Asemenea structuri periodice (cu perioade de 20—100 Å) se obțin de regulă prin epitaxie din fascicul molecular (*MBE* — *M*olecular *B*eam *E*pitaxy) fiind produse și realizate de L. Esaki și col [164—166].

modulată (*MODFET*), precum și alte denumiri derivate din proprietățile și particularitățile lor specifice de construcție și funcționare [9].

Principala proprietate și avantaj a *MODFET* o constituie valoarea ridicată a mobilității purtătorilor (electroni) nu numai la temperatura camerei, ci mai ales la temperaturi joase, precum și un bun control electric asigurat de tensiunea electrodului porții plasat deasupra stratului de AlGaAs.

Pentru mărirea vitezei de comutare se impune ca timpul de tranzit a purtătorilor prin dispozitiv, precum și capacitățile proprii să fie cît mai mici. Pentru micșorarea timpului de tranzit se procedează la reducerea cît mai mult a lungimii canalului de tranzit. Dar curentul suportat de dispozitiv este proporțional atît cu viteza purtătorilor cît și cu densitatea lor. Pentru canale foarte scurte densitatea purtătorilor devine foarte mică și efectele parazite de tranzit devin importante.

În dispozitivele de tip *MESFET* normale (v. § 6.3.1) stratul semiconductor care joacă rolul de canal este un *strat semiconductor de volum, dopat uniform*. Electronii și donorii (centre ionizate) se află în aceeași regiune spațială și vor interacționa între ei prin interacțiune coulombiană. Această interacție micșorează mobilitatea purtătorilor prin cunoscutul mecanism de împrăștiere pe impurități ionizate. Pentru a menține nivele importante de curent (în cazul scurtării canalului), stratul semiconductor trebuie dopat puternic, deci împrăștierea pe impuritățile ionizate va deveni și mai importantă. În același timp crește zgomotul dispozitivului, iar mobilitatea purtătorilor se micșorează.

Pentru a preîntîmpina limitările impuse de împrăștierea pe impuritățile ionizate este necesar să se *separe fizic electronii de donorii ionizați*. Acest lucru se poate face utilizînd o heterostructură, astfel concepută încît *să existe o discontinuitate a benzilor de conducție lîngă interfață*, fapt care se realizează la interfața dintre un semiconductor cu o bandă interzisă largă, de exemplu $Al_xGa_{1-x}As$ și un semiconductor cu o bandă interzisă mai mică, de exemplu GaAs (fig. 6.30, *a*). După cum se vede din figura 6.30, *a* care ilustrează o structură dopată periodic de tip superrețea, numai semiconductorul cu bandă largă, AlGaAs, este dopat (cu centre donoare), pe cînd GaAs nu este dopat. Datorită afinităților electronice diferite energia electronilor din $Al_xGa_{1-x}As$ este mai mare decît în stratul adiacent de GaAs. Ca urmare a acestui fapt, electronii introduși inițial în stratul de $Al_xGa_{1-x}As$ vor difuza (datorită gradientului de concentrație) în stratul de GaAs (unde au energie mai mică) și vor fi confinați pe nivelele energetice de lîngă interfață datorită barierei de potențial (groapă de potențial) de la interfață. Această tehnică de dopare diferențiată permite deci injectarea unor purtători de sarcină în GaAs fără efecte secundare perturbatoare. Electronii aflați în groapa de potențial de la interfață au *energiile cuantificate* în direcție perpendiculară pe interfață, *dar se pot mișca liber în lungul interfeței* (fig. 6.30, *a*).

Calitatea interfeței joncțiunii trebuie să fie excepțională. Interfața trebuie să fie lipsită de stări energetice parazite care să cuantifice energia în lungul interfeței sau să aducă contribuții coulombiene importante la împrăștierea purtătorilor. Asemenea suprafețe pot fi obținute în prezent prin metoda epitaxiei din fascicul molecular (MBE — Molecular Beam Epitaxy) [13]. Lărgimea gropii de potențial în regiunea nivelului Fermi este de aproximativ 80 Å, deci

[9] Alte denumiri pentru tranzistorul cu dopare modulată (*MODFET*) sînt (în l. engleză):
MDHT — *M*odulated *H*eterostructure *T*ransistor,
MEMT — *H*igh *E*lectron *M*obility *T*ransistor,
TEGFET — *T*wo *D*imensional *E*lectron *G*as *F*ield *E*fect *T*ransistor,
SDHT — *S*electively *D*oped *H*eterojunction *T*ransistor,
SINFET — *S*chottky *I*njection *F*ield *E*fect *T*ransistor,
I — *HEMT* — *I*nverted *H*igh *E*lectron *M*obility *T*ransistor,
*I*² — *HEMT* — *I*nsulated-gate *I*nverted *S*tructure *HEMT*.

Scanned with OKEN Scanner

electronii din groapa de potențial formează practic un gaz electronic bidimensional (*2DEG* — Two *D*imensional *E*lectron *G*as). Densități electronice superficiale (de tip *2DEG*) mai mari de $10^{12}\,cm^{-2}$ pot fi obținute la o singură interfață, iar împrăștierea lor pe impuritățile ionizate este redusă practic la zero prin simpla separare a electronilor și donorilor ionizați. Astfel mobilitatea purtătorilor din *2DEG* în cazul heterojoncțiunilor de înaltă calitate obținute prin *MBE* trebuie să fie apropiată de cea a purtătorilor din monocristalele nedopate de GaAs. Mobilități de 8500—9000 $cm^2/(V\cdot s)$ s-au obținut în astfel de heterostructuri la 300 K pentru cîmpuri electrice normale și mai mari de $10^6\,cm^2/(V\cdot s)$ la 4 K [167, 168].

Astfel adevăratul avantaj al structurilor *MODFET* este reprezentat de posibilitatea injectării unei densități electronice înalte ($\sim 10^{12}/cm^2$) într-un strat foarte subțire ($\sim$ 80 Å) foarte aproape de poartă ($\sim 200 \div 300$ Å) cu eliminarea simultană a împrăștierii coulombiene [169].

Proprietățile de transport într-o heterostructură de tipul $Al_xGa_{1-x}As/GaAs$ dopată modulat sînt determinate și de faptul că energiile electronilor din *2DEG* sînt cuantificate perpendicular pe interfață rezultînd subbenzi bi-dimensionale ale căror maxime corespund nivelelor cuantice de energie. De obicei, numai două din cele mai joase subbenzi sînt populate apreciabil cu electroni avînd energiile E_0 și E_1 (fig. 6.30. În figura 6.30,*b* se arată un detaliu din diagrama de benzi de conducție la interfață pentru *MDHT* de tip *n*. Diferența dintre afinitățile electronice duce la o discontinuitate ΔE_c dată de

$$\Delta E_c = \chi_1 - \chi_2. \qquad 6.3.13$$

Electronii din $Al_xGa_{1-x}As$ traversează această interfață datorită gradientului de concentrație și cedează o cantitate de energie mai mică sau egală chiar cu ΔE_c. Transportul sarcinii prin interfața heterostructurii nu se face nelimitat, fiind limitat electrostatic. Într-adevăr, electronii difuzați formează cu donorii rămași în $Al_xGa_{1-x}As$ un strat dipolar; cînd energia acestui strat de dipoli ajunge aproximativ egală cu ΔE_c se atinge echilibrul. Ca o consecință a acestui fapt electronii sînt confinați la interfață într-o groapă de potențial cvasitriunghiulară (fig. 6.30, *b*)[10]. Întrucît nivelul Fermi este situat în groapa de potențial, nu se poate aplica statistica Maxwell-Boltzmann; distribuția purtătorilor de sarcină la interfață va fi deci calculată folosind funcția de distribuție Fermi-Dirac.

Fie „*i*" indicele unui nivel energetic (subbanda *i*) în groapa de potențial și $\Phi_i(x)$ funcția sa de undă. S-a ținut seama că numai mișcarea în direcția x (care măsoară distanța de la interfață, fig. 6.30, *b*) este cuantificată. Atunci sistemul electronilor din groapa de potențial va fi descris de funcția de undă (de tip Bloch [23, 78])

$$\Psi_{\vec{k}}(x, r) = \Phi(x)\, e^{i\vec{k}\vec{y}}, \qquad 6.3.14$$

[10] O situație asemănătoare se întîlnește în cazul confinării electronilor la interfața SiO_2/Si în capacitorul *MOS* polarizat, în stare de inversie [170].

Scanned with OKEN Scanner

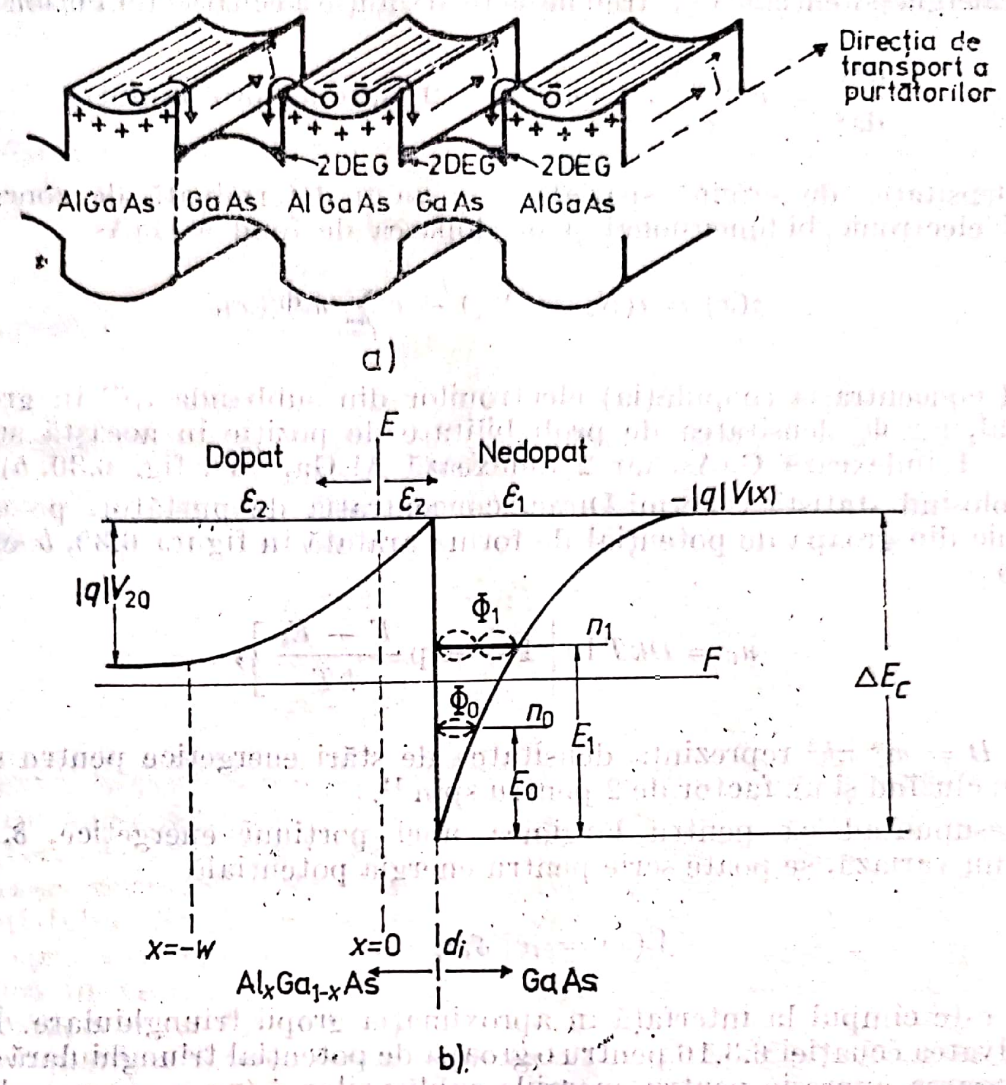


Fig. 6.30

în care funcţia de undă $\Phi(x)$ este dată de suma funcţiilor de undă $\Phi_i(x)$ ale celor i subbenzi din groapa de potenţial

$$\Phi(x) = \sum_{i=0}^{\infty} \Phi_i(x). \qquad 6.3.15$$

În aproximaţia masei efective, fiecare $\Phi_i(x)$ va satisface ecuaţia lui Schrödinger

$$\frac{\hbar^2}{2m^*} \frac{d^2}{dx^2} \Phi_i(x) + [E_i - V(x)]\, \Phi_i(x) = 0, \qquad 6.3.16$$

m^* fiind masa efectivă a electronilor în banda de conducţie, E_i — energia subbenzii „i" din groapa de potenţial, iar $V(x)$ este energia potenţială în regiunea respectivă, lîngă interfaţă. Dacă modelăm groapa de potenţial ca fiind reprezentată de o barieră infinită la interfaţă (pentru $x = d_i \simeq 0$, fig. 6.30, b, atunci $\Phi(0) = 0$ şi $\Phi(\infty) = 0$.

Scanned with OKEN Scanner

Energia potențială $V(x)$ trebuie să fie o soluție a ecuației lui Poison

$$\frac{d^2V}{dx^2} = q\frac{\rho(x)}{\varepsilon_1}, \qquad q = e > 0 \text{ (sarcina protonului).} \tag{6.3.17}$$

Densitatea de sarcină spațială $\rho(x)$ va fi determinată de concentrația gazului electronic bidimensional și de doparea de fond a GaAs

$$\rho(x) = e(N_{d_1} - N_{a_1}) - e\sum_{i=0} n_i \Phi_i^2(x), \tag{6.3.18}$$

n_i fiind concentrația (populația) electronilor din subbanda „i" în groapa de potențial, iar Φ_i^2 densitatea de probabilitate de poziție în această subbandă (indicele 1 indexează GaAs, iar 2 indexează $Al_xGa_{1-x}As$, fig. 6.30, *b*).

Folosind statistica Fermi-Dirac, concentrația de purtători pe un nivel electronic din groapa de potențial de forma arătată în figura 6.30, *b* este dată de [169]

$$n_i = DkT \ln\left[1 + \exp\frac{F - E_i}{kT}\right], \tag{6.3.19}$$

în care $D = m^*/\pi\hbar^2$ reprezintă densitatea de stări energetice pentru sistemul 2 *DEG* incluzînd și un factor de 2 pentru spin [11].

Presupunînd că pentru lărgimea unei porțiuni energetice, δ, cîmpul electric nu variază, se poate scrie pentru energia potențială

$$V(x) = |e|\,\mathscr{E}_s x \tag{6.3.20}$$

unde $\mathscr{E}_s$ este cîmpul la interfață în aproximația gropii triunghiulare. În acest caz rezolvarea ecuației 6.3.16 pentru o groapă de potențial triunghiulară conduce la următoarea expresie pentru energiile subbenzilor i (cu o eroare sub 5 procente [170]) [12].

$$E_i \approx \left(\frac{\hbar^2}{2m^*}\right)^{1/3}\left[\frac{3}{2}q\mathscr{E}_s\pi\left(i + \frac{3}{4}\right)\right]^{2/3}; \qquad q = |e|. \tag{6.3.21}$$

Aplicînd legea lui Gauss pentru cîmpul la interfață $\mathscr{E}_s$ se obține

$$\varepsilon_1\mathscr{E}_s = |e|\,n_s + Q_{B1} \tag{6.3.22}$$

în care n_s reprezintă densitatea (superficială) a sarcinii transferate din $Al_xGa_{1-x}As$ prin interfață, iar Q_{B1} — densitatea superficială de sarcină în groapa de potențial rezultată ca urmare a ionizării impurităților în GaAs ; pentru valori tipice ale impurităților acceptoare de $10^{14}cm^{-3}$ în GaAs de tip p, densitatea Q_{B1} este neglijabilă în raport cu densitatea n_s a gazului electronic bidimensional. Majoritatea electronilor proveniți din $Al_xGa_{1-x}As$ vor ocupa, după cum s-a mai spus,

[11] Calculul densității de stări energetice pentru sistemul 2*DEG*, precum și a concentrației n (formula 6.3.19) se dă în Anexele 1 și 2.

[12] Rezolvarea ecuației 6.3.16 pentru cazul gropii triunghiulare se dă în Anexa 3.

Scanned with OKEN Scanner

cele mai joase subbenzi din groapa de potențial ; atunci 6.3.22 se scrie ca

$$\varepsilon_1 \mathscr{E}_s = |e| n_s = |e| \sum_{i=0}^{1} n_i. \qquad 6.3.23$$

Înlocuind în 6.3.21 pe $\mathscr{E}_s$ din 6.3.23, pentru $i = 0$, se obține

$$E_0 = \left(\frac{\hbar^2}{2m^*}\right)^{1/3} \left[\frac{3}{2} |e| \frac{(e)}{\varepsilon_1} n_s \pi \frac{3}{4}\right]^{2/3} = \gamma_0 n_s^{2/3}. \qquad 6.3.24$$

Analog pentru $i = 1$

$$E_1 = \gamma_1 n_s^{2/3}. \qquad 6.3.25$$

Valorile lui γ_0, γ_1 și $D = \frac{m^*}{\pi\hbar^2}$ au fost obținute prin măsurători de rezonanță ciclotronică și efect Shubnikov-De Haas ; pentru GaAs nedopat a rezultat [171]

$$\gamma_0 = 2{,}5 \cdot 10^{-12} \text{eV} \cdot \text{m},$$
$$\gamma_1 = 3{,}2 \cdot 10^{-12} \text{eV} \cdot \text{m},$$
$$D = 3{,}24 \cdot 10^{17} \text{m}^{-2} (\text{eV})^{-1}.$$

Pentru o bună confinare a electronilor în groapa de potențial și pentru un control ușor a densității 2 *DEG* prin tensiunea aplicată porții, o mică regiune din $Al_xGa_{1-x}As$ (circa 30 ÷ 60 Å) din vecinătatea interfeței nu se dopează ; dependența cîmpului electric $\mathscr{E}$ în $Al_xGa_{1-x}As$ este dată în figura 6.31, *a*, a potențialului electric în această regiune este dată în figura 6.31,*b* (se ia cu minus, spre a o reprezenta în partea superioară a axei Ox), iar diagrama energetică în vecinătatea gropii de potențial de la interfață este redată în figura 6.32, *a* (v. și fig. 6.30, *b*).

Presupunînd (într-o primă aproximație) că în $Al_xGa_{1-x}As$ se satisface aproximația donorilor puțin adînci, combinate cu ipoteza stratului sărăcit (golit) în purtători ecuația lui Poison pentru potențialul electric se scrie

$$\frac{d^2V}{dx^2} = -\frac{|e|}{\varepsilon_2} N_{d_2}(x), \qquad 6.3.26$$

în care $N_{d2}(x)$ este concentrația donorilor în regiunea sărăcită în purtătorii din partea dopată a (Al, Ga) As.

În termeni de cîmp ecuația 6.3.26 se scrie

$$\frac{d\mathscr{E}}{dx} = \frac{|e|}{\varepsilon_2} N_{d_2}(x) = \frac{|e|}{\varepsilon_2} N_d, \qquad 6.3.27$$

unde s-a presupus un nivel constant de dopare pentru $-w_2 < x < 0$ (fig. 6.31).

Ținînd seama de condiția de continuitate a cîmpului electric în (Al, Ga) As, și că se anulează pentru $x = -w_2$, soluția ecuației 6.3.27 este

$$\mathscr{E}_2(x) = \frac{|e|}{\varepsilon_2} N_d(x + w_2). \qquad 6.3.28$$

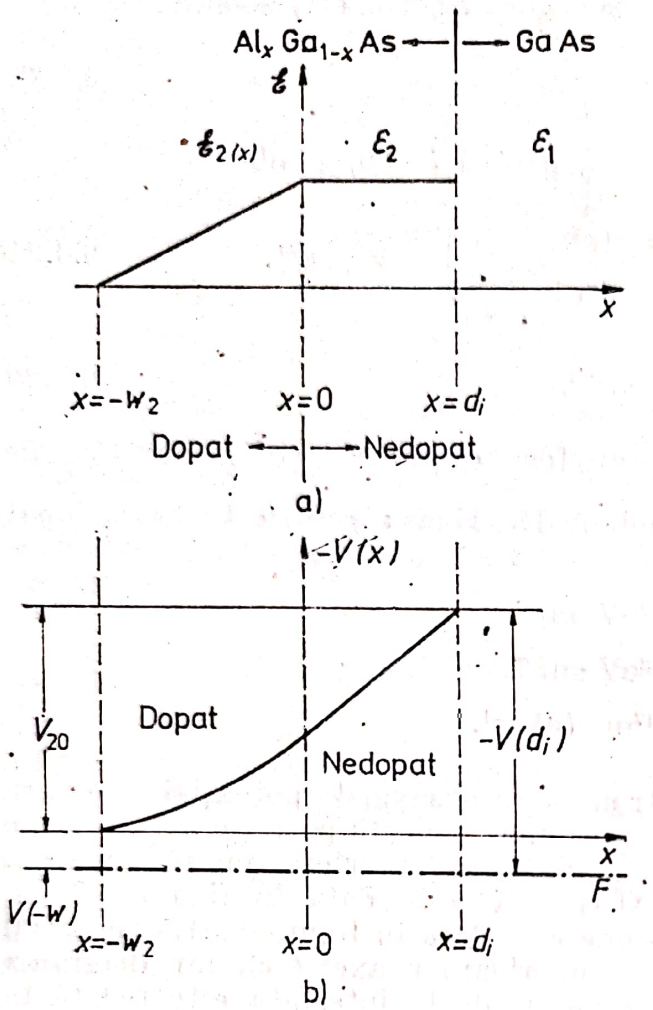


Fig. 6.31

Pentru regiunea nedopată, cuprinsă între $x=0$ și interfață ($x=d_i$), avem, simplu, cîmp constant și egal cu cel pentru $x=0$, adică (v. 6.3.28)

$$\mathscr{E}_2(x) = \frac{|e|N_d}{\varepsilon_2} w_2 ;$$

(2 indexează $Al_xGa_{1-x}As$). 6.3.29

Dependența cîmpului $\mathscr{E}_2(x)$ (în $Al_xGa_{1-x}As$) este redată în figura 6.31, *a*.

Căderea de tensiune pe stratul de (Al, Ga) As se calculează prin integrarea asupra intensității cîmpului electric

$$V_{20}(x) = \int_{-w_2}^{x} \mathscr{E}_2(x)\, dx \qquad 6.3.30$$

sau, ținînd seama de 6.3.28 ; 6.3.29

$$V_{20}(x) = \int_{-w_2}^{0} \frac{|e|}{\varepsilon_2} N_d(x + w_2)\, dx + \int_{0}^{d_i} \frac{|e| N_d}{\varepsilon_2} w_2\, dx. \qquad 6.3.31$$

Din figura 6.31, *b* se vede că într-adevăr

$$V_{20} = V(-w_2) - V(d_i). \qquad 6.3.32$$

În urma integrării, din ecuația 6.3.31 rezultă pentru grosimea stratului sărăcit, w_2

$$w_2^2 + 2w_2 d_i - \frac{2\varepsilon_2}{|e| N_d} V_{20} = 0. \qquad 6.3.33$$

Din cele două soluții ale ecuației de gradul doi, 6.3.33

$$w_2^{(1,2)} = -d_i \pm \sqrt{d_i^2 + \frac{2\varepsilon_2}{|e| N_d} V_{20}} \qquad 6.3.34$$

se ia soluția cu semnul pozitiv, deoarece $w_2 > 0$, adică

$$w_2 = -d_i + \left(d_i^2 + \frac{2\varepsilon_2}{|e| N_d} V_{20}\right)^{1/2}. \qquad 6.3.35$$

Scanned with OKEN Scanner

Cum cîmpul $\mathscr{E}_2$ este constant între $x = 0$ şi $x = d_i$, din 6.3.29 se poate scoate

$$\mathscr{E}_2(d_i) = \frac{|e| N_d}{\varepsilon_2} w_2 \qquad 6.3.36$$

sau

$$\varepsilon_2 \mathscr{E}_2(d_i) = |e| N_d w_2 \qquad 6.3.37$$

sau, ţinînd seama de continuitatea inducţiei electrice la interfaţă

$$\varepsilon_2 \mathscr{E}_2(d_i) = \varepsilon_1 \mathscr{E}_s, \qquad 6.3.38$$

se obţine din 6.3.23, 6.3.37 şi 6.3.38

$$\varepsilon_2 \mathscr{E}_2(d_i) = |e| N_d w_2 = |e| n_s. \qquad 6.3.39$$

Înlocuind pe w_2 din 6.3.35, relaţia 6.3.39 devine

$$|e| n_s = - |e| N_d d_i + (|e|^2 N_d^2 d_i^2 + 2\varepsilon_2 |e| N_d V_{20})^{1/2}. \qquad 6.3.40$$

Din 6.3.40 rezultă următoarea relaţie pentru concentraţia electronilor din gazul electronic bidimensional

$$n_s = - d_i N_d + \left(N_d^2 d_i^2 + \frac{2\varepsilon_2 N_d V_{20}}{|e|} \right)^{1/2}. \qquad 6.3.41$$

Calculele de mai sus trebuie privite cu un oarecare discernămînt în cazurile în care nivelul donor predominant în $Al_xGa_{1-x}As$ este relativ adînc aşa cum se întîmplă adesea în practică [169, 172].

Cînd între sursa şi drena dispozitivului se aplică o tensiune V_{DS}, un curent I_D va curge prin stratul 2 *DEG* care formează canalul *MODFET*. Concentraţia n_s a electronilor din canal este dată de populaţiile de pe nivelele n_0 şi n_1 provenite — prin difuzie — din regiunea dopată a $Al_xGa_{1-x}As$ (fig. 6.30 *b*). În momentul în care începe stabilirea echilibrului (după formarea stratului dipolar), numărul donorilor N_{d2} stabileşte unic, pentru o situaţie dată, pe n_1 şi n_0 deci pe n_s. Donorii odată implantaţi dau un N_{d2} fix. Rezultă că singura modalitate de a controla concentraţia n_s constă în controlul numărului de donori ionizaţi necompensaţi de electroni din regiunea dopată care se poate face prin modificarea numărului electronilor liberi în urma aplicării tensiunii pe poartă. Pentru a înţelege acest mod de control, la început se va considera heterostructura $Al_xGa_{1-x}As$/GaAs şi metalul porţii iniţial depărtate între ele (fig. 6.32, *a*), deci cele două structuri nu interacţionează.

După realizarea contactului intim între metal şi heterostructură sînt posibile două situaţii. În funcţie de grosimea stratului de (Al, Ga) As este posibil ca cele două regiuni sărăcite — cea datorată plecării electronilor spre interfaţă şi cea creată sub acţiunea barierei Schottky — să fie complet separate între ele (fig. 6.32, *b*). Prin aplicarea unei tensiuni *inverse* pe dioda Schottky (poarta dispozitivului) putem face ca lărgimea stratului de baraj a diodei Schottky să se mărească pînă cînd cele două regiuni de sarcină spaţială să se atingă

Scanned with OKEN Scanner

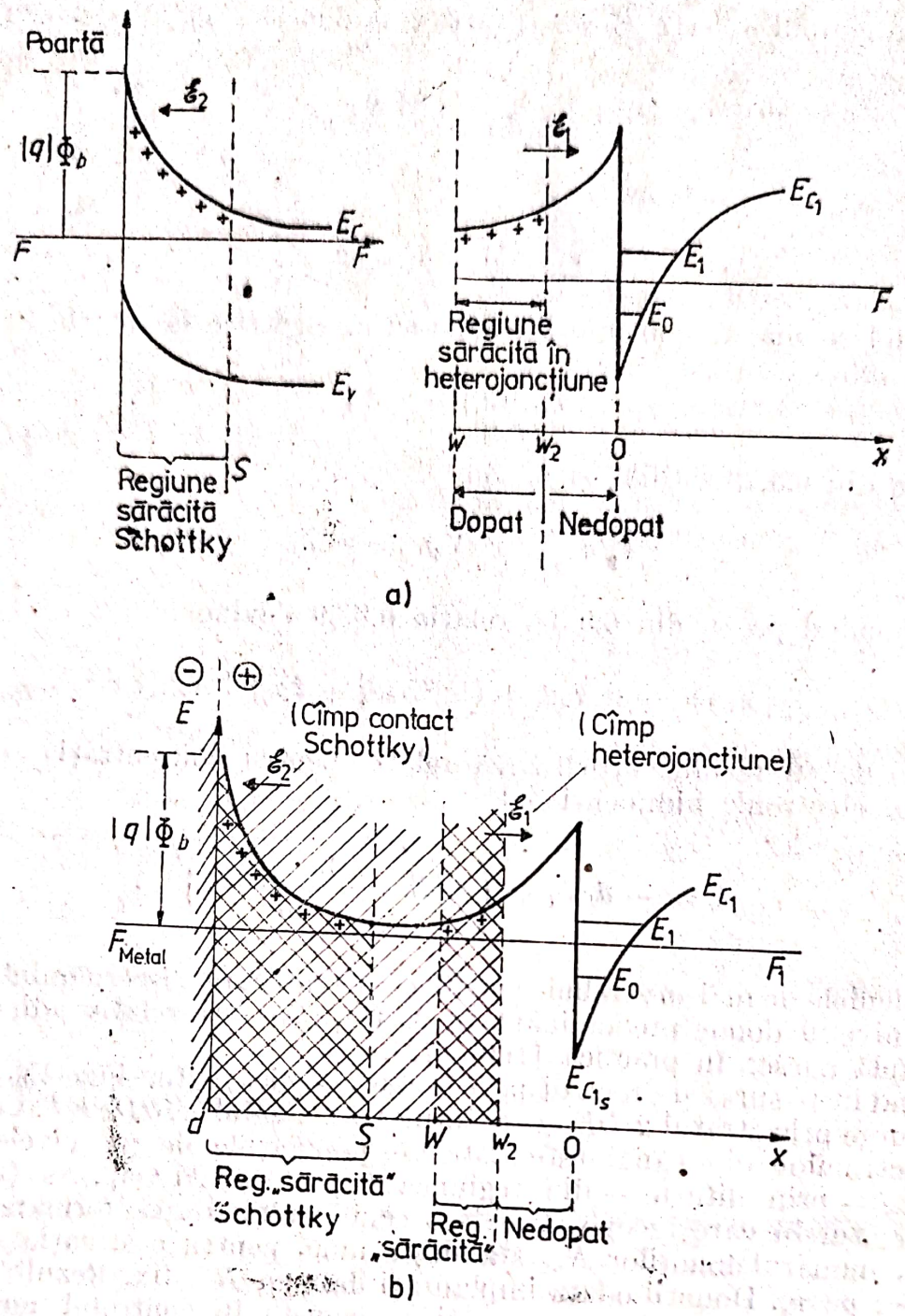


Fig. 6.32

între ele (cînd $S = w$) (fig. 6.33, *c*). Mărind în continuare tensiunea inversă pe poartă, cele două straturi de baraj se suprapun și deci numărul donorilor ionizați necompensați cu electroni din regiunea dintre w_2 și W va depinde de tensiunea aplicată pe această diodă. Acest lucru implică imediat că numărul de electroni de pe nivelele E_0 și E_1 (deci concentrația n_s) se va modifica după cum modificăm tensiunea pe dioda Schottky care se comportă ca o veritabilă poartă.

În mod similar cu ce s-a arătat în cazul *MESFET*, dacă prin procedeul de fabricație dispozitivul este astfel conceput încît fără polarizare externă dioda Schottky să aibă stratul de baraj suprapus peste cel al heterostructurii

(fig. 6.33, *a*) atunci în mod cu totul analog, prin aplicarea unei tensiuni care polarizează direct dioda Schottky, acest strat de baraj se va îngusta şi la un moment dat, pentru o anumită tensiune de prag, V_{th}, care polarizează dioda direct, el ajunge la limita stratului de baraj al heterostructurii (fig. 6.33, *c*). Mărirea în continuare a tensiunii aplicate pe poartă, desparte straturile de baraj şi nu mai putem influenţa numărul donorilor ionizaţi necompensaţi dintre W şi w_2 adică nu se mai pot influenţa n_1 şi n_0, iar comunicaţia cu gazul electronic bidimensional este întreruptă. În figura 6.33 se ilustrează efectul de suprapunere a straturilor de baraj pentru *MODFET* cu poarta nepolarizată (fig. 6.33, *a*) şi slab polarizată (fig. 6.33, *b*), precum şi situaţia de separare a straturilor de baraj pentru $V_p = V_{th}$ (fig. 6.33, *c*) [172].

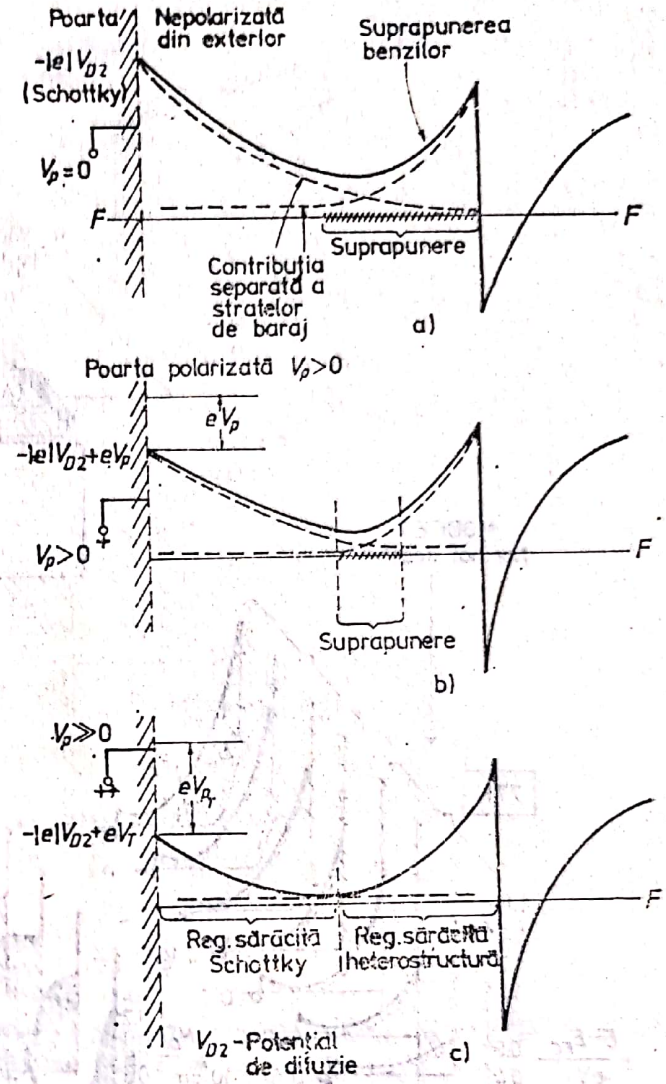


Fig. 6.33

Schema de principiu a unui *MODFET* este reprezentată în figura 6.34, *a*. Tot în figura 6.34 sînt reprezentate rezultatele calculelor (numerice) diagramelor de benzi (fig. 6.34, *b*), densităţii donorilor ionizaţi N_d^+ şi concentraţiei electronilor liberi, n_e în $Al_xGa_{1-x}As$ (fig. 6.34, *c*), precum şi densităţii superficiale a donorilor ionizaţi N_{sd}^+ şi a concentraţiei superficiale a electronilor liberi n_{se} (fig. 6.34, *d*) în funcţie de tensiunea aplicată porţii V_p, pentru un *MODFET* în starea normally-on (deschis) [169].

Există multe variante constructive a *MODFET*. În figura 6.35 se arată o structură tipică pentru (Al, Ga) As/GaAs *MODFET* obţinută prin *MBE*. În figura 6.35, *b* se arată, detailat, succesiunea şi grosimile tipice pentru straturile depuse pe suportul semiizolator de GaAs. Stratul superior de GaAs (grosime ~ 50 Å) este utilizat în scopul protejării structurii împotriva oxidării (GaAs este mult mai stabil decît (Al, Ga) As), precum şi pentru realizarea unui bun contact electric şi metalurgic cu poarta metalică. Alte variante de *MODFET* se găsesc tratate în diferite lucrări de specialitate (articole) de sinteză (v. de ex. [169, 173, 174]).

Datorită vitezei mari de operare (frecvenţe ultraînalte), consumului redus şi zgomot de asemenea foarte mic, *MODFET* este net superior oricărui alt tip de tranzistor cu efect de cîmp şi are largi aplicaţii în tehnica microundelor şi a calculatoarelor electronice ultrarapide. În ultimii ani în paralel cu structura (Al, Ga) As/GaAs se mai studiază şi alte heterostructuri cum este de exemplu

Scanned with OKEN Scanner

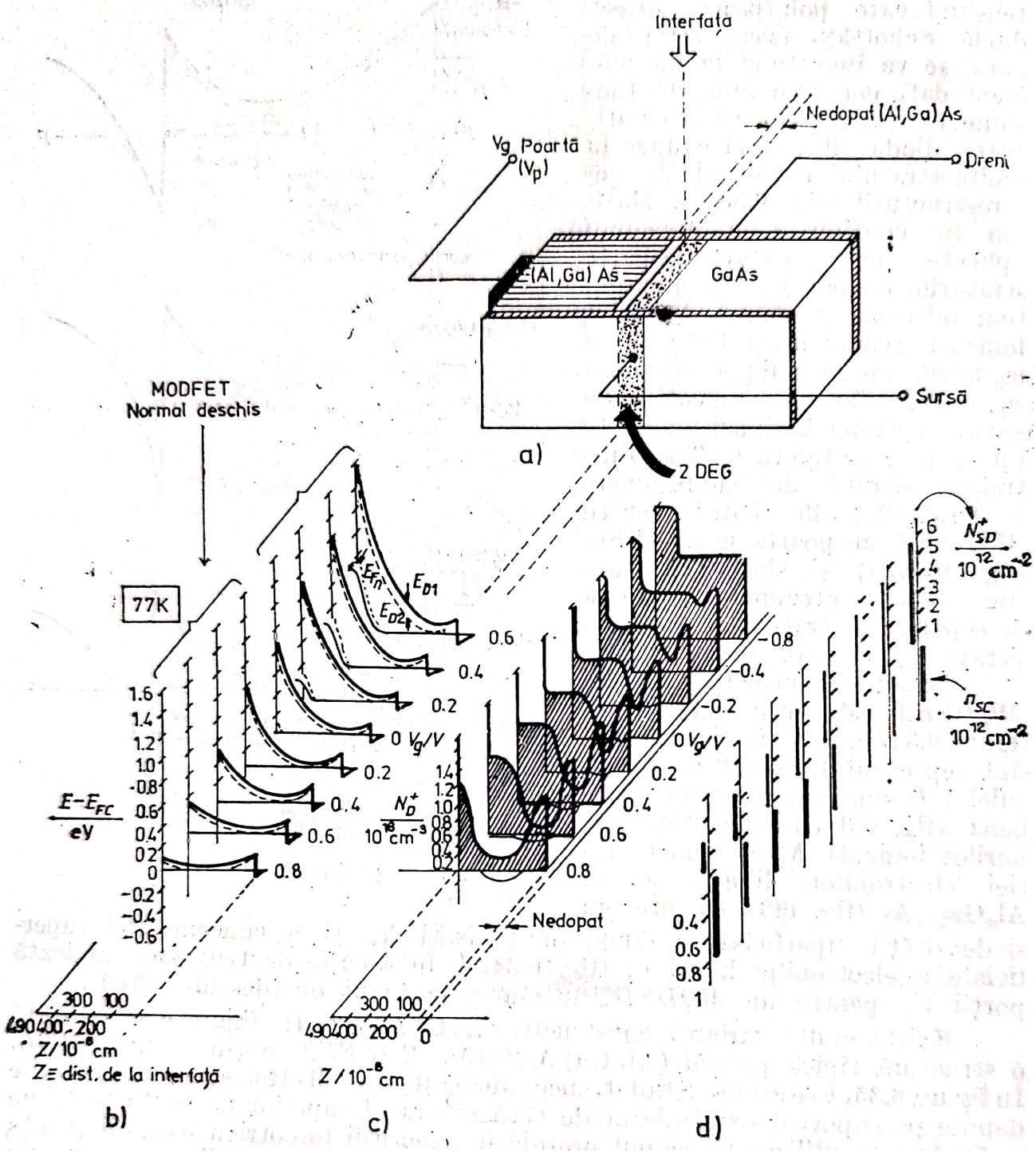


Fig. 6.34

InGaAs/AlGaAs [175, 176], SiGe/Si [177] etc. De asemenea odată cu succesele obținute în realizarea *MODFET* cu canal *p* cu o bună transconductanță [178, 179] s-au intensificat cercetările teoretice și experimentale în vederea realizării structurilor *MODFET* complementare cunoscute sub denumirea de *C-HEMT* [180].

Scanned with OKEN Scanner

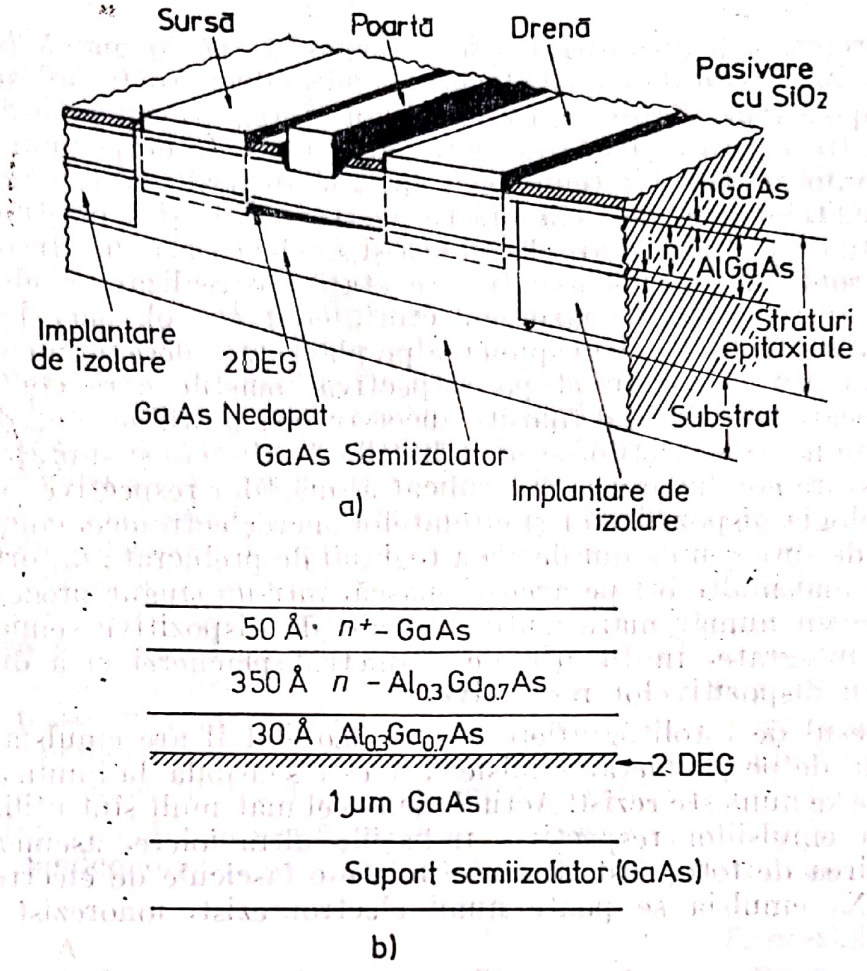


Fig. 6.35

6.4. Circuite integrate pe scară foarte mare. Noi direcții de dezvoltare

6.4.1. Considerații generale privind tehnologia circuitelor integrate și a dispozitivelor microelectronice

Dispozitivele semiconductoare, actualele familii de circuite integrate cît și alte sisteme sau dispozitive microelectronice sînt fabricate prin tehnologia planară sau planar-epitaxială elaborată de Hoerni în 1959 pentru producția de serie a diodelor și tranzistorilor bipolari. Această tehnologie se bazează pe procesele de difuzie termică sau implantare ionică, de oxidare și fotolitografiere realizate în etape succesive pe o plachetă semiconductoare, de obicei de siliciu, secționată dintr-un monocristal masiv cu diametrul de 8—10 cm. După tăierea monocristalului în rondele (plachete) de 250—350 μm grosime, acestea sînt polizate — oglindă pe o față, după care sînt prelucrate chimic și degazate pentru înlăturarea, în mare măsură, a atomilor străini adsorbiți la suprafață. Apoi plachetele sînt supuse fluxului tehnologic de obținere a circuitelor integrate sau dispozitivelor semiconductoare în conformitate cu scopul (destinația dispozitivelor sau circuitelor) și cu procedeul adoptat.

Una dintre etapele cele mai importante ale tehnologiei planare o constituie procesul de litografiere (sau fotolitografiere), prin care desenul cu topologia

viitorului circuit (sau dispozitiv) este transpus de pe o mască (sau șablon), în care s-a realizat acest desen, pe placheta semiconductoare în care se va realiza circuitul (dispozitivul). Fabricarea unui circuit integrat, sau chiar a unui dispozitiv discret (tranzistor, diodă) necesită un număr de etape tehnologice care se succed conform fluxului tehnologic specific dispozitivului sau circuitului. În cazul circuitelor integrate elaborarea acestor etape și a măștilor corespunzătoare reclamă un volum mare de muncă și se efectuează cu ajutorul calculatorului electronic. Astfel, pentru fiecare etapă de realizare a elementelor de circuit cum ar fi emitorii, baze, colectori, contacte ohmice, joncțiuni p-n, rezistori etc., se efectuează transpunerea pe plachetă a desenului corespunzător topologiei circuitului pentru etapa respectivă, măștile care conțin desenele respective fiecărei etape fiind folosite succesiv într-o ordine bine determinată. Precizia foarte mare a măștilor și modalitățile de aliniere și suprapunere foarte exactă a acestora conduc la un preț ridicat al măștilor respective. Măștile utilizate în tehnologia dispozitivelor și circuitelor microelectronice, conțin imaginea multiplicată de sute sau de mii de ori a regiunii de prelucrat ; datorită repetării motivului de mai multe ori pe aceeași mască, într-un singur proces tehnologic se pot obține un număr mare (sute sau mii) de dispozitive semiconductoare sau circuite integrate, în funcție de diametrul plachetei și a dimensiunilor circuitelor sau dispozitivelor respective.

În procesul de fotolitografiere un rol deosebit îl are emulsia cu care se acoperă oxidul de pe plachetă, emulsie care este sensibilă la lumină sau la alte radiații și care se numește **rezist**. Actualmente cel mai mult sînt utilizate pentru impresionarea emulsiilor respective, radiațiile ultraviolete, asemenea emulsii avînd denumirea de fotorezist. Dacă se folosesc fascicule de electroni, de ioni sau de raze X, emulsia se poate numi electronrezist, ionorezist sau roentgenorezist.

În figura 6.36 se arată operațiile care se efectuează pentru transpunerea desenului pe de o mască pe placheta de Si în procesul de fotolitografiere aplicat executării unei etape din fluxul tehnologic de realizare a unui circuit integrat sau dispozitiv microelectronic. Peste placheta semiconductoare se crește un strat protector de SiO_2 (fig. 6.36, *a*) peste care se depune un strat subțire (1—1,5 μm) de fotorezist (rezist sensibil la radiațiile ultraviolete) care este uniformizat prin centrifugare (fig. 6.36, *b*). După o ușoară uscare pentru înde-

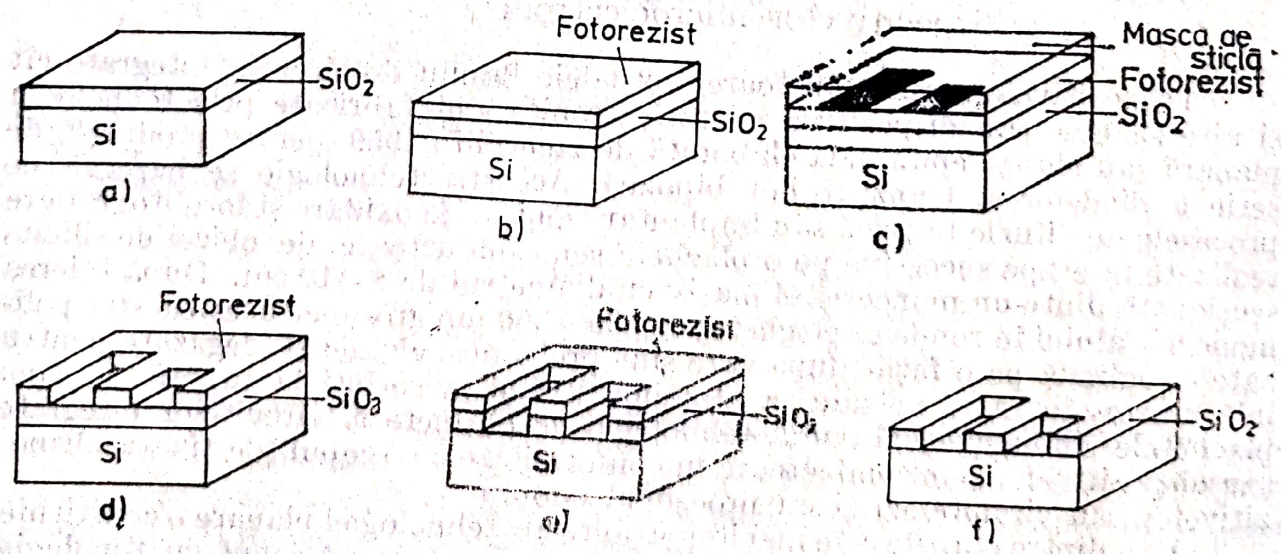


Fig. 6.36

părtarea solvenţilor din rezist, se aliniază masca necesară transpunerii desenului din etapa respectivă şi se expune ansamblul la radiaţiile ultraviolete generate de o sursă specială (fig. 6.36, *c*). Masca este opacă în dreptul regiunilor unde se doreşte îndepărtarea selectivă a oxidului protector (fig. 6.36, *c*) pentru fotorezistul negativ şi transparentă pentru fotorezistul pozitiv [100]. Sub acţiunea radiaţiilor ultraviolete fotorezistul negativ polimerizează în regiunile iluminate devenind insolubil în solvenţii cu care se prelucrează ulterior placheta. Se dizolvă fotorezistul neexpus (din dreptul regiunilor opace din mască) cu un solvent adecvat (fig. 6.36, *d*) după care urmează o operaţie de „fixare" şi uscare a plachetei cu fotorezistul rămas astfel încît să se intensifice procesul de polimerizare (creşterea numărului de legături moleculare). Această fixare suplimentară este necesară pentru ca fotorezistul rămas să nu fie îndepărtat în operaţiile ulterioare de deschidere a ferestrelor în SiO_2, de dopare şi prelucrare termică a plachetei etc. Ferestrele în SiO_2 (în regiunile în care a fost îndepărtat fotorezistul) se deschid prin corodare cu acid fluorhidric sau cu alţi acizi energici (fig. 6.36, *e*). Urmează îndepărtarea fotorezistului protector polimerizat (şi fixat) din celelalte regiuni (fig. 6.36, *f*), o operaţie dificilă, atît chimică cît şi mecanică. Ferestrele astfel obţinute permit difuzia (în fază solidă) sau implantarea ionică a dopanţilor necesari obţinerii unor regiuni de conducţie *n* sau *p*, de regulă opusă conducţiei plachetei suport sau regiunilor intermediare. Placheta poate fi apoi oxidată din nou pentru a se repeta operaţiile precedente dar apelînd la alte măşti cu dimensiuni şi forme adecvate ale ferestrelor conform topologiei circuitului pentru etapa tehnologică respectivă.

În figura 6.37 se arată etapele de prelucrare — prin litografiere — a plachetei semiconductoare în cazul fotorezistului pozitiv. Se ilustrează cazul

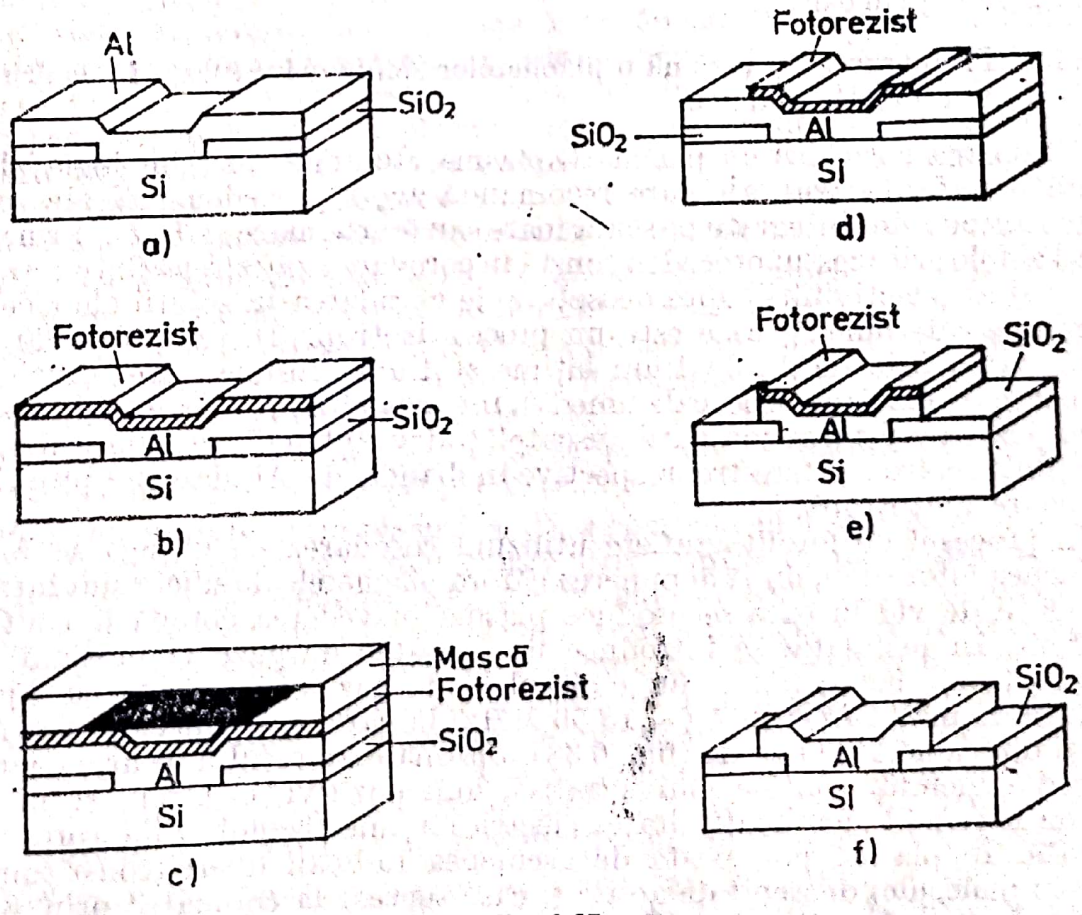


Fig. 6.37

îndepărtării stratului metalic de Al (depus prin metalizare peste toate dispozitivele circuitului), cu excepția regiunilor unde masca a fost opacă — aici regiunile corespunzătoare contactului metalic la o anumită regiune a plachetei (fig. 6.37).

Fotorezиștii, sensibili la radiațiile cuprinse între 200 și 450 nm cu care se lucrează, de regulă, în procesul de litografiere, au o rezoluție și sensibilitate determinate de compoziția rezistului și care sînt dependente și de domeniul lungimilor de undă folosite (ultraviolet apropiat sau îndepărtat). Fotorezиștii negativi au o rezoluție mai mică decît cei pozitivi dar sînt mult mai sensibili ceea ce permite expunerea unui număr mai mare de plachete pe oră, deci productivitatea este mai mare (40—70 plachete pe oră). Fotorezиștii pozitivi au o sensibilitate mai mică deci productivitatea circuitelor integrate este mai mică fapt care mărește prețul acestora, dar asemenea fotorezиști au — după cum s-a menționat — o mare putere de rezoluție [100]. Ca urmare, în funcție de complexitatea circuitului și de scopul urmărit se apelează fie la un tip, fie la altul de fotorezist cu caracteristicile cerute.

Procedeul litografierii descris mai sus și utilizat în tehnologia planară de fabricare a circuitelor integrate și dispozitivelor semiconductoare este un procedeu de prelucrare chimică umedă cu ajutorul diferiților agenți chimici sub formă de solvenți sau soluții de acizi etc. În tehnologia modernă de obținere a dispozitivelor și mai ales a circuitelor integrate de mare complexitate, în afară de litografierea pe cale umedă, se folosește și litografierea în care corodarea se face pe cale uscată cu ajutorul plasmelor ionizate formate în incinte speciale în care se introduc anumite gaze de lucru în proporții bine determinate. Corodarea plachetelor semiconductoare cu ajutorul plasmelor ionizate va fi analizată în paragraful următor.

6.4.2. Prelucrarea cu plasmă a plachetelor semiconductoare în cadrul tehnologiei planare

Utilizarea corodării cu plasmă („plasma etching") în tehnologia planară prezintă o serie de avantaje care recomandă acest procedeu mai ales pentru obținerea circuitelor integrate pe scară mare sau foarte mare (*VLSI*). Principalul avantaj al folosirii acestui procedeu constă în corodarea *anizotropă* (într-o anumită direcție) și al selectivității, spre deosebire de corodarea în soluții chimice (litografierea pe cale umedă) care este un proces izotrop. În cazul corodării unei ferestre într-o fișie de Al de 1 μm lățime și 1 μm grosime este dificil să se aplice corodarea izotropă (pe cale umedă), întrucît rămîne foarte puțin material după corodare ; utilizarea corodării „uscate" („dry etching") cu ajutorul plasmei face posibilă realizarea ferestrei respective în banda de Al, datorită proprietății de corodare anizotropă.

În procesul de fotolitografiere utilizînd corodarea cu plasmă se folosesc de asemenea fotorezиști, după depunerea cărora plachetele de siliciu sînt introduse în instalații de vid în care se produce plasma în vederea corodării controlate a acestora. În instalație se introduce un amestec de gaze la presiuni joase (10^{-2}—20 torr), iar o parte din moleculele de gaz se ionizează cu ajutorul unei surse de înaltă frecvență (~ 13,56 MHz) la care este conectat sistemul de electrozi din camera de reacție (fig. 6.38). Plasma care rezultă în urma ionizării gazelor din incintă, conține ioni negativi, ioni pozitivi, electroni și molecule neutre de gaz astfel încît neutralitatea electrică a amestecului să fie aproximativ respectată. În plasmă pot exista de asemenea radicali liberi (constituiți din atomi sau molecule) deosebit de activi și care servesc la corodarea prin plasmă a plachetelor semiconductoare. În funcție de condițiile tehnologice, această

Scanned with OKEN Scanner

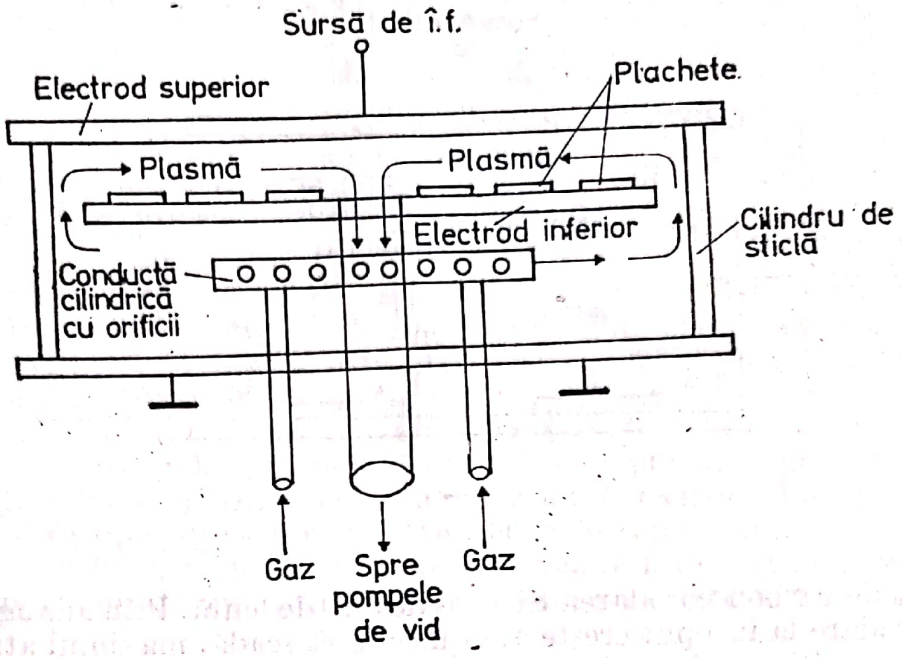


Fig. 6.38

corodare poate fi făcută pe cale fizică în urma bombardării cu ioni pozitivi—așa-numita *corodare ionică* — , pe cale chimică sub acțiunea radicalilor liberi — *corodare prin plasmă* — , și pe cale combinată, fizico-chimică, adică simultan prin corodare chimică și bombardament ionic; acest din urmă procedeu — denumit *corodare ionică activă* — este larg folosit în tehnologia circuitelor integrate. Pentru corodarea ionică presiunea gazelor din incintă este relativ joasă (10^{-2}—10^{-1} torr) iar puterea sursei de înaltă frecvență este mare, în schimb pentru corodarea prin plasmă, puterea sursei de înaltă frecvență este mai mică, iar presiunea gazelor este mai mare (10^{-1}—20 torr); corodarea ionică activă se realizează prin alegerea unor valori intermediare (între cele două situații de mai sus) pentru presiunea gazelor și puterea sursei de frecvență înaltă.

Produsele corodării uscate sînt evacuate cu pompele de vid, fiind suficiente pompe mecanice de vid preliminar. Temperatura gazelor în plasma utilizată pentru corodarea uscată este suficient de mică astfel încît pentru mascarea plachetelor se pot folosi fotorezişti obişnuiţi. După terminarea procesului de corodare se evacuează gazele active și se introduce oxigen. Apoi cu ajutorul cîmpului de înaltă frecvență se produce o plasmă de oxigen care îndepărtează fotorezistul de pe plachete.

Pentru corodarea prin plasmă a Si, a combinațiilor sale și a unor metale (de ex. Al) se folosesc gaze moleculare care conțin în moleculele respective unul sau mai multe elemente din grupa halogenurilor, mai frecvent fluor. Asemenea elemente formează în plasmă radicali liberi care reacționează cu materialele supuse corodării, formînd combinații volatile chiar la temperaturile normale, de lucru în plasmă, ceea ce permite o transpunere de bună calitate a desenului de pe mască, pe placheta de Si. Asemenea radicali liberi, în cazul folosirii fluorului, pot fi F, CF_3 și SiF_3 proveniți în urma ionizării gazelor introduse în incintă, gaze care au la bază diferite sorturi de freoni cum este tetrafluorura de carbon (CF_4) sau tetrafluorura de siliciu (SiF_4) și altele (fig. 6.39).

Pentru corodarea prin plasmă este necesar ca radicalii liberi ai fluorului să constituie circa 90% din numărul total de particule. În plasma pură de

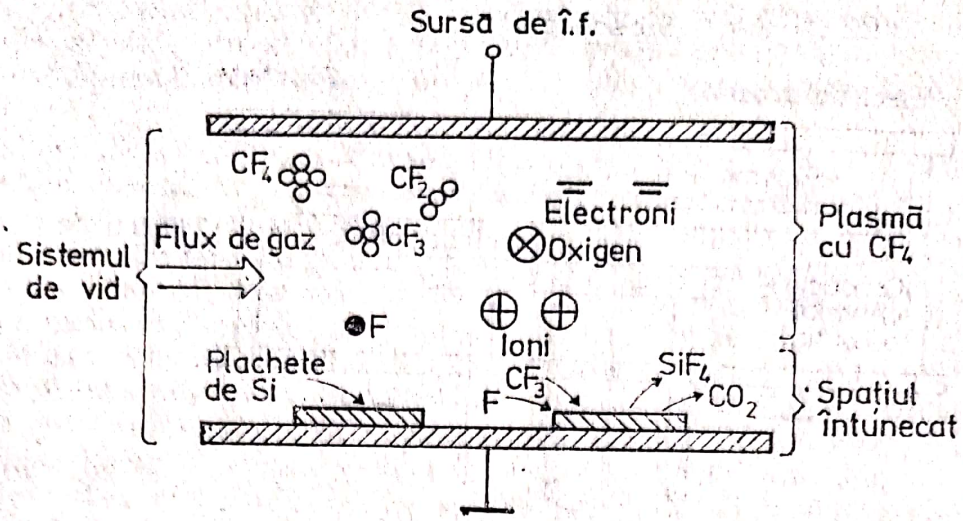


Fig. 6.39

tetrafluorură de carbon corodarea Si este destul de lentă. Prin adăugarea de O_2 viteza de corodare la început crește apoi începe să scadă, maximul atingîndu-se pentru o compoziție a plasmei de ~ 90% CF_4 și 10% O_2.

Caracteristicile unei plasme utilizate pentru corodarea uscată a plachetelor semiconductoare sînt **viteza de corodare**, selectivitatea, anizotropia și efectul de încărcare (cu plachete) a camerei de reacție. Aceste caracteristici sînt determinate de compoziția de gaze, gradul de ionizare, presiunea gazelor, temperatura suportului, inclusiv a plachetelor etc. În funcție de acești parametri, **viteza de corodare** poate varia între 100 Å/min și 10.000 Å/min.

Selectivitatea este determinată (și definită) de raportul dintre vitezele de corodare a două materiale diferite într-o aceeași plasmă. De exemplu, dacă se urmărește să se formeze o fereastră în SiO_2, atunci este de dorit ca atunci cînd se ajunge la suportul de Si viteza de corodare să se micșoreze apreciabil. În acest scop se poate folosi o plasmă cu C_2F_6 care corodează SiO_2 mai repede decît pe Si sau se adaugă H_2 în plasma de CF_4 care face ca să scadă mult corodarea Si dar nu și a SiO_2. Invers, controlînd parametrii plasmei, se pot obține rapoarte dintre viteza de corodare a Si și a SiO_2 de 20 : 1. În mod similar se pot alege parametrii plasmei și pentru corodarea altor compuși ai Si (de exemplu a nitrurii de Si), a Al etc.

Proprietatea de **anizotropie** este deosebit de importantă pentru tehnologia litografierii cu corodare uscată cu plasmă. După cum s-a menționat corodarea chimică în soluții folosite în fotolitografia obișnuită este izotropă, stratul fiind corodat și sub mască, forma regiunii corodate sub fiecare margine a măștii fiind cea a unui sfert de cerc (sferă) (fig. 6.40, *a*). O mărime importantă utilizată pentru determinarea gradului de anizotropie o constituie *deplasarea*

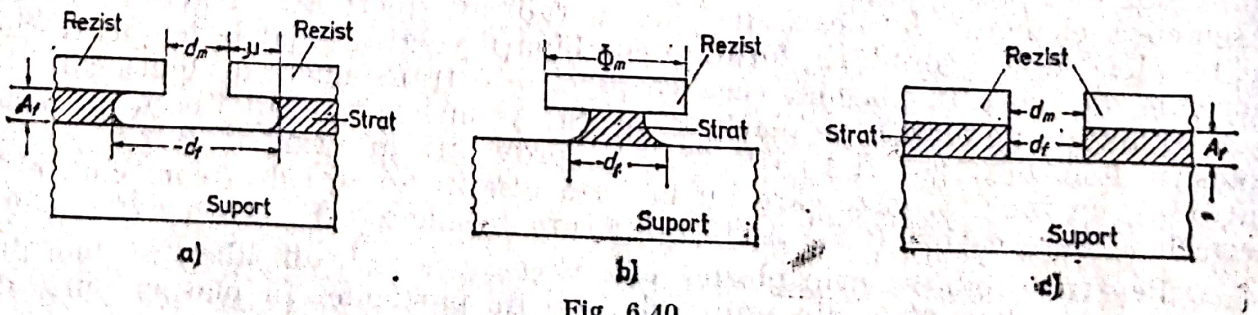


Fig. 6.40

sau *abaterea* B dată de (fig. 6.40, *a*),

$$B = d_f - d_m \qquad 6.4.1$$

în care d_f reprezintă dimensiunea, pe orizontală, a corodării în strat, iar d_m — dimensiunea deschiderii („desenului") în mască. În funcție de faptul dacă se litografiază un interval (fig. 6.40, *a*) sau o linie (fig. 6.40, *b*) mărimea B poate fi pozitivă sau negativă. Dacă $B = 0$, rezultă $d_f = d_m$ adică profilul marginilor elementului corodat coincide cu profilul măștii și corodarea este ideal anizotropă (fig. 6.40, *c*). Pentru cazul cînd corodarea nu depinde de direcție, corodarea pe verticală este egală cu cea pe orizontală rezultînd profile specifice corodării izotrope (fig. 6.40, *a*, *b*); în acest caz, datorită corodării izotrope și profilului în sfert de cerc (sferă) a stratului corodat sub mască, deplasarea B este egală cu $2h_f$ în care h_f — reprezintă grosimea stratului corodat (fig. 6.40, *a*, *b*). Orice profil al marginilor elementului apărut în urma corodării anizotrope este cuprins între situațiile reprezentate în figura 6.40, *a* (sau *b*) și fig. 6.40, *c*. Gradul de anizotropie poate fi definit în diverse moduri. Astfel în conformitate cu figura 6.40, *a*, acest grad este dat de relația [101]

$$A_f = 1 - v_e/v_v \qquad 6.4.2$$

în care v_e și v_v reprezintă vitezele de corodare în direcție orizontală și respectiv verticală. Exprimînd ecuația 6.4.2 prin parametrii stratului (elementului) corodat, rezultați la sfîrșitul corodării se poate scrie

$$A_f = 1 - |B|/2h_f. \qquad 6.4.3$$

Astfel pentru corodarea izotropă, $A_f = 0$, iar pentru $1 \geqslant A_f > 0$ se realizează corodarea anizotropă. Cazul practic se referă la anizotropia maximă, cînd $A_f = 1$ (fig. 6.40, *c*). În unele lucrări [19] gradul de anizotropie este determinat prin relația (fig. 6.40, *a*)

$$A = \frac{h_f}{\mu} \qquad 6.4.4$$

în care $\mu = B/2$, iar h_f este adîncimea pe verticală a regiunii corodate (egală, de regulă, cu grosimea elementului corodat). Mărimea μ se mai numește și supracorodare. Pentru cazul izotrop $h = \mu$ și deci $A = 1$; pentru cazul anizotrop (extrem) $\mu = 0$, deci $A = \infty$ (fig. 6.40, *c*). În practică (în această definiție) $A \gg 1$.

Efectul de sarcină sau **de încărcare** cu plachete a camerei de reacție constă în micșorarea vitezei de corodare pe măsură ce se mărește cantitatea de plachete introduse în camera de reacție. Cantitatea de gaze active (care generează radicali liberi activi) nu poate fi mărită peste limitele impuse de valoarea presiunii necesare în incintă, care la rîndu-i este legată de tipul de corodare uscată (bombardament ionic, corodare sau plasmă sau corodare ionică activă). Prin mărirea sarcinii sistemului, viteza de absorbire a radicalilor liberi se mărește deoarece numărul radicalilor liberi este comparabil cu numărul atomilor de Si

Scanned with OKEN Scanner

care sînt îndepărtaţi prin corodare. Deşi există şi incinte tubulare în care plachetele se încarcă în poziţie verticală (ca la cuptoarele de difuzie sau oxidare termică), cel mai frecvent sînt folosite incintele în care plachetele de Si sînt plasate orizontal pe un suport care constituie şi electrodul inferior (fig. 6.38). Gazele care conţin şi agenţii corodanţi sînt introduse printr-o conductă cilindrică închisă (în formă de inel), cu multe orificii plasată la o anumită distanţă sub electrodul pe care se află depuse plachetele de Si (fig. 6.38).

În procesul de descărcare în gaze şi corodare prin plasmă iau naştere fracţiuni de gaze toxice sau agresive chimic (ex. CO, COF_2, $COCl_2$, F_2, Cl_6 etc.), dar acestea sînt în permanenţă evacuate prin sistemul de pompare care trebuie la rîndu-i protejat şi izolat în nişe speciale. În cazul corodării cu soluţii chimice umede plachetele de Si trebuie să stea o perioadă mai lungă în băile cu agenţi corozivi sau toxici ceea ce înseamnă o periculozitate mai mare pentru operatori. Ca urmare, corodarea prin plasmă prezintă o nocivitate mai mică fiind în acelaşi timp şi mai ieftină, argumente care au condus la o rapidă răspîndire a folosirii acestui procedeu. Au fost elaborate condiţiile tehnologice şi determinate procesele fizice care au loc, pentru majoritatea materialelor care sînt corodate prin plasmă în cazul tehnologiei *VLSI* folosită actualmente pentru elaborarea circuitelor microelectronice de mare complexitate [101—105].

6.4.3. Procedee litografice compatibile cu *VLSI*

6.4.3.1. Consideraţii generale. Tehnologia electronică modernă (după 1980) a intrat într-o nouă fază de producere a circuitelor microelectronice şi anume în domeniul circuitelor integrate pe scară foarte mare (*VLSI* — *V*ery *L*arge *S*cale *I*ntegration). Circuitele *VLSI* reprezintă de fapt mai degrabă *sisteme microelectronice* decît circuite integrate, ele conţinînd un număr foarte mare de componente pe cip (zeci de mii, sute de mii şi chiar milioane de componente pe cip).

Creşterea numărului de componente impusă de creşterea complexităţii sistemelor — pe cipuri de dimensiuni nu prea mari — presupune un grad foarte mare de integrare (vezi denumirea!) realizat prin micşorarea fineţei liniilor de circuit şi a interspaţiilor dintre ele. Micşorarea la extremum a dimensiunilor microcomponentelor dintr-un circuit integrat nu reprezintă un scop în sine, ci unul legat de creşterea fiabilităţii circuitelor şi a vitezei de transmitere şi procesare a semnalelor în circuit. Micşorarea timpului de propagare a semnalelor electrice prin componente şi mai ales prin legăturile dintre componente este absolut necesară pentru realizarea calculatoarelor electronice de mare viteză (sute de milioane şi chiar miliarde de operaţii pe secundă) folosite în aplicaţii care necesită asemenea viteze care se întîlnesc în sistemele de ghidare a rachetelor, în studiul proceselor rapide (în fizica nucleară, în astronomie etc.), în sistemele de telecomunicaţii prin sateliţi sau în unele sisteme de automatizare [106]. Avînd în vedere considerentele legate de viteza semnalului, este evident că dimensiunile cip-urilor nu pot creşte prea mult deşi se vehiculează noţiunea de integrare pe plachetă („Wafer Integration") care se şi aplică în unele cazuri [107]. Ca urmare, cel mai caracteristic integrării pe scară foarte mare este folosirea liniilor cu fineţea minimă de 1 μm şi submicronice (faţă de 3—4 μm la *LSI*) ceea ce a condus la mărirea densităţii de peste 10 ori şi a vitezei de lucru de 4—5 ori, la aceeaşi putere disipată.

Scanned with OKEN Scanner

O metodă mult folosită pentru atingerea geometriei submicronice este bazată pe principiul reducerii la scară a tuturor dimensiunilor din cadrul *LSI*; acest principiu stabileşte că întîrzierea dată de circuit descreşte direct proporţional cu finețea liniei (datorită reducerii capacităţilor), iar puterea disipată descreşte proporţional cu pătratul fineței liniei (datorită reducerii curenţilor şi tensiunilor). Tehnologia *MOS*, cu toate variantele ei (unele fiind expuse şi în § 6.3) beneficiază cel mai mult de avantajele acestei metode. Astfel tranzistorii *MOS* se fac cu lungimi L ale canalului chiar sub 0,5 μm, ceea ce impune luarea în considerare a unor efecte specifice [108], sau cu porţi foarte înguste, sau se apelează la tehnologii *CMOS*, *MESFET*, *MODFET* şi altele (v. § 6.3). Procedeele litografice care pot asigura obţinerea de linii submicronice sînt analizate în foarte multe lucrări (vezi unele sinteze în [109, 110]). Aceasta se bazează pe utilizarea fotolitografiei cu radiaţii din ultravioletul îndepărtat, litografiei cu fascicule de electroni sau de ioni şi litografiei cu radiaţii X. Unele aspecte ale acestor metode vor fi analizate în cele ce urmează.

6.4.3.2. Fotolitografia cu radiaţii optice din domeniul ultravioletului îndepărtat. Datorită unor limitări legate de productivitatea mai mică şi implicit de preţul mai ridicat al litografiei cu radiaţii X sau de electroni, în producţia de circuite *VLSI*, actualmente, se utilizează pe scară mare, încă, procedeul fotolitografiei cu radiaţii optice, a căror lungime de undă este situată în ultravioletul depărtat (200—300 nm) [111].

Metodele de bază utilizate în litografia optică sînt cele care folosesc contactul direct dintre mască şi plachetă (cu fotorezist), fără contact strîns (cu un spaţiu de 10—25 μm) şi de proiecţie. Metodele cu contact, deşi permit realizarea unei înalte rezoluţii putîndu-se obţine elemente de circuit de ordinul micronilor, conduc, în acelaşi timp, şi la o rapidă deteriorare a măştilor. Metoda fără contact strîns (cu un spaţiu mic între mască şi plachetă) micşorează — dar nu elimină — riscul deteriorării măştilor, în schimb intervin efecte de difracţie de tip Fresnel care conduc la o putere de rezoluţie de ~ 2—4 μm.

Metoda proiecţiei şi focalizării cu lentile optice exclude riscul deteriorării măştilor. Cel mai mult sînt utilizate proiecţiile 1/1 şi 1/10 (uneori şi 1/5). Utilizînd procedeul micşorării (prin proiecţie) a imaginii măştii se poate obţine o rezoluţie de ~ 1,0 μm [112] dar efectele de difracţie care intervin, pot afecta această precizie dacă nu se iau măsuri corespunzătoare. Tabloul de difracţie intervine în regiunile în care marginile porţiunilor opace ale măştii sînt proiectate pe plachetă. Calculul distribuţiei intensităţii radiaţiei care a pătruns în domeniul umbrei geometrice (efect de difracţie) este redat, de exemplu, în [111].

Dacă L reprezintă lăţimea („finețea") liniei şi R — puterea de rezoluţie obţinute în fotorezist după developare (revelare în soluţii sau prin corodare uscată), atunci între aceste mărimi există relaţia

$$R = \frac{1000}{2L}, \text{ linii/mm.} \qquad 6.4.5$$

Puterea de rezoluţie minimă în cazul fotolitografiei este determinată de criteriul de difracţie Rayleich şi în mod corespunzător lăţimea minimă a liniei este dată de

$$L_{min} = \frac{0{,}61\lambda}{\sin\frac{\alpha}{2}} \qquad 6.4.6$$

Scanned with OKEN Scanner

în care λ — este lungimea de undă a radiației folosite, n — indicele de refracție a luminii prin mediu, α — unghiul de apertură a ieșirii. Întrucît în cazurile practice $n = 1$, $\sin \frac{\alpha}{2} \geqslant 0{,}95$ și $\lambda = 400$ nm, atunci $L_{min} \simeq 0{,}25$ μm. Astfel puterea de rezoluție limită care se poate atinge în fotolitografia de contact sau de proiecție, pentru $\lambda \simeq 400$ nm, este de $\simeq 0{,}25$ μm. Pentru micșorarea, în continuare, a fineței liniei de circuit se impune micșorarea lungimii de undă a radiației folosite.

Fotolitografia cu radiații din ultravioletul îndepărtat permite obținerea unor dimensiuni ale liniilor de circuit de ordinul a 1—1,5 μm, limitarea fiind dată și de calitatea și proprietățile fotoreziștilor folosiți. Utilizarea unor fotorezişti multistrat conduce la mărirea rezoluției procesului de litografie optică pînă la 0,5 μm ceea ce recomandă utilizarea acestui proces în producția de circuite *VLSI* în paralel cu noile metode care deși pot da rezoluții mai bune, prezintă limitări în productivitate și preț.

6.4.3.3. Litografia cu fascicule de electroni. Fasciculele de electroni sînt utilizate în tehnologia *VLSI* (și chiar *LSI*) atît pentru crearea — prin electronolitografie — a măștilor (utilizabile apoi și în fotolitografia cu radiații ultraviolete), cît și pentru impresionarea reziștilor depuși pe plachete; în multe cazuri nu se apelează la măști, fasciculul electronic fiind comandat printr-un calculator electronic pentru a „scrie" direct topologia microcircuitului pe placheta semiconductoare (prin fotorezist).

Măștile originale fabricate prin electronolitografie sînt deosebit de exacte datorită bunei rezoluții asigurate de faciculele electronice. Pentru fabricarea lor se folosesc plăci optic-plane de sticlă pe care se depune un strat metalic, de exemplu de crom, care se acoperă apoi cu un strat uniform de electrorezist. Fasciculul electronic se deplasează pe suprafața plăcii în conformitate cu topologia viitorului circuit, desenul topologic fiind codificat numeric și introdus în prealabil în memoria calculatorului care comandă fasciculul electronic. Dacă este necesară modificarea sau corectarea topologiei circuitului se modifică în mod corespunzător programul care generează această topologie, program care este încărcat în memoria calculatorului.

Sistemul cu fascicul electronic într-un timp dat nu poate prelucra decît o mică regiune din placă de aceea aceasta este fixată pe un suport care se deplasează automat într-un sistem de coordonate, pînă cînd placa este expusă în întregime. Apoi placa este prelucrată prin developare și desenul original apare transpus pe placă sub forma regiunilor de rezist rămase necorodate. În continuare placa se supune unui agent de corodare a regiunilor de metal (crom) din regiunile neprotejate de rezist, după care printr-o nouă operație de corodare — în soluții adecvate — se îndepărtează rezistul din regiunile în care a rămas desenul circuitului. În unele cazuri masca originală astfel obținută este folosită direct ca mască de lucru în procesele de litografiere (optică sau electronică) sau se fac măști-copii după masca originală, aceste copii fiind apoi folosite în procesul de litografie pentru fabricarea circuitelor integrate.

Schema de principiu a unei instalații de expunere a plachetelor semiconductoare (sau plăcilor de sticlă în cazul fabricării măștilor) acțiunii fasciculului electronic este redată în figura 6.41 [113]. Acesta este de fapt un microscop electronic cu focalizare electrostatică și electromagnetică (cu bobine) și avînd posibilitatea de comandă — de către calculator — a baleierii și întreruperii

Scanned with OKEN Scanner

fasciculului electronic în acord cu programul de realizare a măştii sau microcircuitului. Pentru crearea unei topologii submicronice în rezistul de pe plachetă, fasciculul electronic trebuie focalizat pînă la o pată cu diametrul de 0,01—0,5 μm. Sensibilitatea rezistului trebuie să fie mare şi în acelaşi timp densitatea curentului în fascicul în punctul de focalizare să fie ridicată pentru micşorarea timpului de expunere a rezistului ($t \lesssim 10^{-7}$ s). Baleierea fasciculului este limitată de aberaţiile lentilelor electronice la distanţe mai mici de un cm. Placheta este fixată pe o măsuţă care se deplasează în sistemul de coordonate (după direcţiile Ox şi Oy) microdeplasările fiind controlate pe cale interferometrică, pînă se expun toate regiunile plachetei. Pentru obţinerea unui desen pe o suprafaţă (de cristal) de $0{,}5 \times 0{,}5$ cm^2 cu dimensiuni ale elementelor de circuit de $\sim 0{,}25$ μm^2 sînt necesare 10^{10} poziţii ale fasciculului, de aceea mărirea vitezei de expunere constituie o problemă importantă. Viteza relativ redusă de prelucrare cu fascicul electronic a plachetelor semiconductoare face ca productivitatea procesului să fie mică ($\sim$ 1 mască/h, sau 2—5 plachete/h). Spre comparaţie, productivitatea procesului de fotolitografiere cu radiaţii din ultravioletul îndepărtat (care asigură fineţea liniei de 1,5 μm) este de circa 40 plachete/h, deci preţul de cost este mult mai competitiv faţă de cel al plachetelor prelucrate cu fascicul electronic.

Litografia cu fascicul de electroni se utilizează mult pentru fabricarea măştilor necesare în tehnologiile *VLSI* precum şi pentru proiectarea şi elaborarea unor dispozitive şi circuite mai ales în laboratoare de cercetare din institute sau uzine de circuite integrate. După cum s-a mai specificat acest proces poate asigura obţinerea unor linii fine de circuit cu lăţimea de $\sim 0{,}5$ μm sau chiar mai mică. Lăţimea liniei depinde însă şi de grosimea electronrezistului fiind cu atît mai mică cu cît stratul de rezist este mai subţire. Acest strat

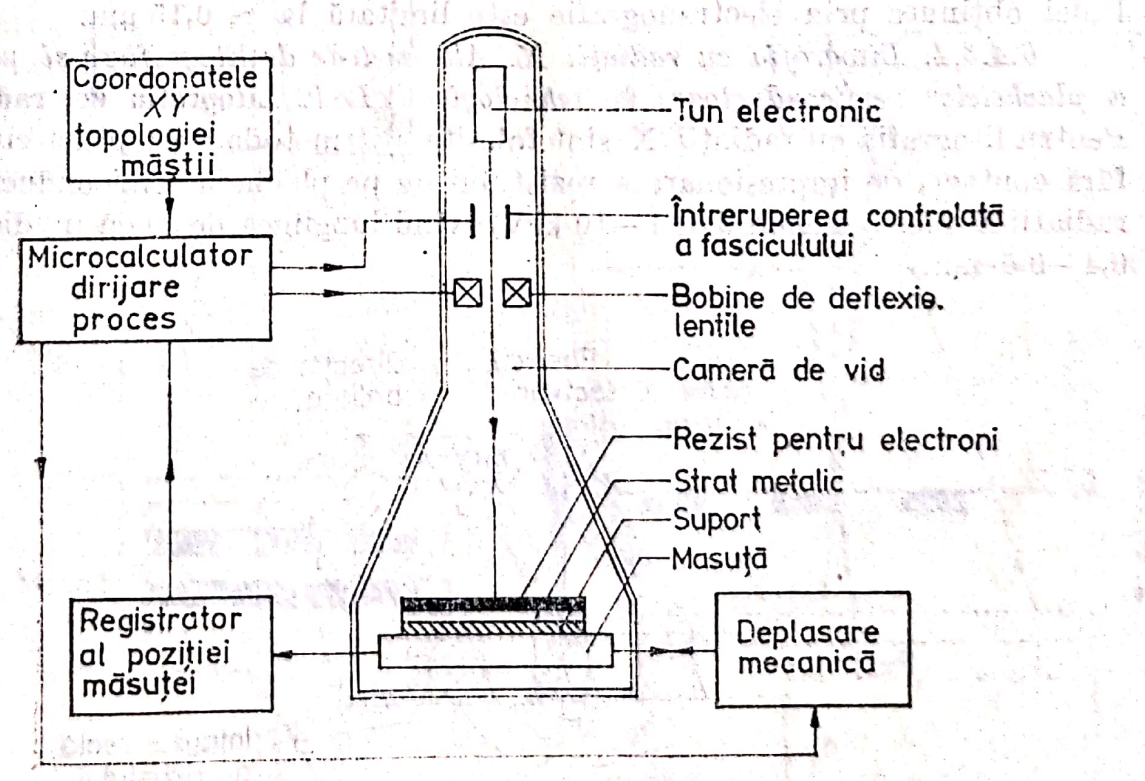


Fig. 6.41

însă nu poate fi mai subțire de 0,2—0,25 μm deoarece la grosimi mai mici nu asigură o bună protecție în timpul corodării chimice (developării).

Prin prelucrarea plăcilor cu grosimi ale rezistului de 0,3—0,5 μm cu fascicul de electroni cu diametrul $d = 0{,}05$ μm pot fi obținute linii de circuit cu lățimea de 200—250 nm adică de circa 4—5 ori diametrul fasciculului, deci $L \simeq 5d$. Se poate micșora L prin micșorarea diametrului fasciculului, care, teoretic, poate fi focalizat pînă la dimensiuni de ordinul nanometrilor. Diametrul fasciculului de electroni, ținînd seama de limitele impuse de efectele de difracție, este determinat prin relația [114]

$$d = \frac{1{,}5\, f}{D\sqrt{V}}, \text{ nm} \qquad 6.4.7$$

în care f — este distanța focală a lentilei electronice, D — diametrul diafragmei lentilei electronice, iar V — tensiunea de accelerare în volți.

În procesul de electronolitografie intervin limitări și datorită împrăștierii electronilor în rezist și efectului de apropiere. Electronii incidenți în rezist suferă ciocniri inelastice — prin care își pierd treptat energia — cît și elastice — care conduc la schimbarea direcției lor de mișcare. Astfel electronii care trec prin rezist și ajung la placheta semiconductoare pot suferi ciocniri elastice care conduc la reflexia lor înapoi după diferite direcții și transmit rezistului energia lor dar la distanțe de cîțiva microni de centrul de incidență a fasciculului (fig. 6.42) [115]. Datorită acestui efect, care se numește *efect de apropiere* (sau *de vecinătate*), doza de expunere trimisă spre o regiune (linie) acționează — prin electronii reflectați înapoi — și asupra regiunilor (liniilor) vecine ceea ce conduce la o „voalare" a marginilor benzilor sau profilelor expuse, care astfel nu apar bine delimitate în desenul transpus pe plachetă [115]. Datorită acestor efecte lățimea liniei obținute prin electronografie este limitată la $\simeq 0{,}15$ μm.

6.4.3.4. Litografia cu radiații X. Alte metode de litografiere și prelucrare a plachetelor semiconductoare în tehnologia VLSI. **Litografia cu radiații X.** Pentru litografia cu radiații X sînt folosite atît metoda cu contact cît și cea fără contact, de impresionare a rezistului de pe placheta semiconductoare cu radiații X moi (cu energii de 1—10 keV) avînd lungimea de undă în diapazonul 0,4—0,5 nm.

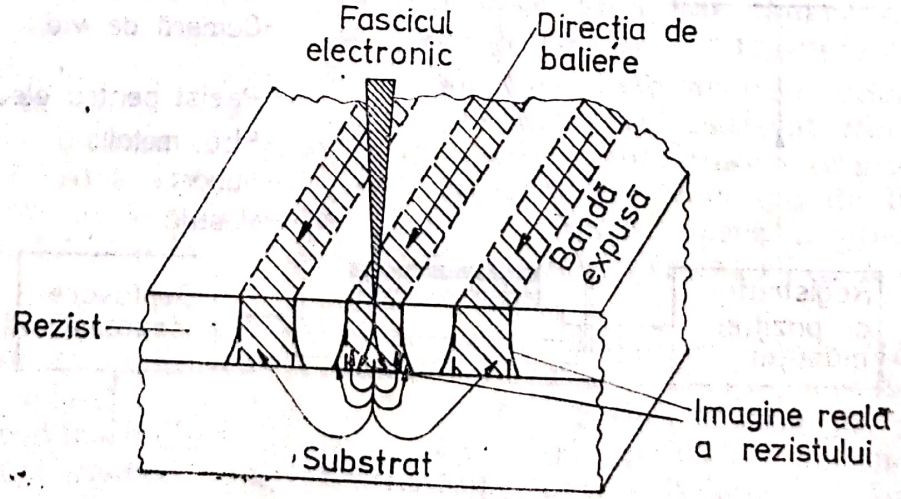


Fig. 6.42

Deşi se foloseşte cu predilecţie metoda fără contact dintre mască şi rezist (deci metoda proiecţiei, fig. 6.43), efectele de difracţie sînt practic absente datorită lungimii de undă foarte mici a radiaţiei folosite. De asemenea se poate neglija efectul de împrăştiere înapoi (efectul de apropiere) propriu litografiei cu fascicule de electroni întrucît se folosesc radiaţii X de energie mică.

Schema de principiu a instalaţiei de litografie cu radiaţii X este reprezentată în figura 6.43, *a*. Radiaţiile X sînt generate de anticatodul 2 pe care sînt frînaţi electronii produşi de catodul 1 şi accelerați între catod şi anticatod. Fasciculul de raze X trece prin fereastra de vid 3 de deschidere Φ, şi cade pe ansamblul mască-plachetă semiconductoare plasat la distanţa L. Radiaţiile X nu trec prin regiunile opace la radiaţii X ale măştii şi trec prin regiunile neabsorbante ale acesteia proiectînd imaginea măştii pe rezistul depus pe placheta semiconductoare.

Există diferite sorturi de rezişti pentru litografia cu radiaţii X în general putînd fi folosiţi reziştii utilizaţi în litografia cu electroni inclusiv rezişti anorganici [116]. Fabricarea măştilor pentru radiaţii X necesită însă unele materiale şi tehnologii speciale. Astfel masca este formată dintr-un suport rigid de 3—12 μm din material transparent la radiaţii X, cum ar fi Be, Al, Si sau compuşi ale elementelor uşoare (SiO_2, Si_3N_4, SiC) care se acoperă cu un strat

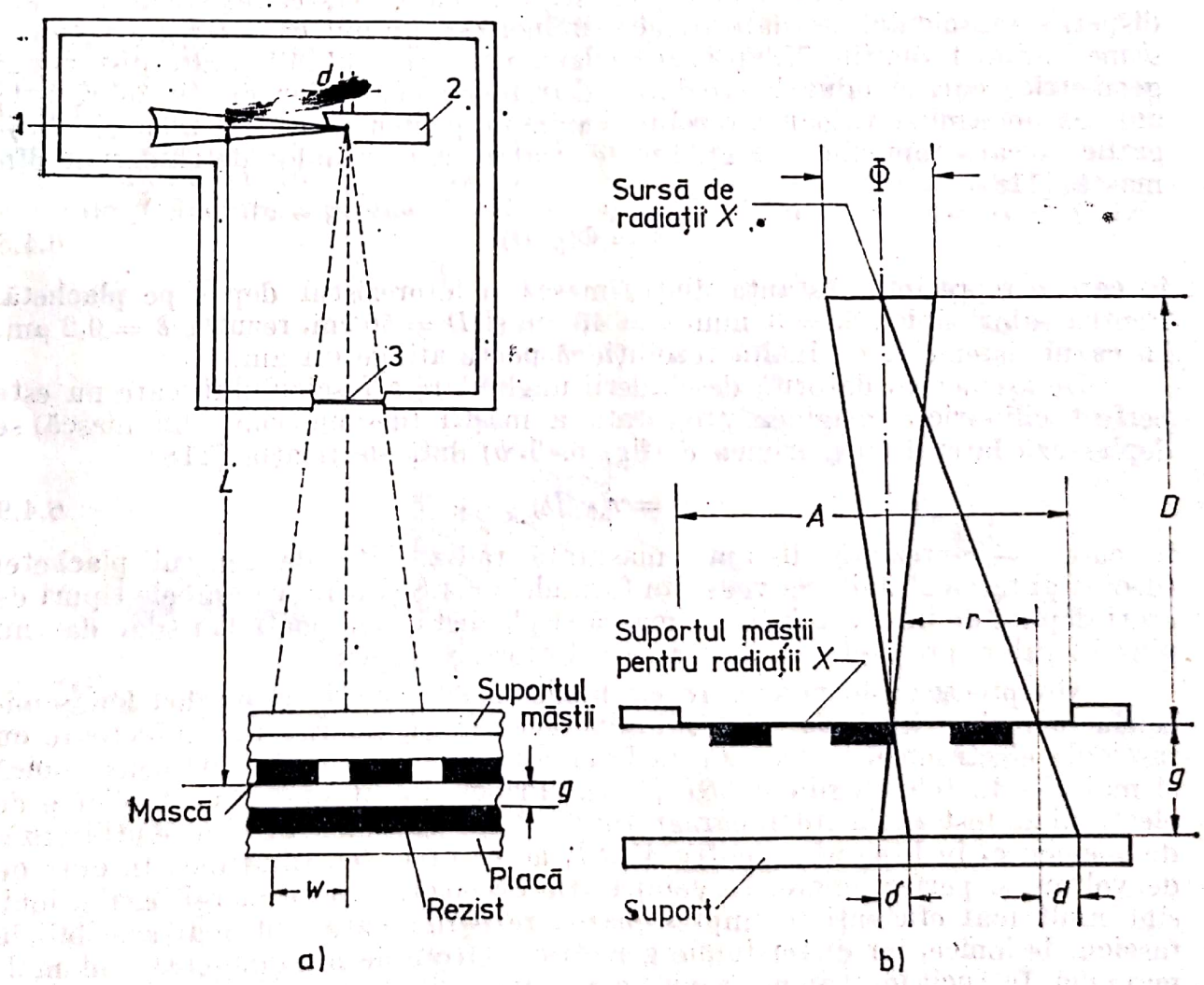


Fig. 6.43

absorbant de radiații X, avînd configurația cerută de topologia circuitului. Ca materiale absorbante se folosesc Au și Pt, cel mai frecvent fiind folosit Au care se depune sub forma unui strat subțire ($\sim 0{,}5-0{,}7$ μm) după ce, în prealabil, pe suport a fost depus un strat subțire ($\sim 0{,}2-0{,}4$ μm) de Cr care asigură o bună adeziune la suport a stratului de Au. Desenul circuitului — în etapa pentru care este destinată masca — este realizat prin corodare cu fascicul ionic sau fascicul electronic, în acest din urmă caz utilizîndu-se un microscop cu baleiaj, sau prin alte metode de prelucrare.

Pentru alinierea măștilor cu reperele de pe placheta semiconductoare (în cadrul tehnologiei planare) se folosesc atît radiațiile X generate de aparatul de proiecție cît și alinierea optică cu radiații infraroșii.

Procedeul litografiei cu radiații X permite obținerea unor finețe superioare a liniilor de circuit ($L < 0{,}5$ μm) în condițiile unei bune productivități în comparație cu electronolitografia. Folosind rezişti sensibili și surse de radiații X adecvate, durata expunerii unei plachete este de aproximativ un minut la care se adaugă timpul de manevrare și aliniere a măștilor etc. Deși efectele de difracție practic lipsesc, litografia cu radiații X poate fi afectată de erori date de efecte geometrice (fig. 6.43, *b*) [117]. Într-adevăr, pentru a expune placheta unui fascicul de radiații X cu dispersie cît mai mică (fasciculul să fie cvasiparalel), sursa de radiații X se află la o distanță D relativ mare față de suprafața măștii și plachetei cu rezist. Cu toate acestea există o oarecare dispersie a fasciculului și datorită acestui lucru și faptului că sursa are o dimensiune limită, radiațiile X provoacă o anumită „penumbră" și alte distorsiuni geometrice care conduc la voalarea marginilor imaginilor măștii în rezişti; acestea determină valoarea rezoluției minime pentru procedeul roentgenolitografic δ, care reprezintă și gradul de voalare a marginilor deschiderilor din mască [118]

$$\delta = \Phi(g/D) \qquad 6.4.8$$

în care g reprezintă distanța dintre mască și fotorezistul depus pe plachetă. Pentru valori tipice $\Phi = 3$ mm, $g = 40$ μm și $D = 50$ cm, rezultă $\delta = 0{,}2$ μm. În cazul sistemelor cu înaltă rezoluție δ poate atinge 0,1 μm.

De asemenea, datorită deschiderii unghiulare a fasciculului (care nu este perfect cilindric), imaginea proiectată a măștii (deschiderilor din mască) se deplasează lateral cu mărimea d (fig. 6.43, *b*) dată de relația [118]

$$d = r(g/D) \qquad 6.4.9$$

în care r — reprezintă distanța măsurată radial față de centrul plachetei (deci și al fasciculului). Se vede din formulele 6.4.8 și 6.4.9 că ambele tipuri de erori depind de intervalul dintre mască și plachetă care poate fi reglat dar nu pînă la valori prea mici ca să nu se deterioreze masca.

Alte procedee de prelucrare cu fascicule de radiații a plachetelor semiconductoare în tehnologia *VLSI*. Prelucrarea plachetelor semiconductoare cu fascicule electronice, ionice sau cu laser este larg folosită în microelectronică și mai ales în tehnologiile *VLSI* [119]. Principiile litografiei cu fascicule de electroni au fost analizate în paragraful 6.4.3.3. Fasciculele de ioni se utilizează, de asemenea, în litografia pentru *VLSI*, acest procedeu fiind încă în curs de dezvoltare și perfecționare. În comparație cu electronii, la energii egale, ionii sînt mult mai eficienți în impresionarea rezistilor care sînt mai sensibili la fasciculele ionice, iar distorsiunile gemetrice (efecte de margine etc.) sînt mult mai mici. Întrucît ionii au mase mult mai mari decît electronii ei suferă o dispersie mult mai mică iar efectele de apropiere datorită împrăștierii în rezist practic

Scanned with OKEN Scanner

lipsesc ceea ce conduce la o înaltă rezoluţie în comparaţie cu cea din cazul electronolitografiei [120]. Problemele opticii ionice sînt mult mai severe pentru sistemele de baleiaj cu ioni decît în cazul opticii electronice. Deşi reziştii pentru electroni de exemplu sînt mult mai sensibili la acţiunea fasciculelor de ioni, strălucirea surselor punctiforme de ioni este relativ mică în comparaţie cu cea a surselor de electroni (cu catod cald). Cele mai mari densităţi de curent obţinute din surse cu metal topit ce se scurge printr-o duză cu diametrul submicronic, au fost de circa 1,5 A/cm² pentru ioni de Ga^+ într-o duză de 0,1 μm [121] şi respectiv 15 mA/cm² pentru ioni de H^+ într-o pată (diametrul duzei) de 0,65 μm [122]. Cu asemenea microfascicule devine posibilă obţinerea unor rezoluţii în rezistul de pe placheta semiconductoare de ordinul a 10—50 nm. Dezavantajul metodei constă deocamdată în durata excesivă a procesului, ceea ce conduce la o mică productivitate.

Litografia cu fascicule laser cunoaşte mai multe variante care se află în curs de dezvoltare şi perfecţionare. Aşa-numita litografie holografică constă în expunerea plachetei semiconductoare în regiunile pe care interferă două fascicule de laser formînd unde staţionare. Procedeul se aplică pentru expunerea topologiilor care au structuri periodice sau cvasiperiodice (reţele de difracţie, reţele de rezistori, chevroni pentru memorii cu bule de mare densitate), linii de transmisie şi elemente de circuit pentru tehnica microundelor cu dimensiuni de 1—10 nm etc.

O altă variantă de utilizare a laserului constă în imprimarea directă („direct writing") a unor linii de siliciu policristalin prin descompunerea pirolitică a silanului (SiH_4) sau clorsilanurilor de tipul $SiH_x Cl_{1-x}$ pe suprafaţa plachetelor de Si. Aceasta este mai degrabă un proces de depunere a straturilor subţiri de polisiliciu (sub formă de fişii foarte înguste) sub acţiunea (termică) a fasciculului laser. În figura 6.44, se arată, după Ehrlich [123], schema procedeului de prelucrare a plachetelor de Si cu fascicule laser în vederea corodări

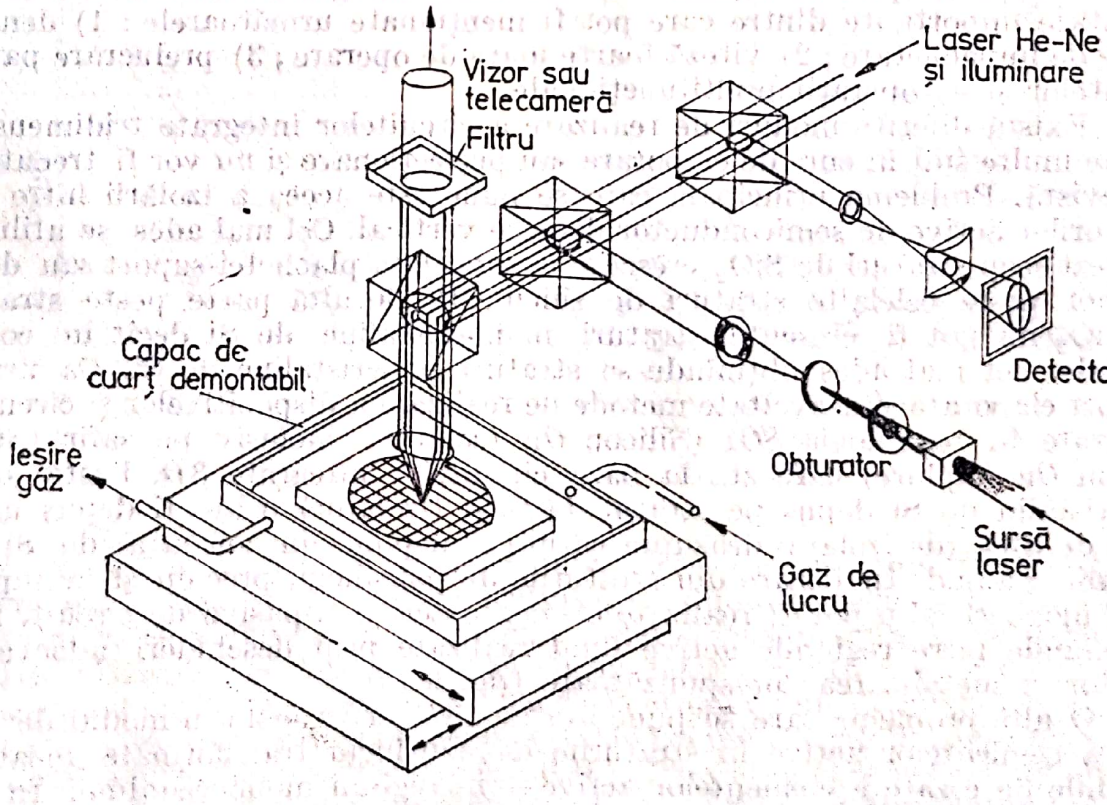


Fig. 6.44

uscate a acestora. De exemplu în cazul Si fotoliza, indusă sub acțiunea laserului, a Cl_2 sau a altor halogeni produce o abundență de atomi reactivi de Cl care măresc local rata de corodare conducînd la imprimarea directă (direct writing) a „spațiilor" în placheta de Si [123, 124].

O aplicație spectaculoasă și de mare viitor a laserului în microelectronică o constituie tehnologia recristalizării cu laser în circuitele *VLSI* realizate prin integrarea tridimensională (3*D*-integration). Unele considerații asupra circuitelor integrate tridimensionale vor fi date în paragraful următor.

6.4.4. Integrarea în trei dimensiuni (3*D*-Integrated Circuits)

Majoritatea specialiștilor în microelectronică sînt de părere că actualele circuite *VLSI* își vor atinge limitele de microminiaturizare în anii 1990, după care creșterea în continuare a densității de componente pe cip ori a funcțiilor acestor cipuri vor depinde de dezvoltarea tehnologiilor pe baza integrării pe verticală [125]. Bazele acestei tehnologii sînt în curs de dezvoltare deja fiind elaborate pînă acum unele tipuri de circuite integrate tridimensional după cum se va menționa mai departe.

Actualele circuite integrate sînt realizate practic în două dimensiuni (2*D*—*IC*) cea de a treia dimensiune, după verticală, fiind mult mai mică decît cele din planul de bază. Nu acesta este însă criteriul unic pentru diferențierea circuitelor 2*D* de circuitele 3*D* care de asemenea au dimensiunea după axa *Oz* mult mai mică decît după celelalte axe, ci numărul de straturi active (semiconductoare) care suprapunîndu-se alcătuiesc circuitul final. Dacă în actuala tehnologie planară, chiar pentru producția circuitelor *VLSI* se folosesc unul sau două straturi active suprapuse, de la trei-patru straturi active suprapuse în sandwich și interconectate între ele prin ferestre realizate în straturile de izolare se poate vorbi de circuite integrate în trei dimensiuni.

Noua concepție de realizare a circuitelor integrate conduce la o serie de avantaje importante dintre care pot fi menționate următoarele : 1) densitate mare de împachetare ; 2) viteză foarte mare de operare ; 3) prelucrare paralelă a datelor și 4) operații multifuncționale.

Există diferite moduri de realizare a circuitelor integrate tridimensional și alte multe sînt în curs de elaborare sau perfecționare și nu vor fi trecute aici în revistă. Problema principală care se pune este aceea a izolării între ele a straturilor active de semiconductor dispuse vertical. Cel mai ades, se utilizează în acest scop straturi de SiO_2 crescute la suprafața plachetei-suport sau depuse ulterior peste celelalte straturi de siliciu. Pe de altă parte peste straturile de SiO_2 nu pot fi crescute straturi monocristaline de Si decît în condiții speciale, cel mai ades obținîndu-se straturi policristaline de Si. Ca urmare, au fost elaborate și dezvoltate metode de realizare a dispozitivelor și circuitelor integrate în tehnologia *SOI* (*S*ilicon *O*n *I*solator) inclusiv pe safir (*SOS* — *S*ilicon *O*n *S*aphire) care stă la baza circuitelor integrate 3*D*. Peste stratul policristalin de Si depus pe stratul de SiO_2 (izolator) poate fi depus un alt strat de SiO_2 (de izolare) deasupra căruia se depune un nou strat de Si policristalin ș.a.m.d. În fiecare din straturile de polisiliciu, precum și în suportul activ monocristalin pot fi realizate elemente active și pasive de circuit, interconexiunile între regiunile active fiind realizate prin deschideri adecvate în izolator și metalizarea corespunzătoare (fig. 6.45).

O altă problemă care se pune în cazul 3*D*—*IC* constă în modul de realizare a elementelor active în straturile de polisiliciu transformate local — în regiunile de creare a elementelor active — în regiuni monocristaline. În acest scop se folosește recristalizarea locală a polisiliciului sub acțiunea fasciculelor

Scanned with OKEN Scanner

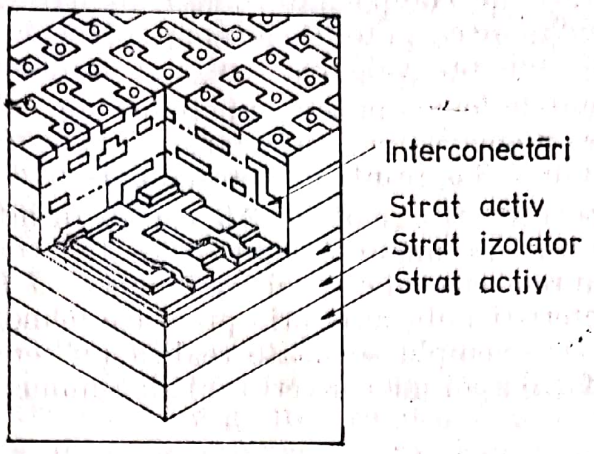


Fig.6.45

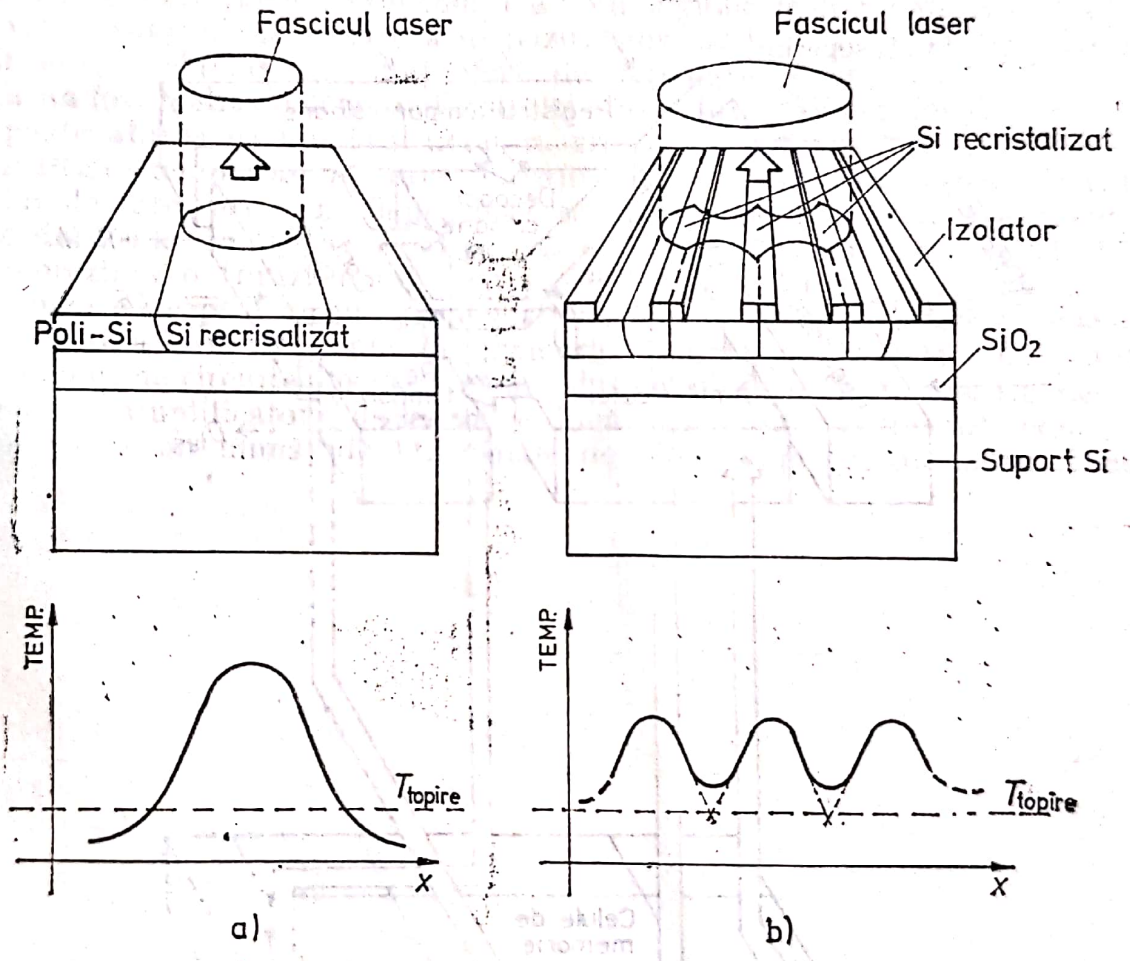


Fig. 6.46

laser, de electroni sau cu radiații infraroșii. Temperatura plachetei-suport nu trebuie să crească în timpul recristalizării anumitor regiuni din stratul policristalin de Si pentru a nu se produce deteriorări și modificări de performanțe a dispozitivelor deja realizate în straturile inferioare. În acest scop se folosesc cu succes fascicule laser sau fascicule de electroni cu un diametru de ~ 100 μm (sau mai mici) care sînt baleiate pe plachetă și pot recristaliza selectiv anumite regiuni din stratul de polisiliciu (fig. 6.46). Timpul în care polisiliciul este local topit este de ordinul cîtorva milisecunde și ca urmare temperatura medie a întregului ansamblu rămîne scăzută.

Scanned with OKEN Scanner

Creşterea densităţii de componente deci a numărului acestora reclamă unele soluţii pentru micşorarea puterii consumate deci de disipare a căldurii. În acest scop se poate micşora valoarea tensiunii de alimentare de la $+5$ V la circa $+3{,}3$ V circuitele logice putînd funcţiona bine şi la asemenea nivele [126]. Se folosesc de asemenea pe scară largă circuite *CMOS* caracterizate, după cum s-a arătat şi în § 3.5, printr-un consum extrem de mic [127].

Un avantaj important al circuitelor *3D* constă în integrarea mai multor funcţiuni de circuit într-un singur cip *3D*. Fiecare strat activ poate avea propriile sale funcţiuni realizate cu dispozitive bipolare (*TTL*) sau în tehnologia *MOS* cu diferite caracteristici obţinute prin procedee tehnologice care pot diferi de la strat la strat. De exemplu se poate realiza un sensor video în stratul superior (de la suprafaţă) apoi un convertor analog-numeric, un bloc aritmetic

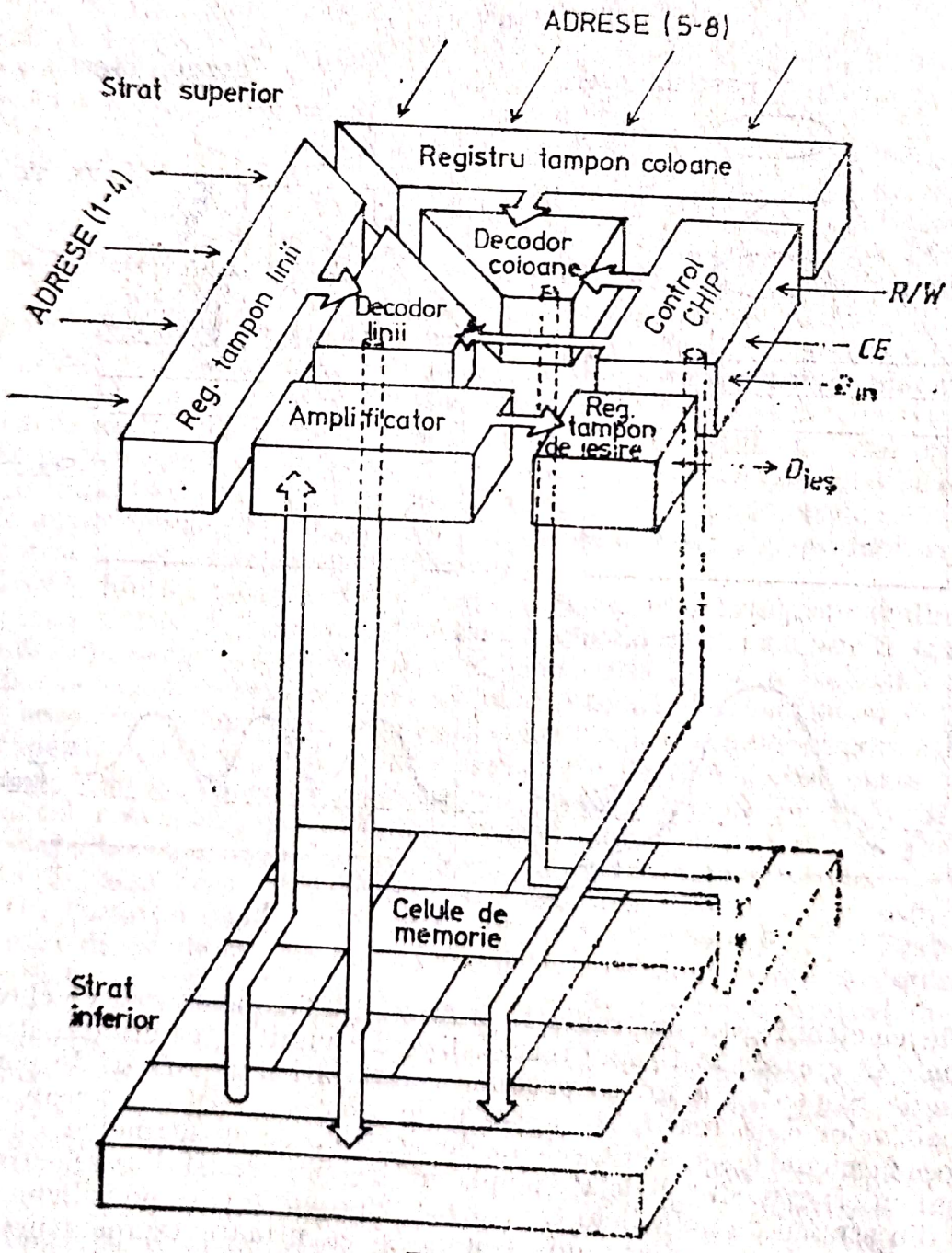


Fig. 6.47

și logic (ALU), memorii și un CPU în straturile inferioare realizîndu-se astfel un procesor de imagine inteligent într-o structură $3D$ multistrat [125].

Viteze foarte mari de procesare devin posibile în cazul circuitelor $3D$ datorită interconectării pe verticală, ca urmare a micșorării capacităților și lungimii liniilor de transmisie. Dacă în circuitele $2D$ cea mai mare lungime a unui traseu de interconectare putea ajunge pînă la 10 mm, în $3D-IC$ lungimea între straturile superioare și cele inferioare este de ordinul a $1-2$ μm. Capacitățile parazite sînt mai mici în cazul $3D-IC$ întrucît elementele active sînt fabricate pe izolator. Tranzistorii însuși prezintă viteze mari de funcționare din aceleași motive.

Există încă multe probleme care trebuie rezolvate în vederea dezvoltării rapide a circuitelor integrate tridimensional, majoritatea fiind legate de proiectare (asistată de calculator) și de găsirea soluțiilor de micșorare a numărului de încrucișări ale legăturilor de interconectare și de planeitatea suprafețelor straturilor crescute succesiv în interacțiune cu asemenea linii de interconectare. De asemenea dezvoltarea în continuare a tehnologiilor de depunere a straturilor și de recristalizare, de creare a dispozitivelor active și pasive cu diverse funcții etc., reclamă încă mult efort de cercetare și proiectare. Cu toate acestea au fost realizate deja multe sisteme integrate tridimensional [128—130] și se poate afirma că numărul acestora crește cel puțin la fiecare trimestru. Ca un ultim exemplu de ilustrare al avantajelor — în ceea ce privește mărirea gradului de integrare — în figura 6.47 se arată schema-bloc a unei memorii statice de 256 k de tip RAM realizată cu două straturi active [125, 131]. Deși reprezintă o tranziție între circuitele $2D$ și circuitele $3D$, schema ilustrează bine conceptul de integrare tridimensională. Stratul inferior (placheta de Si) conține aria de celule de memorie (tehnologie $NMOS$), iar stratul superior conține circuitele periferice cum sînt circuitele de intrare/ieșire, decodificatoarele și amplificatorul de sens. Cele două straturie active sînt interconectate electric printr-un număr de 112 canale de circa 4 μm² în diametru fiecare.

Scanned with OKEN Scanner

ANEXA 1

Densitatea de stări energetice pentru *2DEG*

În cazul tridimensional într-un volum h^3 din spațiul fazelor se găsesc, dacă se ține seamă și de spin, două stări cuantice, elementul de volum în spațiul fazelor fiind dat de

$$\mathrm{d}\Gamma = \mathrm{d}\bar{p}\,\mathrm{d}\bar{r}. \qquad \text{A.1.1}$$

În cazul sistemului bidimensional $\mathrm{d}\bar{r} = \mathrm{d}S$ (suprafața elementară), iar $\mathrm{d}p = \mathrm{d}p_y\mathrm{d}p_z = \hbar^2\mathrm{d}k_y\mathrm{d}k_z$; prin urmare *

$$\mathrm{d}\Gamma = \hbar^2\mathrm{d}k_y\mathrm{d}k_z\mathrm{d}S. \qquad \text{A.1.2}$$

Se definește densitatea stărilor energetice $N(E)$ pentru gazul electronic bidimensional ca fiind egal cu numărul de stări energetice din intervalul energetic unitate, pe unitatea de suprafață a gazului electronic bidimensional. Atunci numărul stărilor energetice $\mathrm{d}n$ dintr-un interval energetic elementar $\mathrm{d}E$, din unitatea de suprafață a gazului bidimensional va fi

$$\mathrm{d}n = N(E)\,\mathrm{d}E. \qquad \text{A.1.3}$$

Fiind un sistem bidimensional celula fazică elementară care conține două stări (deci spinul este inclus, electronii fiind fermioni) va avea volumul h^2. Ținînd seama de A.1.2 numărul unor asemenea celule este $\mathrm{d}\Gamma/h^2$, deci pentru unitatea de suprafață rezultă numărul de stări

$$\mathrm{d}n = 2\,\frac{\mathrm{d}\Gamma}{h^2\mathrm{d}S} \qquad \text{A.1.4}$$

(s-a ținut seama și de spin). Din A.1.3 și A.1.4 avem

$$\mathrm{d}n = N(E)\,\mathrm{d}E = 2\,\frac{\mathrm{d}\Gamma}{h^2\mathrm{d}S}. \qquad \text{A.1.5}$$

Înlocuind $\mathrm{d}\Gamma$ din A.1.2 obținem

$$\mathrm{d}n = 2\,\frac{\hbar^2\mathrm{d}k_y\mathrm{d}k_z\mathrm{d}S}{h^2\mathrm{d}S} = 2\,\frac{h^2\,\mathrm{d}k_y\,\mathrm{d}k_z\,\mathrm{d}S}{4\pi^2 h^2\,\mathrm{d}S} = \frac{1}{2\pi^2}\,\mathrm{d}k_y\mathrm{d}k_z. \qquad \text{A.1.6}$$

* Reamintim că în cazul *2DEG* de la *MODFET*, mișcarea electronilor în direcția x este cuantificată, deci în subbanda i, k_x este fix și vor varia numai k_y și k_z (v. § 6.3.3).

Scanned with OKEN Scanner

Pentru energia electronului *în vecinătatea unui extremum* (adică într-o subbandă, unde electronul este legat) pentru benzi parabolice se poate scrie [27]

$$E(k) = E_{cond} + \frac{\hbar^2 k^2}{2m^*}. \qquad \text{A.1.7.}$$

Aria în spaţiul numărului de undă de rază k fiind egală cu πk^2 pentru suprafaţa elementară dA rezultă

$$dA = 2\pi k\, dk. \qquad \text{A.1.8}$$

Atunci aria elementară $dk_y dk_z$ se poate scrie ca

$$dk_y dk_z = 2\pi k\, dk. \qquad \text{A.1.9}$$

Din A.1.7 se poate scrie k

$$k = \left(\frac{2m^*}{\hbar^2}\right)^{1/2} [E(k) - E_c]^{1/2} \qquad \text{A.1.10}$$

şi respectiv

$$dk = \frac{m^* dE}{k\hbar^2}. \qquad \text{A.1.11}$$

Înlocuind A.1.10 şi A.1.11 în A.1.9 rezultă în final

$$dk_y dk_z = \frac{2\pi m^* dE}{\hbar^2}. \qquad \text{A.1.12}$$

Înlocuind acest rezultat în A.1.6 se obţine

$$dn = \frac{dk_y dk_z}{2\pi^2} = \frac{m^* dE}{\pi\hbar^2} = N(E)\, dE. \qquad \text{A.1.13}$$

Rezultă pentru densitatea de stări $N(E)$ pentru $2DEG$

$$N(E) = \frac{m^*}{\pi\hbar^2}. \qquad \text{A.1.14}$$

ANEXA 2

Calculul concentrației (populației) de purtători pe un nivel electronic din groapa de potențial pentru $2DEG$

Concentrația de purtători din subbanda i este dată de densitatea de stări dn și probabilitatea de ocupare a acestor stări, care în cazul sistemului $2DEG$ este funcția de distribuție Fermi-Dirac $f(E_i)$ deci

$$dn_i = dn f(E_i) = N(E) f(E_i)\, dE_F. \qquad \text{A.2.1}$$

Se observă că, avînd de-a face cu un sistem cuantic în loc de dE, se va lua derivata în raport cu nivelul Fermi, deci dE_F.

Presupunînd că subbenzile au energiile $E_0, E_1, E_2 \ldots E_i$ constante rezultă (înlocuind $f(E_i)$ în A.2.1)

$$dn_i = N(E)\, kT \left[f(E_i) \cdot \frac{d}{dE_F} \left(\frac{F - E_i}{kT} \right) \right] dE_F =$$

$$= N(E)\, kT \left[\frac{e^{\frac{F-E_i}{kT}}}{1 + e^{\frac{F-E_i}{kT}}} \frac{d}{dE_F} \left(\frac{F - E_i}{kT} \right) \right] dE_F =$$

$$= N(E)\, kT \frac{d}{dE_F} \left[\ln(1 + e^{\frac{F-E_i}{kT}}) \right] dE_F \qquad \text{A.2.2}$$

sau

$$dn_i = N(E)\, kT\, d \left[\ln \left(1 + \exp \frac{F - E_i}{kT} \right) \right]. \qquad \text{A.2.3}$$

Fie acum

$$kT d \left[\ln \left(1 + \exp \frac{F - E_i}{kT} \right) \right] = df'; \qquad \text{A.2.4}$$

Din A.2.1 și A.2.3 se obține

$$dn_i = N(E) f(E_i)\, dE_F = N(E)\, df'. \qquad \text{A.2.5}$$

Rezultă pentru n_i

$$n_i = N(E)\, kT \ln \left(1 + \exp \frac{F - E_i}{kT} \right) \qquad \text{A.2.6}$$

sau

$$n_i = \frac{m^*}{\pi \hbar^2} kT \ln \left(1 + \exp \frac{F - E_i}{kT} \right). \qquad \text{A.2.7}$$

Scanned with OKEN Scanner

ANEXA 3

Calculul nivelelor energetice din groapa de potențial triunghiulară de la interfața $Al_xGa_{1-x}As/GaAs$

Pentru rezolvarea ecuației 6.3.16 vom adopta următoarea aproximație, numită aproximația cîmpului constant: groapa de potențial este triunghiulară. În plus, vom presupune că la interfața heterostructurii bariera este infinită (v. și § 6.3.3), deci $\Phi_i(0) = 0$ și $\Phi_i(\infty) = 0$.

Ținînd seama că

$$V(x) = q\varphi(x), \qquad (q = -e,\ \varphi(x) = \text{potențial}) \tag{A.3.1}$$

ecuația 6.3.16 se poate rescrie în forma

$$\frac{\hbar^2}{2m^*}\frac{d^2\Phi_i}{dx^2} + [E_i + e\varphi(x)]\Phi_i = 0. \tag{A.3.2}$$

Evident $\varphi(x) < 0$, măsurat față de fundul gropii de potențial. Energiile E și nivelul Fermi în groapă vor fi măsurate folosind aceeași referință. Notăm $\mathscr{E}_s$ modulul cîmpului electric la interfața heterostructurii. Pentru comoditate, în acest calcul vom alege interfața heterostructurii la $x = 0$. Atunci

$$\mathscr{E}_s = -\frac{d\varphi}{dx}$$

deci

$$\varphi(x) = -\mathscr{E}_s x + C. \tag{A.3.3}$$

Potrivit observației anterioare, $\varphi(0) = 0$, deci $C = 0$.
Prin urmare, $\varphi(x) = -\mathscr{E}_s x$. Ecuația A.3.2 devine

$$\frac{\hbar^2}{2m^*}\cdot\frac{d^2\Phi_i}{dx^2} + [E_i - e\mathscr{E}_s x]\Phi_i = 0. \tag{A.3.4}$$

Notînd:

$$-e\mathscr{E}_s = F, \qquad (F < 0),$$

ca fiind forța ce se exercită asupra electronului, ecuația A.3.4 capătă forma

$$\frac{\hbar^2}{2m^*}\cdot\frac{d^2\Phi_i}{dx^2} + [E_i + Fx]\Phi_i = 0. \tag{A.3.5}$$

Scanned with OKEN Scanner

Efectuăm acum schimbarea de variabilă

$$\Omega = \left(x + \frac{E_i}{F}\right)\left(\frac{2m^* F}{\hbar^2}\right)^{1/3} \qquad \text{A.3.6}$$

ecuaţia A.3.5 rescriindu-se, în aceste condiţii, sub forma

$$\Phi_i'' + \Omega\Phi_i = 0. \qquad \text{A.3.7}$$

Soluţia ecuaţiei A.3.7, finită pentru orice x, are forma cunoscută

$$\Phi_i(\Omega) = CA_i(-\Omega) \qquad \text{A.3.8}$$

unde C este o constantă de normare, iar

$$A_i(\Omega) = \frac{1}{\sqrt{\pi}} \int_0^{+\infty} \cos\left(\frac{n^3}{3} + n\Omega\right) \mathrm{d}n \qquad \text{A.3.9}$$

reprezintă funcţia Airy.

Facem acum următoarea observaţie importantă: expresia asimptotică a funcţiei de undă A.3.8 este (pentru Ω mari şi pozitive)

$$\Phi_i(\Omega) = \frac{C}{\Omega^{1/4}} \sin\left(\frac{2}{3}\Omega^{3/2} + \frac{\pi}{4}\right). \qquad \text{A.3.10}$$

Vom arăta că funcţia de undă A.3.10 cuantifică energiile electronului. Mai întîi observăm că pentru $x \to 0$, Ω este pozitiv şi mare. (Ne putem convinge uşor de acest lucru, înlocuind valorile numerice pentru constante şi dînd cîmpului electric o valoare rezonabilă la interfaţă). Dar pentru $x \to 0$, funcţia de undă trebuie să fie 0. Acest lucru se întîmplă dacă şi numai dacă în expresia A.3.10 sinusul este nul, adică

$$\frac{2}{3}\Omega^{3/2} + \frac{\pi}{4} = (i+1)\,\pi. \qquad \text{A.3.11}$$

Se observă că dacă am fi scris $i\pi$ în loc de $(i+1)\,\pi$, $(i = 0, 1, 2, \ldots)$, pentru $i = 0$ am fi egalat $\Omega^{3/2} > 0$ cu un număr negativ $(-\pi/4)$ ceea ce este incorect. Revenind la vechea variabilă din A.3.6, cu $x = 0$, obţinem

$$\frac{2}{3}\left[\frac{E_i}{F}\left(\frac{2m^* F}{\hbar^2}\right)^{1/3}\right]^{3/2} = \left(\frac{3}{4} + i\right)\pi. \qquad \text{A.3.12}$$

De aici se obţine uşor

$$E_i = \left(\frac{\hbar^2}{2m^*}\right)^{1/3}\left[\frac{3e\,\mathscr{E}_s\,\pi}{2}\left(\frac{3}{4} + i\right)\right]^{2/3}. \qquad \text{A.3.13}$$

Această expresie aproximează nivelele energetice ale gropii triunghiulare cu o aproximaţie mai bună de 5%.

BIBLIOGRAFIE

1. I. Spânulescu, S. I. Spânulescu, *Prelucrarea, înregistrarea, transmiterea și afișarea datelor*, Universitatea din București, București, 1984.
2. V. V. Gorbacev, L. G. Spițina, *Fizika poluprovodnikov i metallov*, Metallurghia, Moskva, 1982.
3. C. Huțanu, *Circuite logice și comenzi secvențiale*, Editura Junimea, Iași, 1983.
4. I. Spânulescu, I. Dima, R. Pârvan, *Metode electronice în fizica experimentală*, Editura Didactică și Pedagogică, București, 1975.
5. F. Ciorăscu, I. Spânulescu, *Măsurări electrice și electronice*, Editura Didactică și Pedagogică, București, 1973.
6. I. Millman, C. C. Halkias, *Integrated Electronics*, McGraw-Hill, New York, 1972.
7. I. Spânulescu și al., *Electronica*, Editura Didactică și Pedagogică, București, 1983.
8. Gh. M. Ștefan și al., *Circuite integrate digitale*, Editura Didactică și Pedagogică, București, 1984.
9. R. Moris, J. Miller (Eds.), *Proiectarea cu circuite integrate TTL* (trad. din l. engleză), Editura Tehnică, București, 1974.
10. * * * *Circuite integrate logice* (catalog), I.P.R.S.-Băneasa, București, 1979.
11. * * * *Data Book* (*MOS* and Optoelectronic Devices), *Microelectronica*, București, 1985.
12. Ed. Nicolau (coordonator), *Manualul inginerului electronist*, vol. 1, Editura Tehnică, București, 1979.
13. I. Spânulescu, R. Pârvan, *Principiile fizice ale microelectronicii*, Editura Științifică și Enciclopedică, București, 1981.
14. Sanda Maican, *Sisteme numerice cu circuite integrate* (culegere de probleme), Editura Tehnică, București, 1980.
15. F. F. Mazda, *Integrated Circuits*, Cambridge University Press, London, 1978.
16. S. V. Iakubovski (Ed.), *Analogovie i integralnie shemi*, Sovetskoe Radio, Moskva, 1979.
17. * * * *INTEL Memory Handbook*, INTEL Co, 1974.
18. M. Bird, R. Schmidt, *Practical Digital Electronics*, Hewlet Packard Company, 1974.
19. W. C. Till, J. T. Luxon, *Integrated Circuits*, Prentice Hall, Inc., Englewood Cliffs, New Jersey, 1982.
20. P. Naslin, *Circuite logice și automatizări secvențiale* (trad. din l. franceză), Editura Tehnică, București, 1967.
21. C. M. Sze, *Physics of Semiconductor Devices*, 2-nd Ed., John Wiley and Sons, New York, 1981,
22. P. S. Kireev, *Fizica semiconductorilor* (trad. din l. rusă), Editura Științifică și Enciclopedică, București, 1977.
23. I. Spânulescu, *Fizica tranzistorilor și principiile microminiaturizării*, Editura Didactică și Pedagogică, București, 1973.
24. K. Takahashi, *Physics of Semiconductor Devices*, University Press. Tokyo, 1975 (în l. japoneză).
25. V. L. Bonci-Bruevici, S. G. Kalașnikov, *Fizika poluprovodnikov*, Nauka, Moskva, 1977.
26. K. V. Shalimova, *Fizika poluprovodnikov*, Energhia, Moskva, 1976.
27. A. I. Anselm, *Vvedenie v teoriu poluprovodnikov*, Ed. II, Nauka, Moskva, 1978.
28. I. Spânulescu, *Celule solare*, Editura Științifică și Enciclopedică, București, 1983.
29. A. S. Grove, *Fizica și tehnologia dispozitivelor semiconductoare* (trad. din l. engleză), Editura Tehnică, București, 1973.
30. P. E. Gray, C. L. Searle, *Bazele electronicii moderne*, vol. I, II, (trad. din l. engleză), Editura Tehnică, București, 1973.
31. I. M. Popescu, *Fizica*, vol. I, II, Editura Didactică și Pedagogică, București, 1982—1984.
32. H. A. Bethe, *MIT Radiation Laboratory*, Report 43—12 (1942).
33. N. F. Mott, ,,Proc. Cam. Phil. Soc.'', 34, 568 (1938).
34. W. Schottky, ,,Naturwiss'', *26*, 843 (1938).

Scanned with OKEN Scanner

35. G. E. Pikus, *Osnovî teorii poluprovodnikovih priborov*, Nauka, Moskva, 1965.
36. N. Bărbulescu, D. Bîrcă-Gălăţeanu, R. Ţiţeica, I. Spânulescu, L. Georgescu, *Fizica*, vol. I, Editura Didactică şi Pedagogică, Bucureşti, 1973.
37. C. R. Crowell, S. M. Sze, ,,Solid-State Electron.'', 9, 1035 (1966).
38. A. G. Milnes, D. L. Feucht, *Heterojonctions and Metal-Semiconductor Junctions*, Academic Press, New York, London, 1972.
39. J. Barden, W. Brattain, ,,Physical Review'', 74, 230 (1948).
40. W. Shockley, ,,Bell Syst. Techn. J.'', 28, 435 (1949).
41. V. V. Pasînkov, L. K. Cirkin, A. D. Sinkov, *Poluprovodnikovie pribori*, Moskva, Vîsşaia Skola, 1981.
42. J. T. Wallmark, H. Johnson (Eds.), *Field-Effect Transistors*, Prentice Hall Inc., Englewood Cliffs, New Jersey, 1969.
43. P. R. Gray, R. G. Meyer, *Circuite integrate analogice* (trad. din l. engleză), Editura Tehnică, Bucureşti, 1983.
44. V. L. Şilo, *Lineinîe Integralnîe shemî v radioelectronnoi apparature*, Sovetskoe Radio, Moskva, 1979.
45. Anca Manolescu şi al., *Circuite integrate liniare*, Editura Didactică şi Pedagogică, Bucureşti, 1983.
46. G. B. Rutkowski, *Handbook of Integrated Circuits; Operational Amplifiers*, Prentice-Hall Inc., Englewood Cliffs, New Jersey, 1975.
47. E. A. Matson, D. V. Krîjanovskii, *Spravocinoe posobîe po konstruirovaniu mikroshem*, Vîsşaia Skola, Minsk, 1982.
48. J. L. Mall, I. M. Ros, ,,Proc. IRE'', 44, 72 (1956).
49. T. Agakhanyan, *Integrated Circuits*, Mir Publishers, Moscow, 1986.
50. R. J. Widlar, ,,IEEE Transactions on Circuit Theory'', CT-12, 586 (1965).
51. R. J. Widlar, ,,IEEE Journal of Solide-State Circuits'', SC-4, 184 (1969).
52. A. G. Aleksenko, *Osnovî mikroshemotehniki*, Sovetskoe Radio, Moskva, 1977.
53. * * * *Circuite integrate liniare*, I.P.R.S. Băneasa, Bucureşti, 1981.
54. * * * *Circuite integrate liniare*, Manual de utilizare, vol. 1—3, Editura Tehnică, Bucureşti, 1979—1983.
55. G. Clayton, *Linear Integrated Circuits Applications*, MacMillan Press Ltd., London, 1975.
56. H. W. Bode, *Network Analysis and Feedback Amplifier Design*, D. Van Nostrand Company, Princeton, 1945.
57. A. Barna, *Operational Amplifiers*, Wiley-Interscience, New York, 1971.
58. E. Damachi, A. Tunsoiu, L. Doboş, N. Tomescu, *Electronică*, Editura Didactică şi Pedagogică, Bucureşti, 1979.
59. N. Nyquist, *Regeneration Theory*, ,,Bell System Tech. J.'', *11*, 126 (1932).
60. J. L. Hilburn, D. E. Johnson, *Manual of Active Filtre Design*, McGraw-Hill Book Co., New York, 1973.
61. O. Radu, Gh. Săndulescu, *Filtre numerice*, Editura Tehnică, Bucureşti, 1980.
62. J. G. Graeme, G. E. Tobey, L. P. Huelsman, *Operational Amplifiers Design and Applications*, Burr-Brown Research Corp., McGrow-Hill, New York, 1972.
63. J. G. Graeme, *Applications of Operational Amplifiers*, McGrow-Hill, Kogakusha, Tokyo, 1973.
64. W. E. Heinlein, W. H. Holmes, *Active Filters for Integrated Circuits*, Prentice-Hall International Inc., London, 1974.
65. H. H. Berger, S. K. Wiedman, ,,IEEE J. of Solid State Circuits'', SC-7, 340 (1972).
66. K. Hart, A. Slob, ,,IEEE J. of Solid State Circuits'', SC-7, 346 (1972).
67. N. A. Avaev, V. N. Dulin, Iu. E. Naymov, *Bolşie integralnie shemi s injectionim pitaniem*, Sovetskoe Radio, Moskva, 1977.
68. O. Tomisawa et col., ,,IEEE J. of Solid State Circuits'', SC-11, 637 (1976).
69. M. I. Elmasry, ,,IEEE J. of Solid-State Circuits'', SC-11, 644 (1976).
70. R. E. Crippen et al., ,,IEEE J. of Solid-State Circuits'', SC-11, 662 (1976).
71. * * * ,,IEEE J. of Solid State Circuits'' (Nr. special cu I^2L — Logică integrată de injecţie), SC-12, 1977.
72. R. Kingston, ,,Proc. IRE'', *42*, 829 (1954).
73. D. D. Sandu, *Electronică fizică*, Editura Academiei R. S. România, Bucureşti, 1973.
74. W. S. Boyle, G. E. Smith, ,,Bell Syst. Techn. J.'', *49*, 587 (1970).
75. W. S. Boyle, G. E. Smith, ,,IEEE Trans. Electron Dev.'', ED-23, 661 (1976).
76. A. C. Van der Woerd, ,,IEEE J. of Solid St. Circ.'', SC-14, 1077 (1979).
77. R. M. Bârsan, *Dispozitive şi circuite integrate cu transfer de sarcină*, Editura Tehnică, Bucureşti, 1981.
78. M. Drăgănescu, *Electronica corpului solid*, Editura Tehnică, Bucureşti, 1972.
79. M. Drăgănescu, ,,Studii şi cercetări de fizică'', *12*, 49 (1962).
80. M. F. Tompsett, G. F. Amelio, G. E. Smith, ,,Appl. Phys. Lett.'', *17*, 111 (1970).
81. C. K. Kim, E. M. Snow, ,,Appl. Phys. Lett.'', *20*, 514 (1972).

Scanned with OKEN Scanner

82. * * * *INTEL Component Data*, Catalog, 1983.
83. * * * *ZILOG, Data Book*, 1983, 1984.
84. C. Lupu, S. Stăncescu, *Microprocesoare, Circuite, Proiectare*, Editura Militară, București, 1986.
85. * * * ,,IEEE Trans. Microwave Theory Tech.'' (Nr. special despre tranzistori de microunde, cu efect de cîmp), MTT-24, June (1976).
86. M. Fukuta ș.a., ,,IEEE Trans. Electron. Dev.'', ED-23, 388 (1976).
87. H. M. Macksey ș.a., ,,IEEE Trans. Electron. Dev.'', ED-24, 113 (1977).
88. S-T. Fu, M. B. Das, ,,IEEE Trans. Electron. Dev.'', ED-34, 1245 (1987).
89. G. C. Taylor ș.a., ,,IEEE Trans. Electron. Dev.'', ED-34, 1259 (1987).
90. M. Fukuta ș.a., ,,IEEE Trans. Electron. Dev.'', ED-25, 559 (1978).
91. T. Mimura ș.a., ,,IEEE Trans. Electron. Dev.'', ED-25, 973 (1978).
92. F. Furutsuka, M. Ogawa, N. Kawamura, ,,IEEE Trans. Electron. Dev.'', 580 (1978).
93. M. S. Shur, ,,IEEE Trans. Electron. Dev.'', 612 (1978).
94. R. E. Williams, D. W. Shaw, ,,IEEE Trans. Electron. Dev.'', 600 (1978).
95. G. Donzelli, A. Paccagnella, ,,IEEE Trans. Electron. Dev.'', 957 (1987).
96. P. A. Sandborn, J. R. East, G. I. Haddad, ,,IEEE Trans. Electron. Dev.'', ED-34, 985 (1987).
97. J. F. Wager, A. J. Mc. Camant, ,,IEEE Trans. Electron. Dev.'', ED-34, 1001 (1987).
98. C. A. Mead, ,,Proc. IEEE'', *54*, 307 (1966).
99. R. C. Eden, B. M. Welch, R. Zucca, ,,IEEE J. Solid-State Circuits'', SC-13, 419 (1978).
100. D. A. McGillis, în *VLSI Technology*, Edited by S. M. Sze, vol. 1, McGraw-Hill Book Company, New York, 1983, p. 354.
101. G. J. Mogab, în *VLSI Technology*, Edited by S. M. Sze, vol. 2, McGraw-Hill Book Company, New York, 1983, p. 5.
102. T. C. Penn, ,,IEEE Trans. Electron. Dev.'', ED-26, 640 (1979).
103. A. R. Reinberg, în *VLSI Electronics*, Ed. by N. G. Einspruch, Academic Press, New York, 1981, vol. 2.
104. K. Hirata ș.a., ,,IEEE Trans. Electron. Dev.'', ED-28, 1323 (1981).
105. B. L. Crowder, S. Zirinski, ,,IEEE Trans. Electron. Dev.'', ED-26, 369 (1979).
106. J. L. Prince, *VLSI Device Fundamentals*, in ,,Very Large Scale Integration'', Ed. by D. F. Barbe, Springer-Verlag, Berlin, 1982, p. 4.
107. R. O. Carlson, C. A. Neugebauer, ,,Proc. IEEE'', 74, 1741 (1986).
108. L. D. Yau, *Solid State Electronics*, 17, 1059 (1974).
109. D. F. Barbe (Ed.), *Very Large Scale Integration*, Springer-Verlag, Berlin, 1982.
110. S. M. Sze (Ed.), *VLSI Technology*, vol. 1, 2, McGraw-Hill Book Company, New York, 1983.
111. B. T. Lin, în *Fine Line Litography*, Ed. by R. Newman, North-Holland, Amsterdam, 1980.
112. R. K. Watts, J. H. Bruning, ,,Solid State Technol.'', 99, May (1981).
113. P. S. Shaw ș.a., ,,J. Vac. Sci. Technol.'', *19*, 905 (1981).
114. Z. G. Pinsker, *Difracția elektronov*, Izd. A. N. SSSR, Moskva, 1969.
115. J. S. Greeneich, în *Electron-Beam Technology in Microelectronic Fabrication*, Ed. by G. R. Brewer, Academic Press, New York, 1980.
116. R. K. Watts, Advanced Lithography, în *Very Large Scale Integration*, Ed. by D. F. Barbe, Springer-Verlag, Berlin, 1982, p. 42.
117. B. Fay, în *Microcircuit Engineering*, Ed. by H. Ahmed, C. Nixon, Cambridge University Press, London, 1980.
118. Y. Tarui, în *VLSI Technology*, Springer-Verlag, Berlin, 1986.
119. A. J. Steckl, ,,Proc. IEEE'', 74. 1753 (1986).
120. W. L. Brown, T, Venkatesan, A. Wagner, ,,Solid State Tehnol.'' *24*, 60 (1981),
121. R. L. Seliger ș.a., ,,Appl. Phys. Letters'', *34*, 310 (1979)
122. J. Orloff, L. W. Swanson, *Scanning Electron Microscopy*, ITT Res. Inst., Chicago, 1977.
123. D. J. Ehrlich, ,,Solid-State Technol.'', *28*, 81 (1985).
124. D. J. Ehrlich, R. M. Osgood, T. F. Deutsch, ,,Appl. Phys. Lett.'', *38*, 1018 (1981).
125. Y. Akasaka, ,,Proc. IEEE'', *74*, 1703 (1986).
126. M. A. Fischetti, ,,IEEE Spectrum'', p. 45 (Ian. 1987).
127. W. C. Holton, R. K. Cavin, ,,Proc. IEEE'', *74*, 1646 (1986).
128. S. Akiyama ș.a., ,,IEDM Tech. Dig.'', 352, Dec. (1983).
129. Y. Inove ș.a., ,,IEEE Electron Device Lett.'', EDL-7, 327 (1986).
130. A. Terao, F. Van de Wiele, ,,IEEE Circuits and Devices Mag.'', *3*, Nr. 6, 31 (1987).
131. T. Nishimura ș.a., în ,,Proc. 1985 Symp. VLSI Technol.'', paper V-6, Kobe, Japan, May 1985, p. 30.
132. R. C. Eden, B. M. Welch, în *Very Large Scale Integration*, Ed. by D. F. Barbe, Springer-Verlag, Berlin, 1982, p. 128.
133. J. S. Barrera, R. J. Archer, ,,IEEE Trans. Electron. Dev.'', ED-22, 1023 (1975).
134. A. Nagashima, S. Umebachi, G. Kano, ,,IEEE Trans. Electron. Dev.'', ED-25, 537 (1978).
135. S. Umebachi ș.a., ,,IEEE Trans. Electron. Dev.'', ED-22, 613 (1975).
136. J. Narnard ș.a., ,,IEEE Electron. Devices Lett.'', EDL-1, 174 (1980).

Scanned with OKEN Scanner

137. J. A. Warner ș.a., ,,Proc. IRE'', *47*, 45 (1959).
138. T. K. Mok, C. A. Salama, ,,Solid State Electron'', *19*, 159 (1976).
139. A. Yahata, M. Nakajima, ,,Japan J. Appl. Phys.'', *23*, L 313 (1984).
140. S. Makram-Ebeid, P. Minonodo, ,,IEEE Trans. Electron Dev.'', ED-32, 632 (1985).
141. K. Yamasaki, M. Hirayama, ,,IEEE Trans. Electron. Dev.'', ED-33, 1652 (1986).
142. W. Jutzi, M. Reiser, ,,IEEE Trans. Electron. Dev.'', ED-19, 314 (1972).
143. H. Ishikawa ș.a., în ,,IEDM Dig. Papers'' (Febr. 16--18) (1977).
144. R. Zuleeg, J. K. Notthoff, K. Lehovec, ,,IEEE Trans. Electron Dev.'', ED-25, 628 (1978).
145. M. Suzuki ș.a., ,,IEEE Trans. Electron Dev.'', ED-33, 919 (1986).
146. M. Sakuae, K. Murose, Y. Amemiya, ,,Trans. Electron Dev.'', ED-33, 997 (1986).
147. W. M. Sheld, Y. Kim, H. M. Darley, T. W. Houston, ,,IEEE Trans. Nucl. Sci.'', NS-28, 4376 (1981).
148. T. Mimura ș.a., ,,IEEE Trans. Electron Dev.'', ED-25, 573 (1978).
149. R. H. Wakefield, E. R. Ward, G. Cunningham, ,,Electronics'', *45*, 89 (1972).
150. Y. Tarui, Y. Hayashi, T. Sekigawa, ,,Suppl. J. Japan Soc. Appl. Phys.'', 40, 193 (1971).
151. T. Masuhara, R. S. Muller, ,,Japan J. Appl. Phys.'', *16*, 173 (1976).
152. D. Frohman — Bentchkowsky, ,,Appl. Phys. Lett.'', *18*, 332 (1971).
153. H. Iizuka ș.a., ,,IEEE Trans. Electron. Dev.'', ED-23, 379 (1976).
154. J. P. Colinge, E. Demoulin, M. Lobet, ,,IEEE Trans. Electron Dev.'', ED-29, 585 (1982).
155. J. P. Colinge, E. Demoulin, în *Techn. Dig. 1981 Int. Electron Device Meet*, p. 557 New York, 1981.
156. J. M. Shannon, J. Stephen, J. M. Freeman, *Electronics*, p. 96 (Feb. 3, 1969).
157. D. Frohman-Bentchkowsky, ,,Proc. IEEE'', *58*, 1207 (1970).
158. F. E. Holmes, C. A. Salama, ,,Solid State Electron.'', *17*, 791 (1974).
159. T. J. Rodgers ș.a., ,,IEEE J. of Solid State Circuits'', SC-12, 515 (1977).
160. P. Ou-Yang, ,,IEEE J. of Solid State Circuits'', SC-12, 3 (1977).
161. R. Dingle, *U.S. Patent, 4163237*, Apr. 24, 1978.
162. D. Delagebeaudeuf, N. T. Linh, *French Patent, 7907803*, Mar. 28, 1979.
163. T. Mimura, *Japonese Patent, 54-171026*, Dec., 29, 1979.
164. L. Esaki, R. Tsu, ,,IBM. J. Res. Develop.'', *14*, 61 (1970).
165. L. Esaki ș.a., *Proc. of the 11th Int. Conf. on the Phys. of Semicond.*, 1972, Warsaw, p.431.
166. L. L. Chang ș.a., ,,J. Vac. Sci. and Technol.'', *10*, 11 (1973).
167. S. Hiyamizu ș.a., ,,Japan J. Appl. Phys.'', *22*, 1606 (1983).
168. N. Sato, H. Kato, S. Chika, ,,Solid State Commun'', *49*, 123 (1984).
169. T. J. Drummond, W. T. Masselink. H. Morkoç, ,,Proc. IEEE'', *74*, 773 (1986).
170. F. Stern, W. E. Howard, ,,Phys. Rev.'', *163*, 816 (1967).
171. D. Delagebeaudeuf, N. T. Linh, ,,IEEE Trans. Electron Dev.'', ED-29, 955 (1982).
172. I. Spânulescu, C. Petrică, ,,Studii și Cercetări Fizică'', *41*, 537—566 (1989).
173. L. P. Sadwich, K. L. Wang, ,,IEEE Trans. Electron Dev. , ED-33, 651 (1986).
174. * * * ,,IEEE Trans. Electron Dev. , ED-33, Nr. 5 (Număr special cu dispozitive de microunde, cu semiconductori) (1986).
175. C. P. Lee ș.a., ,,IEEE Electron Device Lett.'', EDL-8, 85 (1987).
176. M. Hirana ș.a., ,,IEEE Electron Dev.'', ED-34, 2399 (1987).
177. H. Daembker ș.a., ,,IEEE Trans. Electron Dev.'', ED-33, 633 (1986).
178. S. Tiwari, W. I. Wang, ,,IEEE Electron Device Latt.'', EDL-5, 333 (1984).
179. R. A. Kiehl, A. C. Gossard, ,,IEEE Electron Device Lett.'', EDL-5, 420 (1984).
180. R. A. Kiehl ș.a., ,,IEEE Trans. Electron Dev.'', ED-34, 2414 (1987).
181. M. Săvescu, *Metode în analiza circuitelor electronice*, Editura Științifică și Enciclopedică, București, 1985.
182. C. Lupu, V. Țepelea, E. Purice, *Microprocesoare — aplicații*, Editura Militară, București, 1982.